

**AD7190、AD7192、AD7193、AD7194、AD7195 でのチャンネル切り替え手順**

著者: Mary McCarthy

**概要**

$\Sigma\Delta$  ADC は一般に、出力データレートで仕様が規定されます。出力データレートとは、1つのチャンネルが選択されて ADC が連続的に変換を行うときの変換を行うレートを意味します。データ・アクイジション・システムのようなマルチチャンネル・アプリケーションでは、複数のチャンネルから変換結果が読出されます。すなわち、各チャンネルが順次選択されて、そのチャンネルに対して変換が行われます。このようなアプリケーションでは、変換が実行されるレートは 1チャンネルのシステムの場合と異なることがあります。このアプリケーション・ノートでは、AD7190、AD7192、AD7193、AD7194、AD7195 (以後 AD719x と呼びます)で使用されるスイッチング手順について説明します。

**マルチチャンネル・システム**

PLC システムのようなアプリケーションでは、センサーからの多数の信号または出力を処理するため複数の入力チャンネルが必要とされます。AD719x は PGA と広範囲なプログラマブルな

出力データレートを持つため、様々な振幅と様々な出力データレートの信号を変換する際に使うことができます。

アプリケーションでは一般に所定のスループットが必要になります。すなわち、与えられた数のチャンネルを与えられた時間内に読出す必要があります。実現できるスループットは、読出すチャンネル数と ADC が各チャンネルを変換するために要する時間に依存します。このアプリケーション・ノートで述べる ADC には次の複数の動作モードがあります。

- $\text{Sinc}^4$  フィルタまたは  $\text{Sinc}^3$  フィルタ
- チョップをイネーブル/ディスエーブル
- ゼロ・レイテンシ
- シングル変換モード
- 自動チャンネル・シーケンシング

許容される出力データレートおよび/またはセトリング・タイム (チャンネル切り替え後に最初の変換結果を得るまでに要する時間)は、各動作モードで異なります。このため、スループットも動作モードに依存します。

## 目次

概要.....	1	チョッピングのイネーブル .....	5
マルチチャンネル・システム .....	1	ゼロ・レイテンシ .....	6
改訂履歴.....	2	シングル変換モード .....	6
Sinc <sup>4</sup> フィルタ(チョップをディスエーブル) .....	3	チャンネル・シーケンサ .....	7
Sinc <sup>3</sup> フィルタ(チョップをディスエーブル) .....	4	まとめ.....	7

## 改訂履歴

9/10—Revision 0: Initial Version

## Sinc<sup>4</sup>フィルタ(チョップをディスエーブル)

sinc<sup>4</sup> フィルタを選択し、かつチョップをディスエーブルした場合、1つのチャンネルを連続的に変換するときの出力データレート( $f_{ADC}$ )は、次のようになります。

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0])$$

ここで、 $f_{CLK}$  はマスター・クロック周波数、 $FS[9:0]$  はモード・レジスタにロードされたフィルタ・ワード。チャンネル切り替え後の最初の変換を得るまでに要する時間は、ほぼ次の値になります。

$$t_{SETTLE} = 4 / (f_{CLK} / (1024 \times FS[9:0]))$$

$$= 4096 \times FS[9:0] / f_{CLK}$$

この式は、低出力データレートを使用する場合には十分正確な値を与えます。セトリング・タイムの完全な式は、次のようになります。

$$t_{SETTLE} = 4 / (f_{CLK} / (1024 \times FS[9:0])) + 507 / f_{CLK}$$

$$= (4096 \times FS[9:0] + 507) / f_{CLK}$$

このため、チャンネルを切り替えるときは、最初の変換結果を得るまでにセトリング・タイムが必要です。このチャンネルで

の後続変換は、設定された出力データレート( $f_{ADC}$ )で行われます。複数のチャンネルを使用し、かつ各チャンネルから1つの変換結果を読み出すアプリケーションでは、各変換でセトリング・タイムが必要です。このため、毎秒読出すチャンネル数は次のようになります。

$$\text{スループット} = f_{CLK} / (4 \times 1024 \times FS[9:0] + 507)$$

$$= f_{CLK} / (4096 \times FS[9:0] + 507)$$

変換が1つのチャンネルで完了すると、変換する次のチャンネルを選択するために、設定レジスタへの書き込みが必要になります。このSPI通信がスループットを小さくします。表1に、幾つかのサンプル  $FS[9:0]$  値に対する出力データレート、セトリング・タイム、スループットをまとめます(SPI通信に要する時間は無視します)。

表1.Sinc<sup>4</sup>フィルタの出力データレート、セトリング・タイム、スループット、チョップをディスエーブル

FS[9:0]	f <sub>ADC</sub> (Hz)	t <sub>SETTLE</sub> (ms)	Channels per Second
96	50	80.1	12
80	60	66.8	14
1	4800	0.936	1067

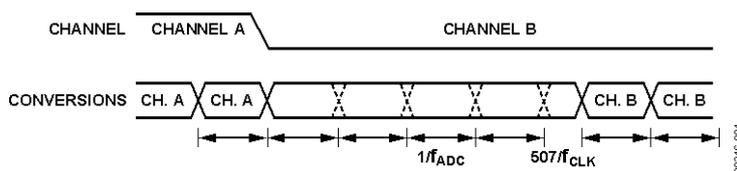


図1.チャンネル切り替え(Sinc<sup>4</sup>フィルタ、チョップをディスエーブル)

## Sinc<sup>3</sup>フィルタ(チョップをディスエーブル)

モード・レジスタの SINC3 ビットを設定すると、デジタル・フィルタを sinc<sup>3</sup>フィルタに切り替えることができます。sinc<sup>3</sup>フィルタを選択しても、出力データレートに影響はありません。このため、1つのチャンネルを連続的に変換する際の出力データレートも次式で与えられます。

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0])$$

ただし、チャンネル切り替え後に有効な変換結果を得るのに要する時間は、小さくなります。

$$t_{SETTLE} = 3 / (f_{CLK} / (1024 \times FS[9:0])) + 507 / f_{CLK}$$

$$= (3072 \times FS[9:0] + 507) / f_{CLK}$$

低出力データレートでは、この式は次式で近似されます。

$$t_{SETTLE} = 3072 \times FS[9:0] / f_{CLK}$$

チャンネルあたり 1 変換結果が読出されるマルチチャンネル・アプリケーションでは、システムのスループットは次式で表されます。

$$\text{スループット} = f_{CLK} / (3 \times 1024 \times FS[9:0] + 507)$$

$$= f_{CLK} / (3072 \times FS[9:0] + 507)$$

表 2 に、幾つかのサンプル FS[9:0]値に対する出力データレート、セトリング・タイム、スループットをまとめます。実際には、各チャンネルをマニュアルで選択するので、スループットが低下します。

表2.Sinc<sup>3</sup>フィルタの出力データレート、セトリング・タイム、スループット、チョップをディスエーブル

FS[9:0]	f <sub>ADC</sub> (Hz)	t <sub>SETTLE</sub> (ms)	Channels per Second
96	50	60.1	16
80	60	50.1	19
1	4800	0.728	1373

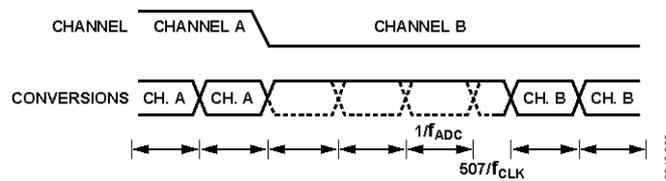


図2.チャンネル切り替え(Sinc<sup>3</sup>フィルタ、チョップをディスエーブル)

### チョッピングのイネーブル

#### Sinc<sup>4</sup>フィルタ

sinc<sup>4</sup>フィルタを選択し、かつチョップをイネーブルした場合、1つのチャンネルを連続的に変換するときの出力データレート( $f_{ADC}$ )は、次のようになります。

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0] \times 4 + 16)$$

$$= f_{CLK} / (4096 \times FS[9:0] + 16)$$

チャンネル切り替え後に変換結果を得るまでに要する時間(セトリング・タイム)は、次の値になります。

$$t_{SETTLE} = 2 / (f_{CLK} / (1024 \times FS[9:0] \times 4 + 16)) + 491 / f_{CLK}$$

$$= (8192 \times FS[9:0] + 523) / f_{CLK}$$

低出力データレートでは、これら式は次式で近似されます。

$$f_{ADC} = f_{CLK} / (4096 \times FS[9:0])$$

$$t_{SETTLE} = 8192 \times FS[9:0] / f_{CLK}$$

チャンネルあたり 1 変換結果を読み出すアプリケーションで複数のチャンネルが使用される場合、スループットは次式で表されます。

$$f_{CLK} / (2 \times (1024 \times FS[9:0] \times 4 + 16) + 491)$$

$$= f_{CLK} / (8192 \times FS[9:0] + 523)$$

各チャンネルを選択するための設定レジスタへの書き込みにより、さらにスループットが低下します。

表 3 に、幾つかのサンプル FS[9:0]値に対する出力データレート、セトリング・タイム、スループットをまとめます。

表3.Sinc<sup>4</sup>フィルタの出力データレート、セトリング・タイム、スループット、チョップをイネーブル

FS[9:0]	f <sub>ADC</sub> (Hz)	t <sub>SETTLE</sub> (ms)	Channels per Second
96	12.49	160.1	6
80	14.99	133.4	7
1	1195.3	1.773	563

#### Sinc<sup>3</sup>フィルタ

sinc<sup>3</sup>フィルタを選択し、かつチョップをイネーブルした場合、1つのチャンネルを連続的に変換するときの出力データレートは、次のようになります。

$$f_{ADC} = f_{CLK} / (1024 \times FS[9:0] \times 3 + 16)$$

$$= f_{CLK} / (3072 \times FS[9:0] + 16)$$

セトリング・タイムは、

$$t_{SETTLE} = 2 / (f_{CLK} / (1024 \times FS[9:0] \times 3 + 16)) + 491 / f_{CLK}$$

$$= (6144 \times FS[9:0] + 523) / f_{CLK}$$

低出力データレートでは、これら式は次式で近似されます。

$$f_{ADC} = f_{CLK} / (3072 \times FS[9:0])$$

$$t_{SETTLE} = 6144 \times FS[9:0] / f_{CLK}$$

このため、チャンネル切り替え後の最初の変換では t<sub>SETTLE</sub> 時間が必要となり、このチャンネルの後続変換は 1/f<sub>ADC</sub> で行われます。

チョップをイネーブルし、かつシステムで複数のチャンネルを使用する場合、スループットは、

$$f_{CLK} / (2 \times (1024 \times FS[9:0] \times 3 + 16) + 491)$$

$$= f_{CLK} / (6144 \times FS[9:0] + 523)$$

各チャンネルの選択のために必要な SPI 通信により、さらにスループットが低下します。

表 4 に、幾つかのサンプル FS[9:0]値に対する出力データレート、セトリング・タイム、スループットをまとめます。

表4.Sinc<sup>3</sup>フィルタの出力データレート、セトリング・タイム、スループット、チョップをイネーブル

FS[9:0]	f <sub>ADC</sub> (Hz)	t <sub>SETTLE</sub> (ms)	Channels/second
96	16.67	120.1	8
80	19.99	100.1	9
1	1591.7	1.356	737

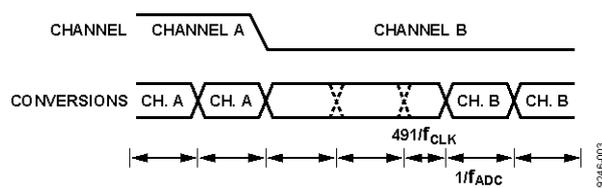


図3.チャンネル切り替え(チョップをイネーブル)

## ゼロ・レイテンシ

これらの  $\Sigma\text{-}\Delta$  ADC は、ゼロ・レイテンシ・モードでも動作することができます。このモードは、モード・レジスタのビット MR11 (ビット・シングル) を 1 に設定すると、イネーブルされます。このモードがイネーブルされると、1 つのチャンネルを連続変換する際の変換時間は、ほぼセトリング・タイムと等しくなります。このモードの利点は、変換が 1 つのチャンネルで行われるか、または複数のチャンネルで行われるかにかかわらず、すべての変換の間の時間が同じになることです。

チャンネルを切り替えるとき、最初の変換で  $491/f_{\text{CLK}}$  または  $507/f_{\text{CLK}}$  の余分な遅延が発生します。低い出力データレートでは、この余分な遅延がセトリング・タイム値に影響を与えることはほとんどありませんが、高い出力データレートでは、遅延を考慮する必要があります。表 5 に、1 つのチャンネルを連続変換する際と、様々なフィルタ設定に対してチャンネルを切り替える際の出力データレートをまとめます。

チャンネル間で切り替える場合、AD719x ではチャンネル切り替え後の最初の変換を得るまでに、フル・セトリング・タイムを確保することができます。このため、複数のチャンネルがイネーブルされた場合、ADC は自動的にゼロ・レイテンシ・モードで動作します—シングル・ビットを設定する意味がありません。

例えば、 $\text{sinc}^4$  フィルタを選択した場合、チョップがディスエーブルされ、ゼロ・レイテンシがイネーブルされ、FS = 96 のとき、

出力データレートは 12.5 Hz になります。このため、変換時間は 80 ms になり、セトリング・タイムは 80.1 ms になります。FS = 96 のとき、毎秒最大 12 チャンネルをサンプルすることができます。したがって、スループットは、チョップをディスエーブルし、ゼロ・レイテンシをディスエーブルした  $\text{sinc}^4$  の場合と同じになります。

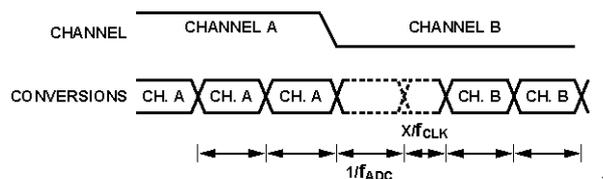
## シングル変換モード

これらの ADC は、デバイスが変換を行った後にパワーダウン・モードになるシングル変換モードも持っています。このモードは、ADC が連続変換を行う PLC のようなアプリケーションと関係ありませんが、アプリケーションで、複数の入力チャンネルを使い、変換結果を各チャンネルから周期的にリードバックする場合、このモードが有効です。

モード・レジスタの MD2 ビット、MD1 ビット、MD0 ビットに書込むと、変換が開始されます。これらのビットが適切に設定されると、ADC がパワーアップします。内部クロックを使用する場合は、パワーアップ時間が必要です。その後、変換結果を得るためにはフル・セトリング・タイムが必要です。ADC はこの変換結果をデータ・レジスタにロードし、DOU/RDY をロー・レベルにして、パワーダウン・モードに戻ります。この場合のスループットは、使用されるチャンネル数、選択された出力データレート、ADC との通信に要する時間に依存します。

表5.出力データレートとセトリング・タイム(ゼロ・レイテンシ)

Filter	Chop	$f_{\text{ADC}}$	$t_{\text{SETTLE}}$
$\text{Sinc}^4$	No	$f_{\text{CLK}}/(4096 \times \text{FS}[9:0])$	$(4096 \times \text{FS}[9:0] + 507)/f_{\text{CLK}}$
$\text{Sinc}^3$	No	$f_{\text{CLK}}/(3072 \times \text{FS}[9:0])$	$(3072 \times \text{FS}[9:0] + 507)/f_{\text{CLK}}$
$\text{Sinc}^4$	Yes	$f_{\text{CLK}}/(8192 \times \text{FS}[9:0] + 32)$	$(8192 \times \text{FS}[9:0] + 523)/f_{\text{CLK}}$
$\text{Sinc}^3$	Yes	$f_{\text{CLK}}/(6144 \times \text{FS}[9:0] + 32)$	$(6144 \times \text{FS}[9:0] + 523)/f_{\text{CLK}}$



NOTES  
1. X = 491 (CHOP ENABLED) OR 507 (CHOP DISABLED).

09246-004

図4.ゼロ・レイテンシ

## チャンネル・シーケンサ

AD7194にはシーケンサがないため、このデバイスはこのセクションに関係しません。

FS[9:0]ビットの値と使用される動作モードは、スルーブット・レートに影響する主要な要因ですが、説明したすべてのモードでは、変換と変換の間に設定レジスタに書き込みを行って変換する次のチャンネルを選択する必要があります。シングル変換モードでは、設定レジスタの他にモード・レジスタにも書き込みを行って、次のシングル変換を開始させる必要があります。

これらのADCは、マルチチャンネル・アプリケーションでのデバイスの使用を簡素化するチャンネル・シーケンサを内蔵しています。アプリケーション内で使用されるすべてのチャンネルがイネーブルされます。シーケンサは、イネーブルされたチャンネルを順次選択して、各チャンネルで変換を行います。チャンネル・シーケンサは、すべてのチャンネルが同じPGAゲインと出力データレートを使用する場合にのみ、使うことができます。例えば、各チャンネルが異なるPGAゲインを使う場合には、シーケンサをディスエーブルする必要があります。

設定レジスタのビットCH0～ビットCH7を設定すると、各チャンネルがイネーブルされて使用可能になります。ADCは変換する際に、イネーブルされた各チャンネルを順次自動的に選択して、各チャンネルの変換を行います。DOUT/RDYピンがロー・レベルになるごとに、チャンネルの変換結果が得られます。モード・レジスタのビットDAT\_STAが1に設定されると、ステータス・レジスタ値が各変換結果に付加されます。ステータス・レジスタは、チャンネルと変換結果の対応を表示します。また、ERRビットを使って変換が有効か否かも表示します。

チャンネル・シーケンサをイネーブルした場合、チャンネルあたりのセトリング・タイムは、使用するフィルタ構成に依存しますが、シーケンサをディスエーブルした場合の、前に説明した設定と比較して、シーケンサをイネーブルした場合のセトリング・タイムは小さくなります。シーケンサをディスエーブルした場合、チャンネルを切り替えた際にセトリング・タイムに $491/f_{CLK}$ または $507/f_{CLK}$ の遅延が発生します。シーケンサをイネーブルした場合は、この遅延は変換する最初のチャンネルでのみ発生します。後続チャンネルのセトリング・タイムは小さくなります。表6に、シーケンサをイネーブルしたときの、各チャンネルのセトリング・タイムをまとめます。最初の変換では、 $491/f_{CLK}$ の遅延が加わります。

表6.セトリング・タイム(シーケンサをイネーブル)

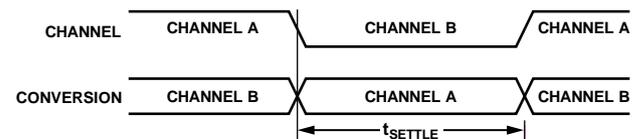
Filter	Chop	$t_{SETTLE}$
Sinc <sup>4</sup>	No	$(4096 \times FS[9:0] + 16)/f_{CLK}$
Sinc <sup>3</sup>	No	$(3072 \times FS[9:0] + 16)/f_{CLK}$
Sinc <sup>4</sup>	Yes	$(8192 \times FS[9:0] + 32)/f_{CLK}$
Sinc <sup>3</sup>	Yes	$(6144 \times FS[9:0] + 32)/f_{CLK}$

表7.スルーブット(シーケンサをディスエーブル/イネーブル)

FS[9:0]	Channels per Second (Sinc <sup>4</sup> , Chop Disabled)	
	Sequencer Disabled	Sequencer Enabled
96	12	12
80	14	14
1	1067	1195

表7に、チョップをディスエーブルし、シーケンサをイネーブルまたはディスエーブルしたときの、sinc<sup>4</sup>フィルタを使って変換できる毎秒のチャンネル数の比較を示します。この比較には、シーケンサをディスエーブルした際に次のチャンネルを選択するためにADCとのインターフェースに要する時間は含まれていません。低い出力データレートでは、チャンネル数は同じですが、高い出力データレートでは、シーケンサでのチャンネル数が大幅に増加します。

### SEQUENCER DISABLED



### SEQUENCER ENABLED

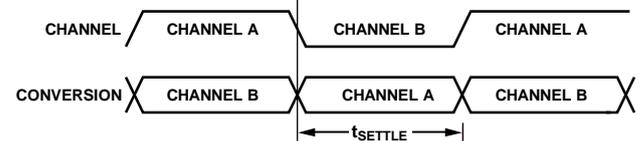


図5.シーケンサをイネーブル/ディスエーブルしたときの比較

## まとめ

変換結果を取得できるレートは、シングル・チャンネル・アプリケーションとマルチチャンネル・アプリケーションの間で異なります。マルチチャンネル・システムでは、チャンネルが選択されるごとに、最初の変換結果を得るまでにセトリング・タイムが必要です。このため、セトリング・タイムは、チョップのイネーブル/ディスエーブルやフィルタ次数のような、デバイスが設定されるモードに依存します。したがって、マルチチャンネル・システムでデバイスのスルーブットを求めるときは、アプリケーション内で使用されるチャンネル数を含めて、与えられた構成が必要とされるセトリング・タイムを計算する必要があります。