ANALOG DEVICES

CN-0385

		接続また	は参考にしたデバイス
		AD4003	18 ビット、2 MSPS 高精度 SAR 差動 ADC
		AD8251	iCMOS®計装アンプ、10MHz、20V/µs、ゲイ ン設定可能 (G=1、2、4、8)
Circuits from the Lab [™] Reference Circuits 実用回路集	テスト済み回路設計集"Circuits from the Lab™"は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は	ADuM141 E	強固なデジタル・アイソレータ、クワッド・ チャンネル、入力ディスエーブル付き、逆方 向チャンネル1
	支援は http://www.analog.com/jp/CN0385 をご覧くだ さい	ADG5207	アナログ・マルチプレクサ、8 チャンネル差 動、高電圧、耐ラッチアップ機能付き
		AD8475	完全差動減衰アンプ、高精度、ゲイン選択可 能
		ADA4807 -2	オペアンプ、3.1nV/√Hz、1mA、180MHz、 レール to レール入力/出力

工業用シングル・エンドおよび差動信号対応 PGIA 付き 絶縁型マルチチャンネル・データ・アクイジション・システム

評価と設計支援

回路評価ボード

CN-0385 回路評価ボード(EVAL-CN0385-FMCZ) システム・デモンストレーション・プラットフォーム (EVAL-SDP-CH1Z) 設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図1に示す回路は、費用効率の高い、絶縁されたマルチチャン ネルのデータ・アクイジション・システムで、標準的な工業用 信号レベルに適合しています。サンプル間のセトリング時間を 最適化するように部品を厳選し、最高約750 kHz のチャンネ ル・スイッチング・レートで、18 ビット動作が可能です。 この回路は利得が独立した8個のチャンネルを処理することが でき、シングル・エンドと差動のどちらの入力信号にも互換性 があります。

アナログ・フロント・エンドには、マルチプレクサ、可変ゲイン計装アンプ(PGIA)、シングル・エンドから差動へ変換するための高精度 A/D コンバータ(ADC)ドライバ、アクティブ・チャンネルで信号をサンプリングするための18 ビット、2.0 MSPS 高精度 PulSAR® ADC が実装されています。利得設定は、0.4、0.8、1.6、および 3.2 が可能です。

システムの最大サンプリング・レートは、ターボ・モードで2 MSPS、通常モードで1.5 MSPSです。チャンネル・スイッチン グのロジックは ADC の変換に同期しており、最大のチャンネ ル・スイッチング・レートは1.5 MHzです。ターボ・モードで は、1 個のチャンネルが、18 ビットの分解能で最大 2 MSPS の サンプリングが可能です。最高 750 kHz のチャンネル・スイッ チング・レートでも18 ビットの分解能を実現します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって 生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示 的または研究的に許諾するものでもありません。体操は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属 します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev.0



図 1. 絶縁型マルチチャンネル・データ・アクイジション回路の概略図(全接続の一部およびデカップリングは省略されています)

回路説明

図1に示した回路は、絶縁型マルチチャンネル・データ・アク イジションのシグナル・チェーンで、マルチプレクサ、プログ ラマブル・ゲイン段、ADCドライバ、完全差動高精度逐次比較 レジスタ(SAR) ADCからなっています。チャンネル・スイッ チングおよびゲイン・スイッチングは、ADCの変換周期と同期 しています。

このシステムでは、1個の ADC を使用して最大 8 チャンネルを モニタすることができ、1 チャンネルにつき 1 個の ADC を使用 するシステムに比べ、部品数および費用が削減できます。チャ ンネルごとに異なるゲインを設定できるので、入力範囲の柔軟 性を可能にします。コンプレックス・プログラマブル・ロジッ ク・デバイス (CPLD) で制御するため、Labview のグラフィカ ル・ユーザ・インターフェース (GUI) で設定が可能です。各 チャンネルの実効的なサンプリング・レートは、ADC のサンプ リング・レートをサンプリング対象のチャンネル数で割った値 に等しくなります。

システムの最大サンプリング・レートは、アナログ・フロン ト・エンドでの各部品のセトリング時間(例えばプログラマブ ル・ゲイン・アンプ(PGA)の帯域幅や RC フィルタの帯域幅 など)と、75 MHz で動作する絶縁型デジタル・インターフェー スのクロック・レートによって制限されます。多重化された信 号は、本来は不連続で、サンプリングの間に大きな電圧ステッ プが生じる可能性があります。ADC が変換を実行する前に、こ れらのステップが安定するまでの適切な時間を、信号チェーン の部品に設定しておく必要があります。信号を安定化させる時 間を最大にするために、マルチプレクサ・チャンネルの切り替 えは ADC が新しい変換を始めた直後に行います。

ボードへの電源供給は、DC ジャックからの 5~12 V または SDP-H1 コントローラ・ボードからの 12 V の DC 入力が使用可 能です。 ADP2441 DC/DC コンバータは 3.3 V の電圧を発生し、デジタ ル・インターフェースと ADuM3470 の一次側電源入力に供給し ます。ADP5070、ADP7118 および ADP7182 は正負の電源で、 ±15 V の電圧を発生します。ADP7118 はアナログおよびデジタ ル電源で、5 V、3.3 V、および 1.8 V を発生します。絶縁型高速 SPI 通信には、ADuM141E を使用しています。この部品はデー タ・レートが最大 150 Mbps で、伝搬遅延が短く、動的電力消費 が低いことが特徴です。

部品の選択

ADG5207 は、ラッチアップ保護機能付き高電圧 8 チャンネル・ 差動マルチプレクサです。ここで用いられているスイッチは、 容量とチャージ・インジェクションが極めて小さく、低グリッ チと高速セトリングを必要とするデータ・アクイジションやサ ンプル&ホールドのアプリケーションにとって最適なソリュー ションです。ADG5207 の入力部のスイッチング・ネットワーク によって、シングル・エンドと差動の両方の入力信号に互換性 があります。アクティブ・チャンネルはデバイスのアドレス・ ピンを通じて選択されますが、GUI で設定可能で、CPLD によ って制御されます。

AD8251 は、プログラマブル・ゲイン計装アンプで、ゲイン設定は1、2、4、および8が選択できます。ゲイン設定を高くすればするほど、AD4003 への入力信号のフル・スケール入力範囲は小さくなります。各ゲイン設定には、それぞれ最適な入力範囲があり、これを表1に示します。

表 1.4 通りのゲイン設定に対する入力範囲

Gain	Full-Scale Input Range
0.4	±10.24 V
0.8	±5.12 V
1.6	±2.56 V
3.2	±1.28 V

AD8475 減衰アンプは、高精度減衰(0.4×)、正確なコモンモ ード・レベル・シフト、およびシングル・エンドから差動への 変換機能を備えています。低出力ノイズ・スペクトル密度(10 nV/√Hz)と高速セトリング時間(2Vの出力ステップに対して 誤差0.001%に達する時間が50ns)を特長としているので、 AD4003を駆動するのに最適です。

AD4003 は、完全差動、2 MSPS、18 ビットの高精度 SAR ADC で、4.096 V のリファレンスを使用時に、標準 S/N 比 (SNR) 98 dB を実現できます。AD4003 はまた低消費電力で、最大処理 時でも約 17 mW しか消費しません。この電力消費は処理量に比 例し、低サンプリング・レートで動作することで電力消費を抑 制することができます(例えば、100 kSPS では 0.17 mW で す)。

システムの DC 確度誤差

図2にデータ・アクイジション・システムの理想的な伝達関数 を示します。



図 2. ADC の理想的な伝達関数

データ・アクイジションの信号チェーンの各部品で、それぞれ のオフセット誤差とゲイン誤差が加わるため、システムの実際 の伝達関数には、図2に示した理想的な伝達関数からのずれが 生じます。それらの誤差が累積された影響をシステムレベルで 測定するには、既知のDC値(ゼロに近い値やフル・スケール 値)をADG5207に入力させ(RCフィルタが実装されている場 合はこれに入力させ)、AD4003から最終的に出力されるコー ドと比較します。こうすると、システムのキャリブレーショ ン・ファクタを求めることができます。

オフセット誤差の測定

理想的なバイポーラ差動 ADC では、0 V の差動入力に対し、0 のコードが出力されます。実際の ADC では通常、ある程度の オフセット誤差(&)があります。これは、0 V を入力した時の 理想的な出力コードと測定された出力コードとの偏差として定 義されます。

データ・アクイジション・システムでのオフセット誤差は、入 力を接地して、最終的な出力コードを測定するれば確認できま す。この誤差は、AD8251の各ゲインの設定値間で異なり、 ADG5207の各チャンネル間でも異なります。このため、オフセ ット誤差は4通りのゲイン設定すべてにおいて、チャンネルご とに測定します。

このシステムは複数のチャンネルをモニタするため、チャンネ ル間でのオフセット誤差の偏差を定量化することも重要です。 オフセット・エラー・マッチ(Δεb, MAX)とは、チャンネルごと のオフセット誤差と全チャンネルのオフセット誤差の平均値と の間の最大偏差を表す尺度のことをいいます。 次式を用いてオフセット・エラー・マッチを計算できます。

$$\overline{\Delta \varepsilon_{b,MAX}} = (\max(\varepsilon_{b,i} - \frac{\sum_{j=0}^{j} \varepsilon_{b,j}}{8}) | i = 0, 1, ..., 7)$$

ここで、ε_{b,i} と ε_{b,j} はそれぞれ i チャンネルと j チャンネルでのオ フセット・エラーです。

このオフセット・エラー・マッチは各ゲイン設定に対して存在 します。オフセット誤差は、コード単位でもボルト単位でも表 現できることに注目してください。

ゲイン誤差の測定

システムのゲイン誤差は、システム全体の不正確さにもつなが ります。AD4003の理想的な伝達関数を図2に示します。ここ で、 $-2^{17} \ge 2^{17} - 1$ の出力コードが、それぞれ、負のフル・スケ ール入力電圧(-FS)と正のフル・スケール入力電圧(+FS)に 対応しています。しかし、オフセット誤差(ϵ_{b})とゲイン誤差 (ϵ_{m})が組み合わされると、この関係からの偏差が生じます。

ゲイン誤差は実際のシステム・ゲインと理想的なシステム・ゲ インとの間の誤差をパーセンテージで表したものです。より一 般的な表現はパーセント・フル・スケール誤差(%FS)で表さ れ、これは2¹⁷-1のコードを出力する入力電圧の理想値と実測 値の間の誤差を表す尺度です。

理想的なフル・スケール入力電圧(VFS, IDEAL)は、ADCの解像 度(AD4003では18ビット)とリファレンス電圧(VREF)の精 度の関数で表せます。リファレンス電圧の誤差は、ADCのゲイ ン誤差につながります。リファレンス誤差をADCのゲイン誤 差から切り離すために、VREFを高精度マルチ・メータで測定し ます。理想的なフル・スケール入力電圧は、次式で計算できま す。

$$V_{FS, IDEAL} = \frac{2^{18}}{2 \times V_{REF, MEAS}} = \frac{2^{17}}{V_{REF, MEAS}}$$

実際のシステム・ゲインは、複数の入力電圧のグループとその 出力コードの線形回帰の傾き(mLR)を計算し、次のように求 めることができます。

 $Y_{REAL} = m_{LR} \times V_{IN}$

従って、フル・スケール入力電圧の実測値(VFS, REAL)は次式から計算できます。

$$V_{FS, REAL} = \frac{Y_{REAL}}{m_{LR}} = \frac{2^{17}}{m_{LR}}$$

これより、ゲイン誤差(%FSで表したもの)は次式で計算できます。

$$\varepsilon_m = \frac{V_{FS, IDEAL} - V_{FS, REAL}}{V_{FS, IDEAL}} \times 100\%$$

システムのゲイン誤差は AD8251 のゲインに応じて変化します が、チャンネルごとに独立しています。そのため、このシステ ムでは、ゲイン誤差は4つのゲイン設定のそれぞれについて測 定する必要がありますが、チャンネルについては ADG5207 の1 チャンネルを用いるだけで済みます。

CN-0385

システム・ノイズ解析

高精度データ・アクイジション・システムの主要な設計目標の 1 つは、高い SNR を実現することです。これは、フル・スケー ルの信号振幅を増大するか、システムの部品が生成するノイ ズ・パワーを減少すれば達成することができます。

システムに存在する全ノイズ・パワーは、AD4003の入力に関わる、個々の部品に起因するノイズ・パワーの二乗和平方根 (rss)を取って次式のように求めることができます。

$$v_{n,TOTAL} = \sqrt{v_{n,ADG5207}^{2} + v_{n,AD8251}^{2} + v_{n,AD8475}^{2} + v_{n,AD4003}^{2}}$$

従って、システムの SNR の予測値(SNR_{EXPECTED})は、次のように求まります。

$$SNR_{EXPECTED} = 20\log\left(\frac{V_{REF}/\sqrt{2}}{v_{n, TOTAL}}\right)$$

システムの各部品がどのくらいノイズ発生に関わっているかの 予測と、全システムの最終的な SNR 性能の予測を、表2に示し ます。この全システムのノイズ計算では、システムの受動部品 が関与する熱雑音は無視しています。

AD4003 ADC によるノイズ

AD4003 ADC のノイズは、固有の量子化誤差と内蔵部品(例えば熱雑音を生成する受動部品)に起因するノイズの両方を含む 関数で表せます。

AD4003 の rms 入力電圧ノイズは、規定されている SNR を用いると、次式で計算できます。

$$v_{n,AD4003} = \frac{V_{REF}}{\sqrt{2}} \times 10^{\left(\frac{SNR_{AD4003}}{20}\right)}$$

AD4003 の SNR (SNR_{AD4003}) は 4.096 V のリファレンス電圧に 対し、約 98 dB と規定されています。

AD4003の入力で、単極 RC フィルタが上流部品からの広帯域ノ イズを制限しています。フィルタの帯域幅をより狭くすればノ イズ・パワーはさらに抑制され、SNR は改善します。しかし、 その時定数も十分に短くし、電圧キックバックを安定化する必 要があります。この電圧キックバックは、アクイジション・フ ェーズの間に、AD4003の入力がフロントエンド回路に再接続 する際に発生する電荷注入によって起こります。システムに最 適な帯域幅は、5 MHz 以上です(詳細については Analog Dialogue の記事、高精度 SAR A/D コンバータ(ADC)のフロン トエンド・アンプと RC フィルタの設計をご覧ください)。

AD8475 減衰アンプによるノイズ

AD8475 が関与する rms ノイズ (v_{n, AD8475}) は、出力ノイズ・スペクトル密度 (NSD) (e_{AD8475}) と AD4003 入力の RC フィルタの帯域幅 (BW_{RC})を含む関数で表され、次式で求められます。

$$v_{n,AD8475} = e_{AD8475} \times \sqrt{\frac{\pi}{2} \times BW_{RC}}$$

 \sub \sub $e_{AD8475} = 10 \text{ nV}/\sqrt{\text{Hz}_{\circ}}$

AD8251 計装アンプによるノイズ

AD8251 は利得段として機能し、小振幅信号の SNR を改善しま す。これは、信号の振幅を大きくして $\pm V_{REF}$ の範囲一杯にし、 AD4003 に入力させることにより実現できます。理想的には、 システム・ゲインが G 倍だけ増加すると、入力信号の SNR (dB 表示) は次の値だけ改善します。

 $\Delta SNR = \log_{10} (G)$

しかし、実際にはこれだけの改善は得られません。これは、広 帯域のノイズも回路のノイズ・ゲイン分だけ増幅されるためで す。幸いなことに、この劣化の度合いは、信号ゲインによる改 善効果ほどは大きくありません。

AD8251 が関与する rms ノイズは、入力 NSD (e_{AD8251}) 、利得 設定 (G_{AD8251}) 、AD8475 の減衰係数 (G_{AD8475}) 、および AD4003 入力のノイズ・フィルタの帯域幅を含む関数として次 式で表されます。

$$v_{n, AD8251} = e_{AD8251} \times G_{AD8251} \times G_{AD8475} \times \sqrt{\frac{\pi}{2} \times BW_{RC}}$$

eAD8251 の値は AD8251 のゲインにも依存します。eAD8251 の値は AD8251 のデータシートに記載されています。

ADG5207 マルチプレクサによるノイズ

ADG5207 が関与する NSD とその結果生じる rms ノイズは、こ のデバイスがソースと残りのアナログ・フロント・エンド間で 直列抵抗として動作するため、ジョンソン・ナイキスト・ノイ ズの式を用いて求めることができます。

$$e_{n,ADG5207} = \sqrt{4 \times k_B \times T \times R_{ON}}$$

そして、

$$v_{n,ADG5207} = e_{n,ADG5207} \times G_{AD8251} \times G_{AD8475} \times \sqrt{\frac{\pi}{2} \times BW_{RC}}$$

各チャンネルの抵抗値(R_{ON})は、ADG5207のデータシートに 記載されています。

システムのノイズ特性の計算結果を表2にまとめます。ノイズ 全体に最も影響を与えているのは、AD8251計装アンプと AD4003 ADC です。

20 -									
	ADG5207		AD8251		AD8475		AD4003	Total	
Gain	e _n , ADG5207 (nV/√Hz)	v _n , ADG5207 (µV rms)	e _n , AD8251 (nV/√Hz)	v _n , AD8251 (μV rms)	e _n , AD8475 (nV/√Hz)	v _n , AD8475 (μV rms)	v _n , AD4003 (µV rms)	v _n , total (µV rms)	SNR (dB)
0.4	2.04	2.29	40	44.7	10	28	35.4	63.6	93.2
0.8	2.04	4.57	27	60.4	10	28	35.4	75.5	91.7
1.6	2.04	9.15	22	98.4	10	28	35.4	108.6	88.5
3.2	2.04	18.3	18	161	10	28	35.4	168.2	84.7

表 2. マルチチャンネル・データ・アクイジション・システムのノイズ特性

セトリング時間の分析

図1に示す回路が複数のチャンネルをサンプリングすると、異 なる入力から取り込まれた各々の信号は、ADG5207によって時 分割多重されます。多重化された信号は、本来は不連続で、通 常は短い時間間隔で発生する大きな電圧ステップとなります。 図1に示すシステムでは、ADG5207の入力部で2個の隣接する チャンネル間の電位差が、20Vもの大きさとなる場合がありま すが、セトリングのために割り当てられる時間は、サンプリン グ期間と同じ長さしか取れません。

図1の回路のセトリング時間のモデルを図3に示します。シス テムの各部品には、それぞれのセトリング特性があります。 (以降のセクションをご覧ください)。



セトリング時間は、アナログ・フロント・エンド回路が入力ス テップをある精度に安定化させるために必要な時間と定義され ています。この精度は普通、パーセント誤差(例えば、0.1%や 0.01%など)で指定されますが、変換システムの場合はこれを 分解能で表現することも有用です。例えば、16ビットの分解能 にセトリングすることは、0.001%にセトリングすることと概ね 同等です。表3には単極システムについて、パーセント誤差で のセトリングと、分解能でのセトリングの関係を示します。

表 3. パーセント誤差と実効分解能

Resolution, No. of Bits	LSB (%FS)	No. of Time Constants = -In (% Error/100)
6	1.563	4.16
8	0.391	5.55
10	0.0977	6.93
12	0.0244	8.32
14	0.0061	9.70
16	0.00153	11.09
18	0.00038	12.48
20	0.000095	13.86
22	0.000024	15.25

複数の部品が実装されたアナログ・フロント・エンドのセトリ ング時間を見積もることは、さまざまな理由から、それほど容 易ではありません。 まず、多くの素子について、セトリング特性がそれほど高精度 に特定されているわけではありません。能動素子のセトリング 時間もセトリングの精度に対して直線性を有するわけでもな く、0.01%の精度の場合、0.1%の精度に比べセトリング時間 が最大30倍も長くなる場合があります。セトリング時間は、ア ンプ内部の長時間の熱的影響で決まる場合もあります。さら に、セトリング時間は、素子が駆動している負荷にも影響さ れ、複数の負荷条件について一般的に定まるわけではありませ ん。

また、高い精度でセトリングを測定することは、特別な特性評価プラットフォームがなくては困難です。これは、オシロスコ ープのオーバードライブと感度の影響を受け、また、十分な立 ち上がり時間とセトリング時間を持つ入力パルスを生成するこ とが困難なためです。

セトリング時間を見積もることは、回路を解析する際に、ある 一定の範囲と仮定を設定した場合に可能なのです。全セトリン グ時間は、個別の部品のセトリング時間の rss から次式で計算 できます。

$$t_{S_{-TOTAL}} = \sqrt{t_{S_{-}ADG5207}^{2} + t_{S_{-}AD8251}^{2} + t_{S_{-}AD8475}^{2} + t_{S_{-}AD4003}^{2}}$$

システムの最大処理能力は全セトリング時間に逆比例し、次式 のようになります。

$$\frac{1}{SR} < \frac{1}{t_{a}}$$

f

ι_{S_TOTAL}

ADG5207 のセトリング時間

CMOS スイッチの等価回路は、1 個の直列抵抗 (R_{ON}) と、2 個 の並列コンデンサ (C_s , C_b) をもつ理想的スイッチとして近似 できます。従って、マルチプレクサ段と関連フィルタは図4に 示すようにモデル化できます。



各チャンネルは、RC 回路と同様の働きをします。RC 回路に は、セトリング時間を決定づける時定数があります。チャンネ ルを動的にスイッチングするので、信号のセトリングは複雑に なります。これは、チャンネルがスイッチングされるとき、前 の出力と現在の入力との差により、キックバック・トランジェ ントが発生するためです。このキックバックは、AD4003 がア クイジション・フェーズに入る際の入力信号に生じるキックバ ックと同様のものです。詳細については、Analog Dialogue の記 事、高精度 SAR A/D コンバータ(ADC)のフロントエンド・ア ンプと RC フィルタの設計をご覧ください。

図4の回路は、図5に示すように NI Multisim[™] を用いてシミュ レーションを行いました。その際、次の部品の値について、そ れぞれのデータシートの記載値を使用しました。

- $R_{ON} = 250 \Omega$
- Cs = 3.5 pF
- C_D = 36 pF
- $R_{IN} \| C_{IN} = 1.25 \text{ G}\Omega \| 2 \text{ pF}$

AD8251 の入力抵抗 (R_{IN}) は、非常に大きく (1.25 GQ) 、シミ ュレーションからは省かれています。



図 5. ADG5207 の Multisim によるセトリング時間モデル

シミュレーション結果を図6に示します。ADG5207の出力が 10 Vの0.001%に収まるのに要する時間 ts_ADG5207は、188 nsで す。



図 6. ADG5207 のシミュレーション・モデルのセトリング時間波形

AD8251 と AD8475 のセトリング時間

AD8251のデータシートには、様々な入力電圧のステップ・サ イズに対し、ゲイン設定ごとに最小 0.001 % 誤差のセトリング 時間の仕様値が記載されています。負荷抵抗が 10 kΩ で、ゲイ ン設定が 1 の場合、AD8251 は出力で、20 V ステップを約 1 μs 以内に 0.001 % に安定化させます。ゲイン設定が 1 のとき、最 長のセトリング時間が必要となります。そのため、セトリング 時間解析では 1 μs という値を使用します。

しかし、この1 μ s という値は、AD8251 が AD8475 の1 個の入 力を駆動している場合は正確でないことがあります。AD8475 の入力インピーダンスが 10 $k\Omega$ ではなく、2.92 $k\Omega$ だからです。 さらに、セトリング時間と精度の関係が非線形のため、18 ビッ ト分解能での AD8251 のセトリング時間を確認することもでき ません。このため、セトリング時間の最良の見積もりは、 0.001 % 誤差(または 16 ビット分解能)の場合になります。

AD8475 のセトリング時間の仕様値は、2Vの差動出力ステップ に対し0.001% 誤差で50 ns です。AD8475 の出力で見込まれる 最大電圧ステップ・サイズは、リファレンス電圧(V_{REF})の2 倍、すなわち約8Vです。セトリング時間が出力電圧ステップ に比例すると仮定すると、8Vステップに対する0.001% 誤差 (16ビット分解能)でのセトリング時間は約200 ns (4×50 ns)となります。

このため、各アンプのセトリング時間は、以下のようになりま す。

- $t_{S_{AD8251}} = 1 \ \mu s$
- $t_{S_{AD8475}} = 200 \text{ ns}$

RC ノイズ・フィルタと AD4003 のセトリング時間

図7に、AD4003入力の等価回路を示します。R_{EXT} とC_{EXT} は、 ADC 前段の RC 広帯域ノイズ・フィルタを構成する部品です。 R_{IN} と C_{IN} はそれぞれ、AD4003の入力抵抗と入力コンデンサで す。C_{IN} は、主に内部容量性 D/A コンバータ(DAC)によるも のです。C_{PIN} は、主にピン容量で、無視できます。これらの部 品の値は次のとおりです。

- $R_{EXT} = 200 \Omega$
- C_{EXT} = 120 pF
- $R_{IN} = 400 \Omega$
- $C_{IN} = 40 \text{ pF}$



図 7. AD4003 と RC ノイズ・フィルタのセトリング時間モデル

AD4003 では、内部容量性 DAC と電荷再配分アルゴリズムを使 用して、出力コードを決定しています。変換プロセスは、アク イジションとコンバージョンの 2 つのフェーズからなります。 アクイジションの間は、容量性 DAC は AD4003 の入力端子に接 続されています。コンバージョンの間は、DAC は入力端子から 切断され、内部ロジックが電荷再配分アルゴリズムを実行しま す。

CN-0385

他の PulSAR ADC と比較して、AD4003 ではコンバージョン時間が大変短く、このためユーザはコンバージョンの終了を待たずにアクイジション・フェーズに戻ることができます。従って、ユーザがこの ADC を遅い処理能力で動作させる場合には、キックバックを安定化させる時間を多く取ることができます。

正確なコンバージョンのためには、信号はアクイジション・フ ェーズが終わるまでに安定している必要があります。信号がセ トリングするための許容時間を最大限にするために、マルチプ レクサは AD4003 がコンバージョン・フェーズを開始した直後 に、チャンネルを切り替えます。

AD8475 の出力からの多重化信号を安定化させることに加え、 RC ノイズ・フィルタと AD4003 の入力では、アクイジション・ フェーズの開始時に発生する電圧キックバックを安定化させる 必要もあります。詳細については、Analog Dialogue の記事、高 精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計をご覧ください。

図7に示す回路のセトリング時間のシミュレーションは、図8 に示すようにNI Multisim で行いました。V1 は、(AD8475 の シングル・エンド出力からの)AD4003 への各入力に見込まれ る最大の電圧ステップを表します。CNV と S1 はコンバージョ ン・フェーズ(V1 が変化する時に開始)からアクイジション・ フェーズ(コンバージョン開始後 300 ns)への AD4003 のスイ ッチングをシミュレートします。V1 が 0 V から 4 V に切り替わ った後、CNV は 300 ns まで S1 をオープンに保っており、コン バージョン・フェーズからアクイジション・フェーズへの遷移 を表現しています。ADC_IN は、CNV の立ち上がりエッジで AD4003 がサンプリングする電圧です。

システムのこの部分のセトリング時間は、V1 が 4 V に切り替わ る時(TIME=0、図9を参照)から ADC_IN が 4 V の 0.001 % に収まるまでの時間に等しくなります。



シミュレーション結果を図9に示します。出力が4Vの0.001% に収まるのに要する時間 ts_AD4003 は711 ns です。



図 9. AD4003 と RC ノイズ・フィルタのシミュレーション・モデル によるセトリング時間波形

全セトリング時間

図1に示す回路全体の全セトリング時間は、各部品のセトリン グ時間のrssを計算し、次のとおり見積もることができます。

- ts ADG5207 = 188 ns
- $t_{s_{AD8251}} = 1000 \text{ ns}$
- ts_AD8475 = 200 ns
- $ts_{AD4003} = 711 \text{ ns}$
- $t_{s \text{ TOTAL}} = \sqrt{188 \text{ ns}^2 + 1 \mu s^2 + 200 \text{ ns}^2 + 711 \text{ ns}^2} \approx 1257 \text{ ns}$

従って、システムのチャンネル・スイッチングのサンプリン グ・レートの最大値は、次のように見込まれます。



オフセット誤差とゲイン誤差の影響

図1の回路の各ゲイン設定において、チャンネルごとに測定し たオフセット誤差を、LSB単位で表4に示します。また、表4 には各ゲイン設定での全チャンネルのオフセット誤差の平均値 も示します。

このオフセット誤差の測定は、全てのチャンネル入力を接地 し、各ゲイン設定においてチャンネルごとに取得したサンプリ ングデータを 32,768 点集め、これを平均して行いました。

表 4. 全チャンネルとゲイン設定に対するオフセット誤差の測定値(LSB単位の誤差)

Gain	Channel 1	Channel 2	Channel 3	Channel 4	Channel 5	Channel 6	Channel 7	Channel 8	Channel Average
0.4	1.34	1.33	1.31	1.36	1.44	1.45	1.46	1.48	1.40
0.8	1.98	1.99	2.02	2.06	2.00	1.98	1.99	1.97	2.00
1.6	3.25	3.19	3.22	3.19	3.17	3.08	3.13	3.14	3.17
3.2	5.57	5.66	5.67	5.55	5.57	5.50	5.54	5.52	5.57

5142-005

回路ノート

CN-0385

表5に、図1の回路の各ゲイン設定に対するゲイン誤差の測定 値を示します。%FS 誤差は上述の解析方法を用いて求め、V/V 単位の実際のゲインは、理想的なゲインからこの誤差を差し引 いて計算しました。

表 5. 全ゲイン設定に対するゲイン誤差の測定値

Gain	Gain Error (%FS)
0.4	0.02
0.8	0.02
1.6	0.03
3.2	0.02

チャンネル切り換えがない場合の特性結果

図 10、図 11、図 12、および図 13 に、単一チャンネルに 10 kHz のフル・スケールの正弦波を入力させ、ゲイン設定をそれぞ れ、0.4、0.8、1.6、および 3.2 にした場合の高速フーリエ変換 (FFT)を示します。表6に、各ゲイン設定で測定した SNR と rms ノイズを示します。

表 6. 10 kHz 入力時のゲインと SNR、ノイズ、および THD と の関係

Gain	SNR (dB)	RMS Noise (µV rms)	THD (dB)
0.4	93.9	55.2	-99.2
0.8	92.8	62.6	-98.5
1.6	90.6	80.7	-97.0
3.2	88.0	108.9	-94.6

入力信号は Audio Precision SYS-2700 シリーズの信号発生器を使 用して供給し、ボードの設定は差動入力モードとしました。図 14 に、各ゲイン設定での入力信号周波数に対する全高調波歪み (THD)の測定値を示します。





図 13. 10 kHz、2.5 V p-p 入力の FFT。ゲイン 3.2、単一静的チャン ネルの場合。

CN-0385

回路ノート



図 14. 単一静的チャンネルへの入力周波数を変えて測定した THD

チャンネル切り換えがある場合のシステム特性

複数チャンネルのスキャン時のシステム性能を評価するため、 いくつかの試験を行いました。高精度 DC 電源を使用した実験 では、出力コードの誤差を、サンプリング・レート(同様の試 験については回路ノート CN-0269 をご覧ください)とチャンネ ル間の電圧ステップ・サイズを変化させて測定しました。AC 特性の評価も行い、高精度 AC 電源(Audio Precision AP SYS-2712)から供給される2つの位相の異なるフル・スケール入力 間のスイッチングを測定しました。

図 15 および図 16 はそれぞれ、DC および AC 特性試験の構成を 示しています。チャンネル・スイッチング・レートとは、 ADG5207 があるチャンネルから別のチャンネルに切り替えるレ ートのことで、AD4003 のサンプリング・レートと等価なもの です。





図 16. AC 信号発生器を使用したセトリング時間評価試験の構成

DC 特性試験では、2 チャンネル間の電圧ステップ・サイズとチャンネル・スイッチング・レートを変化させて測定しました。 チャンネル・スイッチング・レートの変化量は、50 kHz から1 MHz まで、50 kHz 刻みとしました。電圧ステップ・サイズは、 各ゲイン設定に対応した範囲で変化させました。平均コードの 結果は、チャネルごとに電圧ステップ・サイズとチャンネル・ スイッチング・レートを変化させて測定し、チャンネルごとに 取得した 8,192 サンプルついて平均化したものです。静的な (チャンネル切り替えがない)場合についても、チャンネルご との平均コードの結果を測定しました。以下で検討する平均コ ード誤差は、静的チャンネルで測定した平均コードと、スイッ チング・チャンネルで測定した平均コードとの差を取ることで 求まります。

図 17、図 18、図 19、および図 20 には、4 通りのゲイン設定そ れぞれについて、複数のスイッチング・レートで電圧ステッ プ・サイズを変えたときの平均コード誤差を示しています。図 21 から図 24 には、それぞれ 4 通りのゲイン設定について、ス イッチング・レートを変えたときのフル・スケール電圧ステッ プでの平均コード誤差を示しています。







CN-0385



電圧ステップ・サイズとチャンネル・スイッチング・レートが 増加するにつれ、平均コード誤差は増大します。この増大は、 信号チェーン内に存在する部品のスルーとセトリング時間によ る制限が組み合わされた結果です。ステップ・サイズが大きく なると、システムはより大きな電圧変動を安定化させなければ なりません。また、チャンネル・スイッチング・レートが上が ると、こうした変動を安定化するためのシステムの許容時間が 短くなります。ゲイン設定が0.4の場合に見られるように(図 17および図21を参照)、ステップ・サイズやスイッチング・ レートが十分に大きくなると、平均コード誤差は予測できない ほど増大します。このコード誤差は、AD8251計装アンプ内の 入力バッファ・アンプのスルー・レートの制限が原因です。

AC 電源を使用した場合のシステム性能は、チャンネル・スイ ッチング・レートに対する THD を比較して評価しました。AP SYS-2712 を用いて、フル・スケールの正弦波を一方のチャンネ ルに入力し、その正弦波を反転したものをもう一方のチャンネ ルに入力しました。THD の測定は、サンプリング・レートを 25 kSPS から 1.5 MSPS まで 25 kSPS 刻みで変えて行いました。図 25 に、ゲイン設定ごとに各チャンネルについて測定した THD を示します。



図 25.1 kHz フル・スケール入力時の THD と ADG5207 チャンネ ル・スイッチング・レートの関係

システムの THD 特性はおよそ 700 kSPS で劣化し始めます (ゲ イン設定に依存します)。 全信号チェーンの SNR と THD 特性 は、主に PGA の AD8251 によって制限されます。また、 AD4003 前段の RC フィルタの帯域幅を狭くすると、チャンネ ル・スイッチング・サンプリング・レートが高い場合の THD を 改善します。

バリエーション回路

AD4003 ADC は、他のさまざまな 14 ビット、16 ビット、およ び 18 ビットの 10 ピン 高精度 SAR ADC とピン互換です。ま た、他のさまざまな ADC も CN-0385 システムに使用可能で す。帯域幅がより広い ADG1207 は ADG5207 の代わりに使用で きます。ADG5248F には、故障保護検出機能があり、シング ル・エンド入力として使用できます。AD8475 が出力する差動 出力信号は、AD7690 のような他の差動 ADC にも適用可能で す。ADA4805-1 オペアンプは、疑似差動またはシングル・エン ドの ADC (例えば AD4000) を駆動する場合に、AD8475 の代 わりに使用できます。ADP7102 や ADP7142 のような、アナロ グ・デバイセズの他の LDO は ADP7118 と置き換えが可能で す。

回路の評価とテスト

この回路は EVAL-CN0385-FMCZ 回路ボードと EVAL-SDP-CHIZ SDP-HI システム・デモンストレーション・プラットフォ ーム・コントローラ・ボードを使用します。これら 2 枚のボー ドは 160 ピン接続用コネクタを備えているので、手早くセット アップして回路の性能を評価することができます。この回路ボ ードには、本回路ノートに記載したとおり、評価対象の回路が 実装されており、SDP-H1 コントローラ・ボードを CN-0385 評 価用ソフトウェアとともに使用すると、回路ボードからデータ が取得できます。

必要な装置

以下の装置類が必要になります。

- USB ポート付き Windows® XP、Windows Vista® (32 ビット) 又は Windows 7 (32 ビット)対応の PC
- EVAL-CN0385-FMCZ 回路評価ボード
- EVAL-SDP-CH1Z SDP-H1 コントローラ・ボード
- CN-0385 評価用ソフトウェア
- (ftp://ftp.analog.com/pub/cftl/CN0385/からダウンロード)
 5~12 Vの DC 電源または電源アダプタ
- (EVAL-CN0385-FMCZ ボード付属の9V 電源アダプタ)
 micro-USB 変換ケーブル
- 出力電圧 ±10 V の低歪み、低出力インピーダンスの信号発 生器
- 出力電圧 ±10 V の低ノイズ高精度 DC 電源

評価開始にあたって

評価用ソフトウェアを ftp://ftp.analog.com/pub/cftl/CN0385/ から ダウンロードし、PC にインストールします。

機能ブロック図

回路ブロック図については図1をご覧ください。また、完全な 回路図は EVAL-CN0385-FMCZ-SCH.pdf をご覧ください。この ファイルは CN-0385 デザイン・サポート・パッケージ

(www.analog.com/CN0385-DesignSupport から入手可能)に含ま れています。図 26 にテスト・セットアップの機能ブロック図を 示します。



図 26. テスト・セットアップの機能ブロック図

ハードウェア構成

EVAL-CN0385-FMCZ 評価用ハードウェアを図 27 に示します。 SDP-H1 ボードについての詳細は、SDP-H1 ユーザー・ガイドを 参照してください。

回路ボードの 160 ピン・コネクタを SDP-H1 コントローラ ボー ドの J4 コネクタに接続します。

CN-0385

まず、5~12 V の DC 電源アダプタを P3 DC ジャックまたはタ ーミナル・ブロック J1 に接続し、ジャンパ J2 を V_EXT の位置 に接続します。もしくは、J2 を V_FMC に接続し、SDP-H1 ボ ードからの 12 V 電源を使用します。次に SDP-H1 ボードを micro-USB 変換ケーブルを介して PC に接続します。

テスト

電源または DC 電源アダプタと USB ケーブルを接続し、評価用 ソフトウェアを立ち上げます。USB 通信が確立すると、SDP-H1 ボードを使用して EVAL-CN0385-FMCZ ボードからのデータの 送受と取得ができるようになり、時間および周波数ドメインで のデータ解析を実行できます。

テスト・セットアップとキャリブレーションについての詳細、 およびデータ取得のための評価用ソフトウェアの使用方法につ いては、CN-0385 ソフトウェア・ユーザー・ガイドに記載され ています(www.analog.com/CN0385-UserGuide から入手可 能)。



図 27. EVAL-CN0385-FMCZ 評価用ハードウェア

さらに詳しい資料

CN-0385 Design Support Package: www.analog.com/CN0385-DesignSupport

UG-502. SDP-H1 User Guide. Analog Devices.

- Analog Dialogue 39-09, September 2005: 高速プリント回路基板レイ アウトの実務ガイド
- Kester, Walt. "Multichannel Data Acquisition Systems" in *Data Conversion Handbook*, Chapter 8, Section 8.2. Elsevier.
- Analog Dialogue 47-04, April 2013: Complete Sensor-to-Bits Solution Simplifies Industrial Data-Acquisition System Design
- Analog Dialogue 48-07, July 2014: Demystifying High-Performance Multiplexed Data-Acquisition Systems
- Analog Dialogue 46-12, December 2012: 高精度 SAR A/D コンバー タ (ADC) のフロントエンド・アンプと RC フィルタの設計

AN-359 Application Note: *Settling time of Operational Amplifiers*. Analog Devices.

- AN-931 Application Note: PulSAR ADC サポート回路の解説
- AN-1024 Application Note: マルチプレクサのセトリング・タイム とサンプリング・レートの計算方法
- AN-1264 Application Note: 高分解能産業用アプリケーションに適した高精度シグナル・コンディショニング
- MT-004 Tutorial: *The Good, the Bad and the Ugly Aspects of ADC Input Noise – Is No Noise Good Noise?* Analog Devices.

MT-046 Tutorial: Op Amp Settling Time. Analog Devices.

MT-048 Tutorial: Op Amp Noise Relationships: 1/f Noise, RMS Noise and Equivalent Noise Bandwidth. Analog Devices.

データシートと評価ボード

CN-0385 回路評価ボード(EVAL-CN0385-FMCZ) システム・デモンストレーション・プラットフォーム(EVAL-SDP-CH1Z) AD4003 データシート AD8251 データシート ADG5207 データシート ADG5207 データシート AD8475 データシート AD8475 データシート AD8475 データシート AD8475 データシート ADP7118 データシート ADP7118 データシート ADP7182 データシート ADP7182 データシート ADP5070 データシート

改訂履歴

10/2016—Revision 0: Initial Version

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは 製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示 的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかっ信頼できるものであることを期しています。し かし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示 的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一 切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標お よび登録商標は各社の所有に属します。

©2017 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。