

ADF4351	VCO内蔵のフラクショナルN PLL シンセサイザ
ADCLK948	8個のLVPECL出力を備えたクロック・ファンアウト・バッファ

低ジッタのLVPECL ファンアウト・バッファによる クロック源からの出力数の増加

評価および設計サポート

回路評価ボード

ADF4351 評価ボード (EVAL-ADF4351EB1Z)

ADCLK948 評価ボード (ADCLK948/PCBZ)

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

多くのシステムは、ミックスド・シグナル処理やタイミング処理のために複数の低ジッタのシステム・クロックを必要とします。図1に示す回路は、フェーズロック・ループ (PLL) と電圧制御発振器 (VCO) を内蔵した ADF4351 と ADCLK948 のインターフェースを行います。ADCLK948は、ADF4351の差動出力の1つから最大8個の差動の低電圧ポジティブ・エミッタ結合ロジック (LVPECL) 出力を供給します。

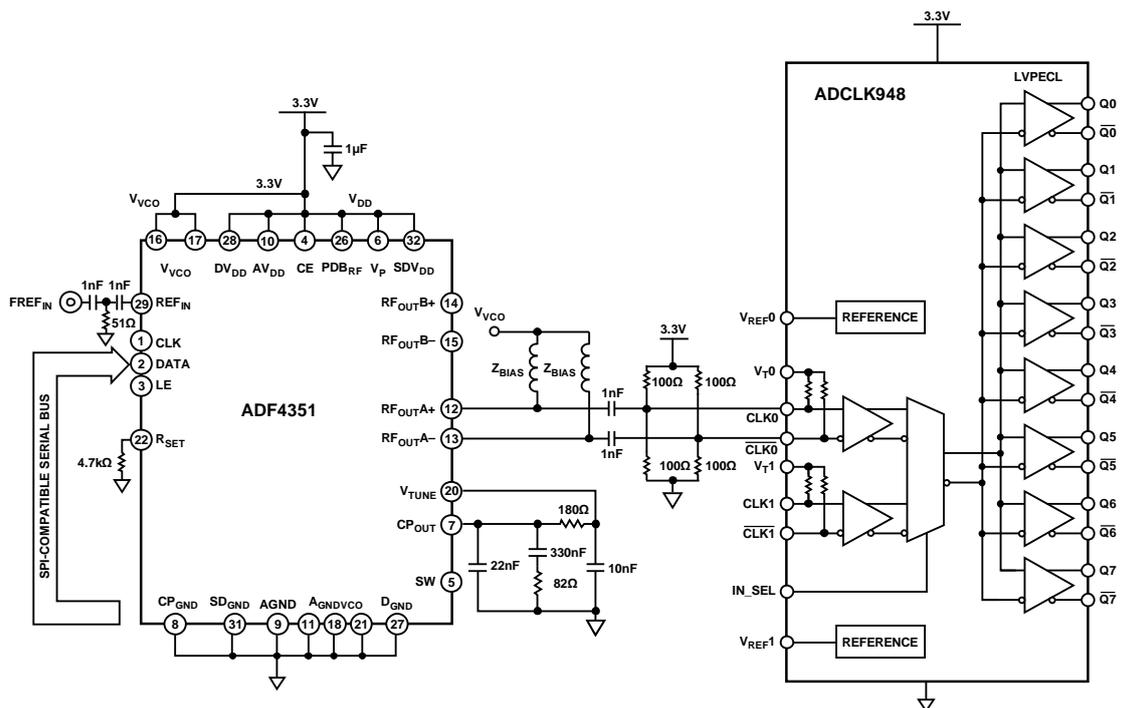


図 1. ADF4351 PLL と ADCLK948 ファンアウト・バッファとの接続 (簡略回路図: 全ての接続およびデカップリングは示されていません)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

最近のデジタル・システムは、多くの場合、クロック源のロジック・レベルとは異なる多くの高品質クロックを必要とします。完全性を損なうことなく別の回路素子へクロックを高精度で分配するには、バッファリングの追加を要することがあります。この回路ノートでは、ADF4351 クロック源と ADCLK948 クロック・ファンアウト・バッファのインターフェースについて説明し、測定結果からクロック・ファンアウト・バッファによる付加ジッタが 75fs rms であることを示します。

回路説明

ADF4351 は広帯域 PLL と VCO で構成されており、VCO は 3 つの別々のマルチバンド VCO から構成されています。各 VCO は約 700MHz の周波数範囲をカバーしています（各 VCO 間には、いくらかのオーバーラップがあります）。これにより、2.2GHz~4.4GHz の VCO の基本周波数範囲が可能になります。ADF4351 の内部分周器を使って、2.2GHz より低い周波数を生成することができます。クロックを生成するには、ADF4351 の PLL と VCO をイネーブルし、必要な出力周波数を設定する必要があります。ADF4351 の出力周波数は、シャント・インダクタ（またはシャント抵抗）と DC 阻止コンデンサを必要とするオープン・コレクタ出力の RF_{OUT} ピンに供給されます。

ADCLK948 は SiGe プロセスを採用した低ジッタのクロック・ファンアウト・バッファで、最大入力周波数（4.5GHz）が ADF4351 の最大入力周波数（4.4GHz）のすぐ上であるため、ADF4351 と併用するのに最適です。広帯域の rms 付加ジッタは 75fs です。

ADCLK948 の CLK 入力に 1.65V の DC 同相バイアス・レベルを追加して、LVPECL ロジック・レベルを再現する必要があります。これは抵抗バイアス回路網を使用することによって行われます。DC バイアス回路を追加しないと、ADCLK948 の出力の信号の完全性が損なわれます。

バリエーション回路

この他に使用可能な VCO 内蔵のシンセサイザとして、フラクショナル N 型（137MHz~4400MHz）の ADF4350 とインテジャー N 型の ADF4360 があります。

また、ADCLK948 と同じファミリーで、他に使用可能なクロック・ファンアウト・バッファとして、ADCLK946（6 個の LVPECL 出力）、ADCLK950（10 個の LVPECL 出力）、ADCLK954（12 個の LVPECL 出力）があります。

回路の評価とテスト

この回路はクロック源として EVAL-ADF4351EB1Z ボードに多少の変更を加えたものを使って評価しました。EVAL-ADF4351EB1Z 評価ボードは、標準の ADF4351 プログラミング・ソフトウェアを使っており、これは評価ボードに付属の CD に入っています。ADCLK948/PCBZ 評価ボードも必要で、これは変更なしでそのまま使用することができます。

必要な装置

以下の装置が必要です。

- プログラミング・ソフトウェア付き EVAL-ADF4351EB1Z 評価ボード・キット
- ADCLK948PCBZ 評価ボード
- 3.3V 電源
- 3.3V 電源を ADCLK948PCBZ に接続する 2 本のケーブル
- 2 本の同じ長さの短い SMA 同軸ケーブル
- 高速オシロスコープ（帯域幅 2GHz）または相当品
- R&S FSUP26 スペクトル・アナライザまたは相当品
- Windows® XP、Windows Vista（32 ビット）、または Windows 7（32 ビット）搭載 PC

EVAL-ADF4351EB1Z の RF_{OUTA+}ピンと RF_{OUTA-}ピンをそれぞれ ADCLK948PCBZ の CLK0 ピンと CLK0 ピンに接続するために、SMA 同軸ケーブルが必要です。

機能ブロック図

この評価では ADCLK948PCBZ と EVAL-ADF4351EB1Z が使用されています。EVAL-ADF4351EB1Z 評価ボードは SMA ケーブルを介して ADCLK948PCBZ に接続されています。

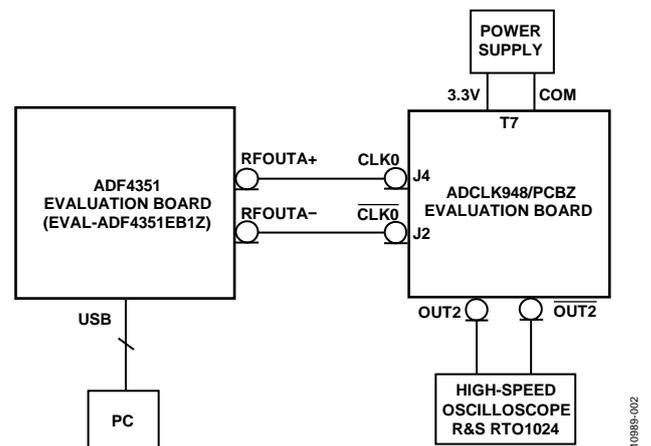


図 2. ADF4351 のロジック・レベルの測定セットアップ

評価開始にあたって

EVAL-ADF4351EB1Z 評価用ソフトウェアのインストールと使用方法の詳細は、ユーザー・ガイド UG-435 に記載されています。また、UG-435 には、ボードのセットアップ方法、ボードの回路図、レイアウト図および部品表も含まれています。このボードに必要な変更は、DC 阻止コンデンサの後に 100Ω 抵抗を挿入することです。この抵抗は 3.3V と GND の間に接続します。この措置は RF_{OUTA+}ピンと RF_{OUTA-}ピンの両方で行い、1.65V の同相電圧（1.5V 以上が必要）を供給する必要があります。このため場合によっては、これらの伝送ライン付近の半田マスクを取り去る必要があります。

UG-068 ユーザー・ガイドには、ADCLK948/PCBZ 評価ボードの動作に関連する同様の情報が含まれています。

ロジック・レベルの測定

この例では、Rohde & Schwarz RTO1024 オシロスコープを 2 本の RT-ZS30 アクティブ・プローブと併用して、高速ロジック・レベルを高精度に測定します。

以下の操作を行って ADF435x ソフトウェアを PC にインストールします。

1. EVAL-ADF4351EB1Z を PC に接続し、UG-435 のハードウェア・ドライバの説明に従います。
2. ADF435x ソフトウェアのスクリーンショットに従って ADF4351 の PLL を設定します (図 3 参照)。この例では、1GHz の RF 周波数が選択されています。
3. 2 本の同じ長さの短い SMA ケーブルを使用し、EVAL-ADF4351EB1Z の SMA コネクタ RF_{OUTA} と RF_{OUTB} をそれぞれ ADCLK948/PCBZ ボードの SMA コネクタ CLK0 と CLK0 に接続します。
4. ADCLK948/PCBZ の差動出力 OUT2 と OUT2 を高速オシロスコープに接続します。1GHz 出力の標準的な波形を図 4 に示します。

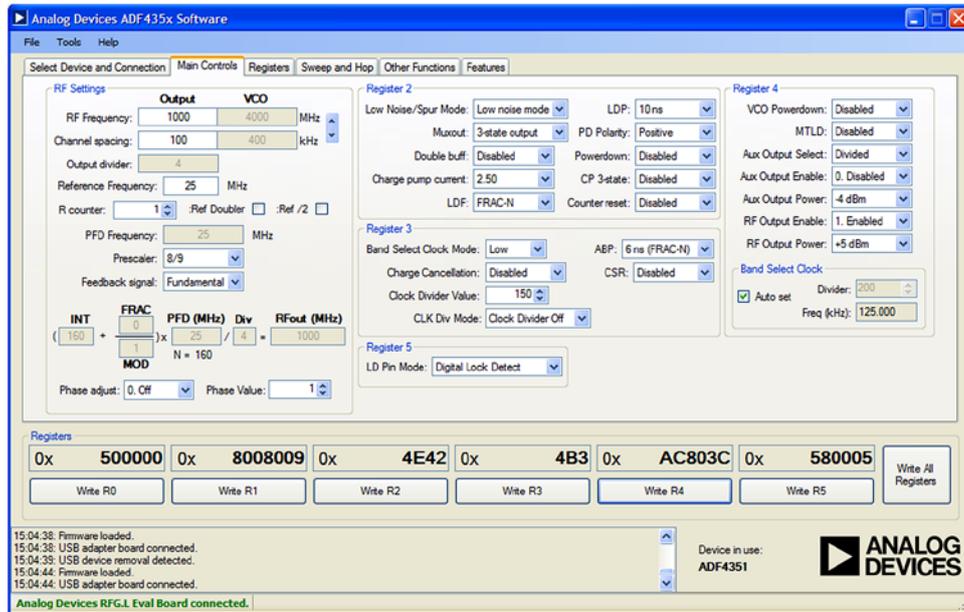


図 3 ADF4351 のソフトウェア設定

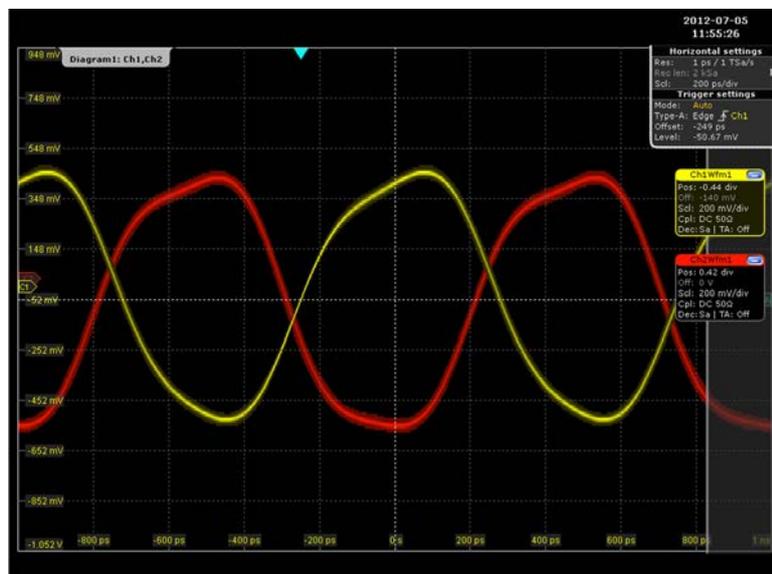


図 4. 1GHz のロジック信号に対する ADCLK948 のオシロスコープ出力、水平軸 : 200ps/DIV、垂直軸 : 200mV/DIV

位相ノイズとジッタの測定

1. 「ロジック・レベルの測定」のセクションのステップ1からステップ4を繰り返します。
2. 使用しないADCLK948/PCBZのCLK2出力を50Ωの負荷で終端します(図5参照)。
3. CLK2出力をSMAケーブルを介して信号源アナライザに接続します(図5参照)。
4. 信号のジッタ性能を測定します。

ADF4351の出力での位相ノイズを図6に示します。rmsジッタは325.7fsです。ADCLK948の出力での位相ノイズを図7に示します。rmsジッタは330.4fsです。

ADCLK948に付加されるジッタは $\sqrt{(330.4^2 - 325.7^2)} = 55.5$ fs rmsのように計算することができます。ADCLK948のデータシートから得られる規定値は75fs rmsです。

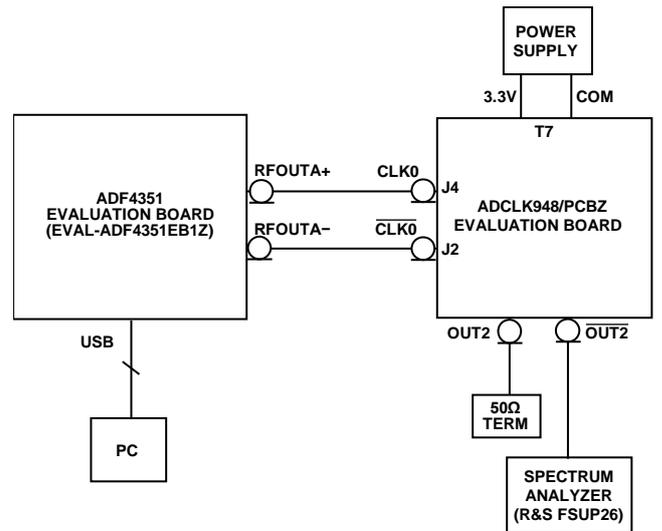


図5. ADF4351の位相ノイズとジッタの測定セットアップ

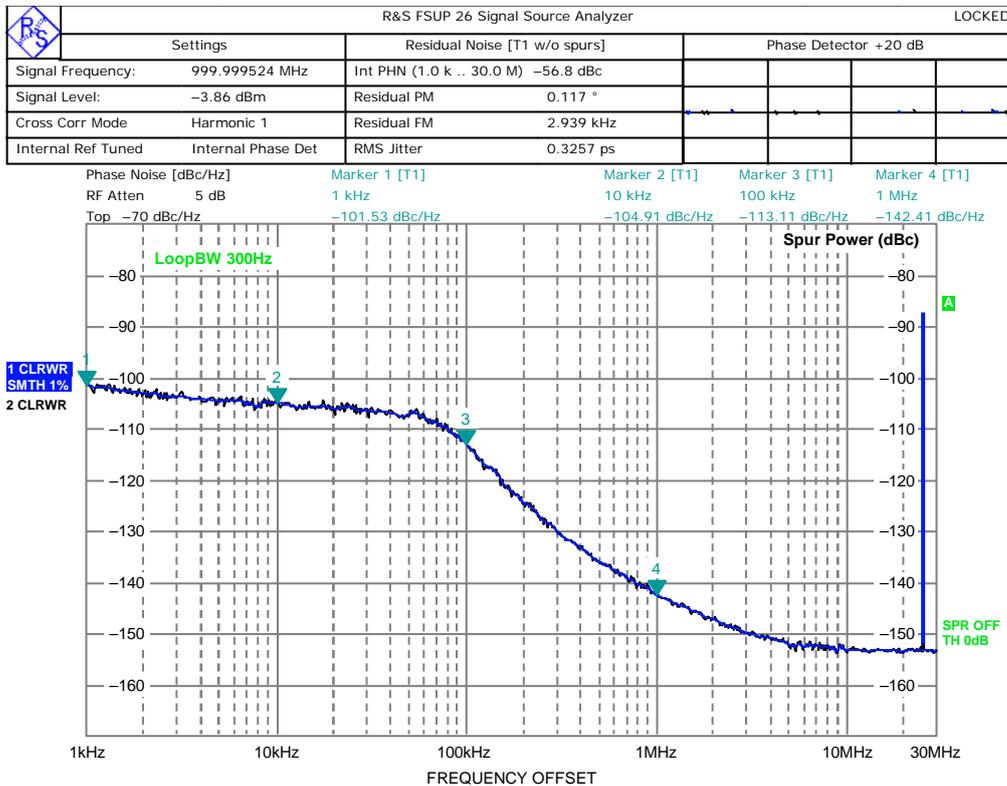


図6. rmsジッタが325.7fsのADF4351の出力位相ノイズの測定結果

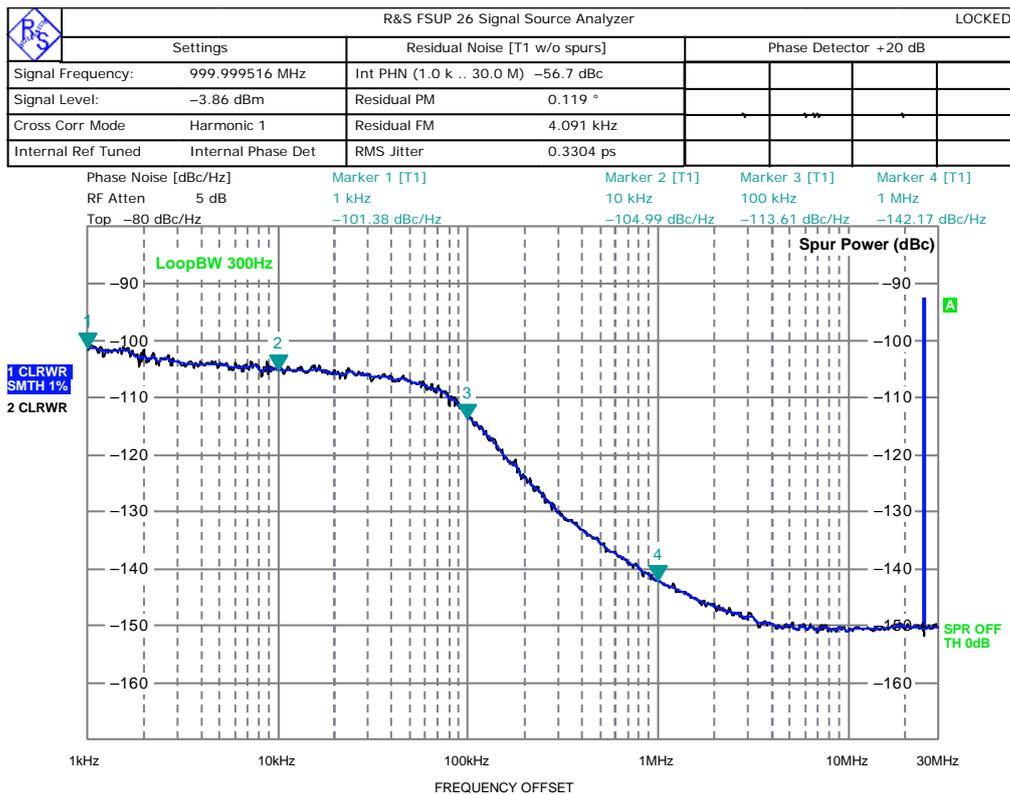


図 7. rms ジッタが 330.4fs の ADCLK948 の出力位相ノイズの測定結果

さらに詳しくは

CN0232 Design Support Package :

<http://www.analog.com/CN0232-DesignSupport>

UG-435 : User Guide for the EVAL-ADF4350EB1Z board

UG-068 : User Guide for the ADCLK948/PCBZ board

MT-031 Tutorial : *Grounding Data Converters and Solving the Mystery of "AGND" and "DGND"*, Analog Devices.MT-086 Tutorial : *Fundamentals of Phase Locked Loops (PLLs)*, Analog Devices.MT-101 Tutorial : *Decoupling Techniques*, Analog Devices.

ADIsimPLL Design Tool

データシートと評価ボード

ADF4351 評価ボード (EVAL-ADF4351EB1Z)

ADCLK948 評価ボード (ADCLK948/PCBZ)

ADF4351 データシート

ADCLK948 データシート

改訂履歴

9/12—Revision 0: 初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客様は製品設計で「Circuits from the Lab/実用回路集」を使用することはできませんが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確かつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2012 Analog Devices, Inc. All rights reserved.

商標および登録商標は、それぞれの所有者の財産です。

CN10989-0-9/12(0)