



テスト済み回路設計集“Circuits from the Lab™”は共通の設計課題を対象とし、迅速で容易なシステム統合のために製作されました。さらに詳しい情報又は支援は <http://www.analog.com/jp/CN0270> をご覧ください。

使用したリファレンス・デバイス

AD5700, AD5700-1	低消費電力 HART®モデム
AD5420	D/A コンバータ、16 ビット、 4mA~20mA 出力

完全な 4mA~20mA HART ソリューション

評価および設計サポート環境

回路評価ボード

CN-0270 評価用ボード (EVAL-CN0270-EB1Z) :

USB-SWD/UART-EMUZ を搭載

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図 1 に示す回路は、業界最小の消費電力とプリントを誇る HART¹ 準拠の IC モデムである AD5700 と 16 ビットの電流出力 DAC である AD5420 を使用して、ライン給電される HART 準拠 4mA~20mA のトランスミッタアプリケーションを示します。

AD5700-1 が 0.5% 精度の内部発振器を提供するので、更に基板スペースを節約します。

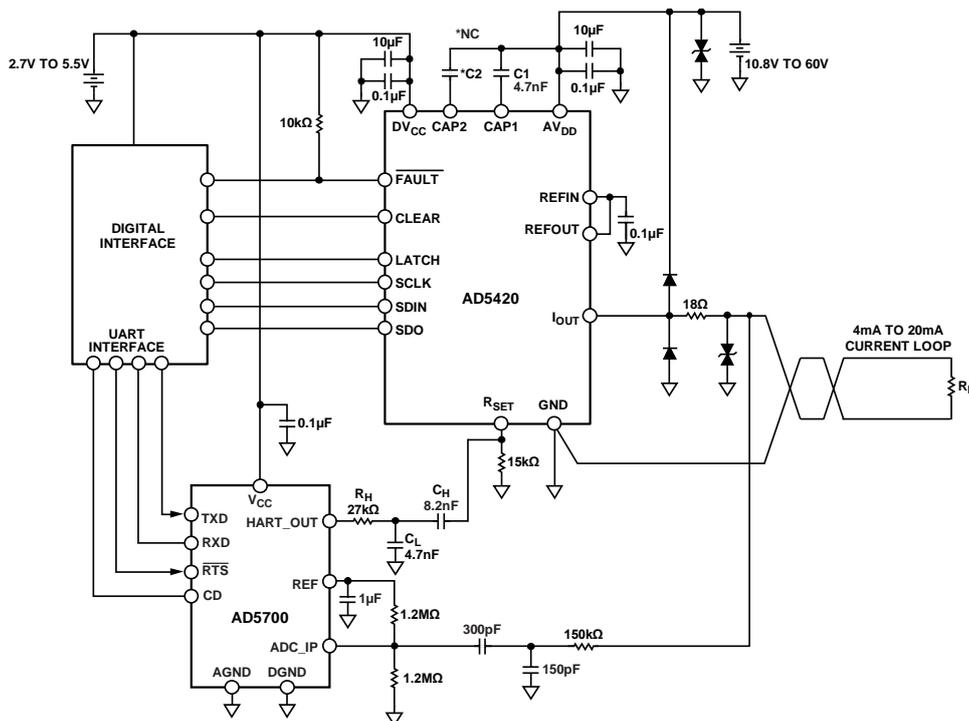


図 1. HART を実装した AD5420 回路の簡略回路図

¹ HART®は HART 通信協会の登録商標です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

この回路は、例えば、Analog Rate Of Change や Output Noise During Silence の仕様など、HART 協会によって定義された HART の物理層の仕様を満たしています。

プロセス制御の計装機器では、多年にわたって 4mA~20mA の通信が使用されてきました。この通信方法は信頼性が高く堅牢で、たとえ長い通信距離においても環境からの干渉に強い特長を持っています。ただし、1つのプロセス制御動作に加え 1 方向通信しか可能でないという制約があります。

HART (highway addressable remote transducer) 標準規格の開発により、従来の計装機器で使われてきた 4mA~20 mA のアナログ信号と同時に、高い能力の 2 方向デジタル通信が可能となりました。これにより、リモート・キャリブレーション、フォルト調査、追加のプロセス変数の送信などの機能が可能です。つまり、HART はピーク to ピーク 1mA の周波数シフト・キー (FSK) 信号を 4mA~20mA のアナログ電流信号に重畳して変調する、2 方向デジタル通信です。

回路の説明

AD5420 を AD5700 HART モデムおよび UART インターフェースと組み合わせて、HART で可能な 4mA~20 mA の電流出力を構成する方法を図 1 に示します。このような回路は、様々な入力信号 (RTD、TC、ohm) がスケラブルな 4 mA~20 mA のアナログ出力信号に変換される、ライン給電のフィールド・トランスミッタによく使用されます。AD5700 からの HART_OUT 信号は減衰され、AD5420 の R_{SET} ピンに AC 結合されます。外付けの R_{SET} 抵抗を使用していない場合は、AD5420 と AD5700 を接続する別の方法が [アプリケーション・ノート AN-1065](#) に示されており、AD5700 HART モデムの出力を CAP2 ピンを介して AD5420 と接続します。この回路ノートで示す方法では、外付けの R_{SET} 抵抗を使用する必要がありますが、別のアプリケーション・ノートのソリューションに比べ優れた電源除去性能を示します。どちらのソリューションを使用しても、AD5700 HART モデムの出力は (図 2 に示すように)、電流の DC レベルに影響を与えることなく、4mA~20 mA のアナログ電流に変調されます。ダイオード保護回路 (D1~D4) については「過渡電圧保護」のセクションで詳述しています。

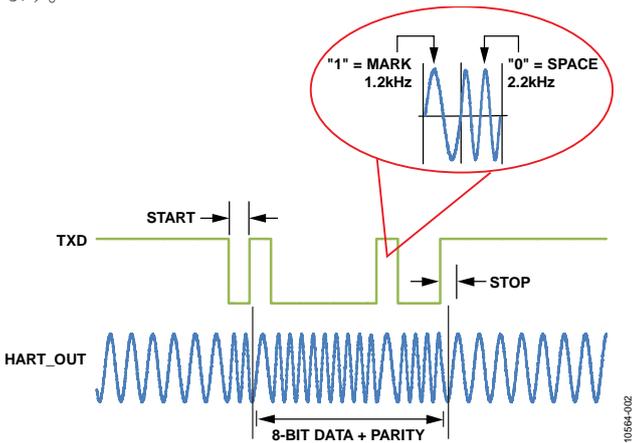


図 2. AD5700/AD5700-1 の変調波形のサンプル

外付け部品の値の決定

デバイスのデジタル・スルーレイト制御機能とフィルタ用の C1 と C2 を組み合わせて使用することで、AD5420 の I_{OUT} 信号のスルーレイトを制御することができます。コンデンサの絶対値を決定する際には、モデムからの FSK 出力が歪みなしに送られるようにします。したがって、モデムの出力信号に与えられる帯域幅は 1200Hz と 2200Hz を通過させる必要があります。この要件を満たす回路を図 3 に示します。この場合、C2 はオープンのままにしておきます。

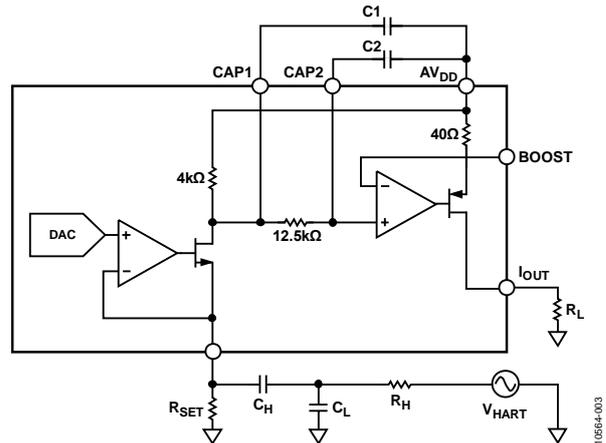


図 3. AD5420/AD5410 と AD5700 HART モデムの接続

HART_OUT ピン出力のローパスとハイパスのフィルタ回路は、AD5420 のいくつかの内部回路とともに、R_H、C_L、C_H、C1 による作用によって選択されます。これらの部品の値を計算する際、ローパスとハイパスの周波数のカットオフ・ポイントの目標値は、それぞれ >10kHz と <500Hz です。図 4 はシミュレーションした周波数応答をプロットしたもので、表 1 は、他の部品の値は一定に保ちながら各部品の値を大きくした際の周波数応答に対する影響を示しています。

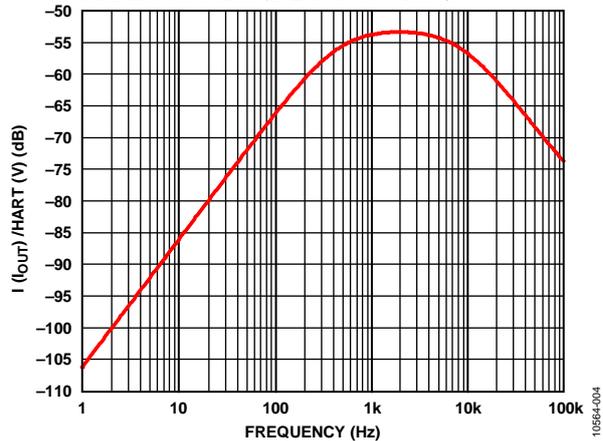


図 4. シミュレーションによる周波数応答

表 1. 各部品値を大きくした際の周波数応答への影響

部品	C1	C _H	C _L	R _H
f _L (Hz)	↓	↓	↓	↓
f _H (kHz)	↓	変化なし	変化なし	変化なし
G (dB)	↓	↑	↓	↓

モデムの出力は 1200 Hz と 2200 Hz の周波数で構成される FSK 信号です。この信号は 1 mA ピーク to ピークの電流信号に変換する必要があります。これを実現するには、R_{SET} ピンの信号の振幅を減衰させる必要があります。これは AD5420 内部の電流ゲイン構成によります。モデムの出力振幅が 500 mV ピーク to ピークと仮定すると、その出力は $500/150 = 3.33$ だけ減衰させる必要があります、R_H と C_L によって実現します。

この回路ノートでは、以下の部品値を使って測定しました。

- C₁ = 4.7 nF
- R_H = 27 k Ω
- C_L = 4.7 nF
- C_H = 8.2 nF

500 Ω の負荷抵抗両端で測定した 1200 Hz および 2200 Hz の変調波形を図 5 に示します。チャンネル 1 は AD5420 の出力 (4 mA 出力に設定) に結合され変調された HART 信号を示し、チャンネル 2 は AD5700 TXD 信号を示しています。

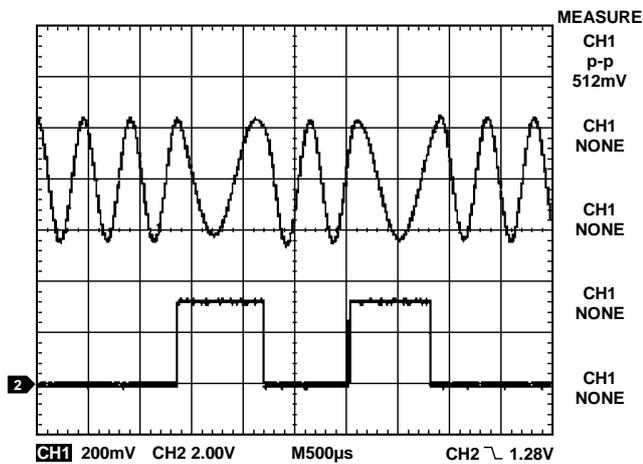


図 5. 500 Ω 負荷の両端で測定した FSK 波形

HART に準拠

図 1 の回路が HART に準拠するには、HART の物理層の仕様を満たす必要があります。HART の仕様書には多数の物理層の仕様が含まれています。この場合に最も重要な 2 つの仕様は、Output Noise During Silence と Analog Rate of Change です。

Output Noise During Silence

HART デバイスが送信していないとき (サイレント)、HART の拡張周波数帯域でノイズを結合させてはなりません。過度のノイズはデバイス自体による、またはネットワーク上の他のデバイスによる HART 信号の受信に干渉することがあります。

500 Ω 負荷の両端で測定した電圧ノイズは、拡張周波数帯域で 2.2 mV rms を超える広帯域ノイズおよび相關ノイズの結合したノイズを含んではなりません。このノイズは HCF_TOOL-31 フィルタ (HART 協会から入手可能) を 500 Ω 負荷の両端に接続し、フィルタの出力を真の RMS メータに接続して測定しました (図 6 参照)。出力波形のピーク to ピーク電圧を調べるために、オシロスコープも使用しました。

AD5420 の出力電流は 4 mA、12 mA、20 mA に設定しました。識別できるほどのノイズ差は測定されませんでした。HCF_TOOL-31 バンドパス・フィルタ付きで測定した RMS 値は 115 μ V rms、フィルタなしで測定した RMS 値は 252 μ V rms でした。これらの値はいずれも十分に 2.2 mV rms (HART フィルタ付き) および 138 mV rms (HART フィルタなしの広帯域ノイズ) の要求される仕様範囲内でした。

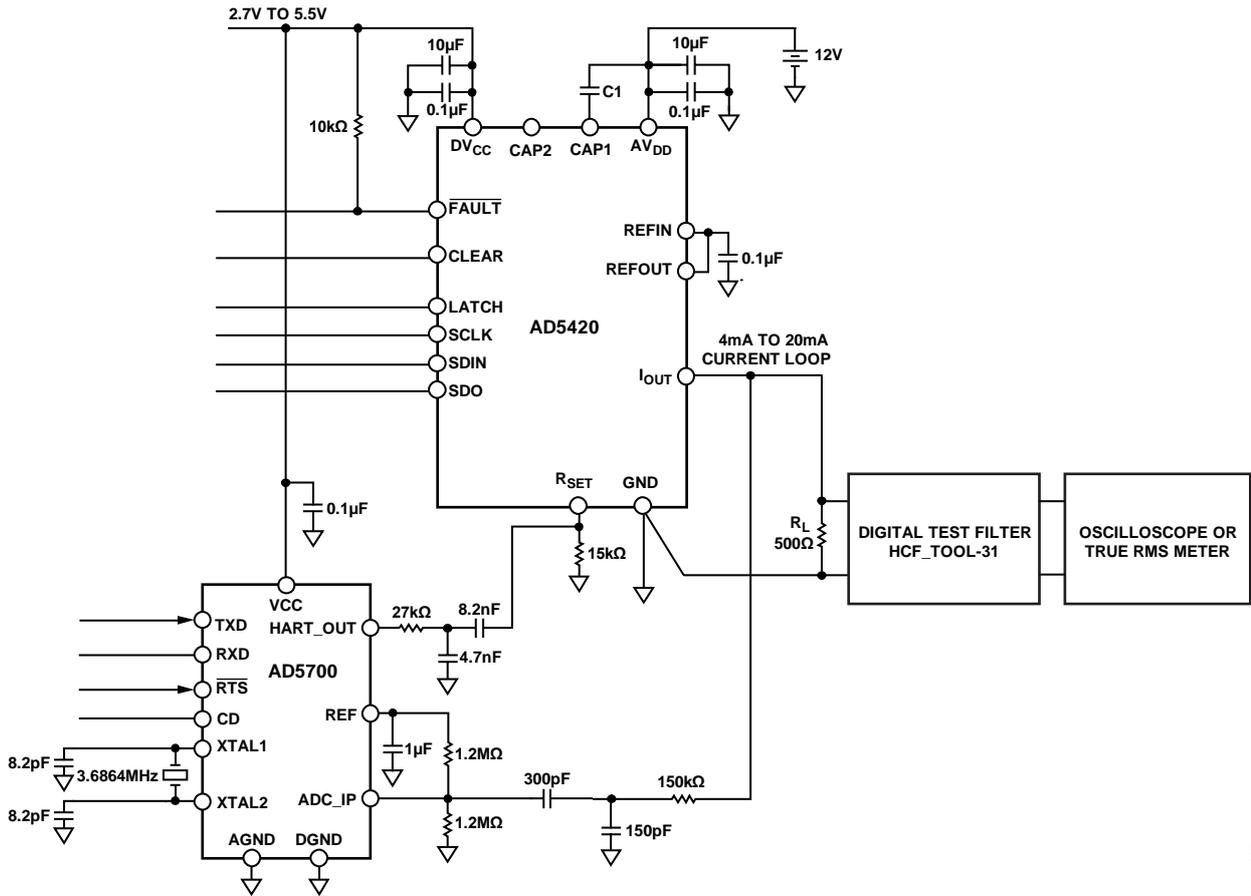


図 6. HART の仕様のテスト回路

10564-007

図7と図8にそれぞれ4mAと12mAの出力電流のオシロスコープのプロットを示します。フィルタの通過帯域利得は10であることを注意してください。チャンネル1とチャンネル2は、それぞれフィルタの入力と出力を示しています。

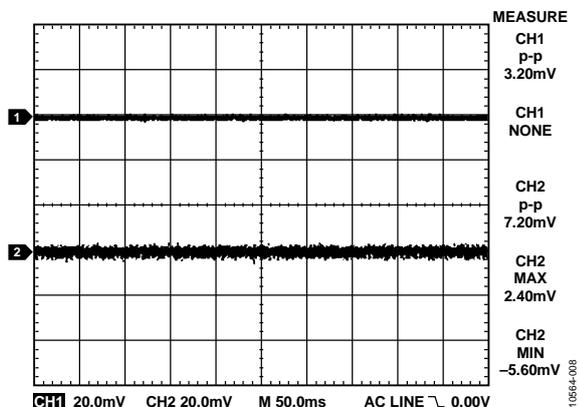


図7. 4mAの出力電流のHARTフィルタの入力(CH1)と出力(CH2)のノイズ

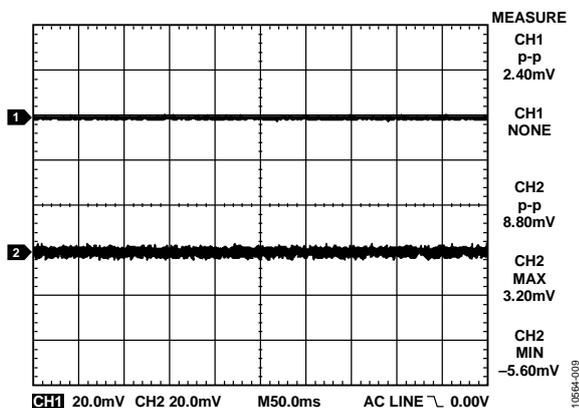


図8. 12mA出力電流のHARTフィルタの入力(CH1)と出力(CH2)のノイズ

Analog Rate of Change

この仕様は、デバイスが電流を調節する際に、アナログ電流の最大変化レートがHART通信に干渉しないことを保証します。電流のステップ変化はHARTの信号に大きく影響を与えます。図6にテスト回路を示します。このテストでは最大変化レートを保証するために、4mAから20mAへ遅延なしに切り替え、20mAから4mAへも遅延なしに切り替えて周期波形を出力するようにAD5420をプログラムしました。HARTの仕様を満たすには、フィルタの出力波形は150mVを超えるピーク電圧を生じてはいけません。この要件を満たすと、アナログ信号の最大帯域幅がDCから25Hzの規定周波数帯域内であることが保証されます。

AD5420の出力が4mAから20mAまで変化する時間は、通常約10 μ sです。これは明らかに速すぎて、HARTネットワークに多大な影響を生じることになるでしょう。この変化レートを下げるために、AD5420は2つの機能を採用しています。APIピンとCAP2ピンへのコンデンサの接続と、内部のデジタル・スルーレート制御機能です(詳細についてはAD5420のデータシートを参照してください)。

帯域幅を25Hzより低くするには、CAP1とCAP2のコンデンサの値を非常に大きくする必要があります。最適なソリューションは、外付けコンデンサとAD5420のデジタル・スルーレート制御機能を組み合わせて使用することです。2つのコンデンサC1とC2はアナログ信号の変化レートを下げる効果がありますが、仕様を満たすには不十分です。スルーレート制御機能を有効にすることで、変化レートを柔軟に設定することができます。

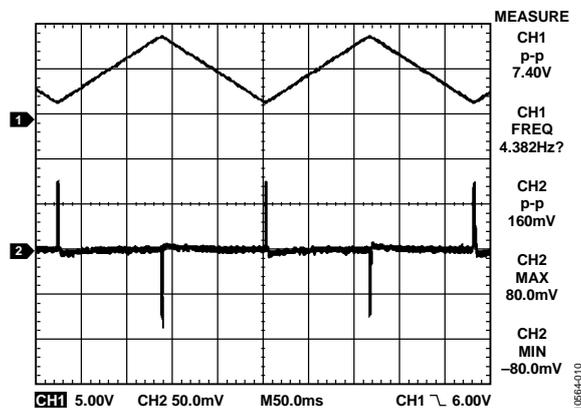


図9. AD5420の出力(CH1)とHARTフィルタの出力(CH2)、SR Clock = 3、SR Step = 2、C1 = 4.7 nF、C2 = NC

図9はAD5420の出力とHARTフィルタの出力を示しています。フィルタ出力のピーク電圧は80mVの仕様内です。スルーレートの設定はSR CLOCK=3およびSR STEP=2で、4mAから20mAへの遷移時間を約120msに設定します。C1は4.7nF、C2は未接続です。この変化レートが遅すぎる場合は、スルー時間を短くすることができます。ただし、これにより、フィルタ出力のピーク電圧が増加するという影響が生じます。CAP1からAV_{DD}に接続したコンデンサを使って、これに対処することができます。

C1コンデンサの値は変更せず4.7nFのまま、スルーレート制御の設定をSR CLOCK=5およびSR STEP=2に変更した結果を図10に示します。これにより、遷移時間は約240msになります。C1の値を大きくするか、スルーレートを遅く設定するか、または両方の組み合わせにより、フィルタ出力のピーク振幅をさらに縮めることができます。

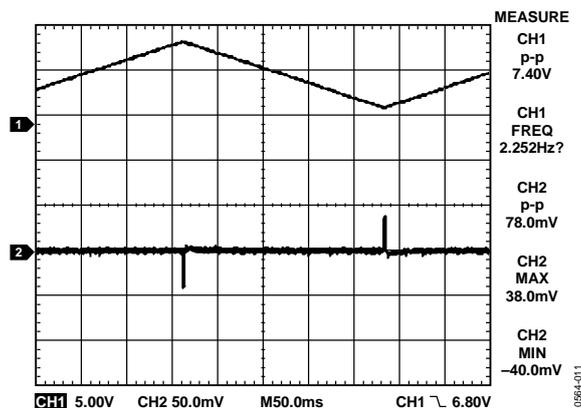


図10. AD5420の出力(CH1)とHARTフィルタの出力(CH2)、SR Clock = 5、SR Step = 2、C1 = 4.7 nF、C2 = NC

過渡電圧保護

AD5420には通常の取り扱いによる損傷を防ぐESD保護ダイオードが内蔵されています。しかしながら、産業分野の制御環境では、I/O回路がはるかに高い過度電圧にさらされることがあります。高い過度電圧からAD5420を保護するために、図1に示すような外付けパワー・ダイオードとサージ電流制限抵抗が必要になる場合があります。抵抗値に対する制約（図1では18Ωと表示）として、通常動作時、I_{OUT}の出力レベルがその電圧コンプライアンス・リミットのAV_{DD}-2.5V以内にとどまることと、2個の保護ダイオードと抵抗が適切な電力定格を有する点があります。4mA~20mAの出力で18Ωの場合、端子でのコンプライアンス・リミットは $V = I_{MAX} \times R = 0.36V$ だけ減少します。また、過渡電圧サプレッサ (TVS) やトランズペアを使って保護を強化することができます。これらは、単方向と双方向サプレッサの両方が、広範囲のスタンドオフ電圧定格およびブレークダウン電圧定格で提供されています。電流出力の機能上の範囲で導通せずに可能な限り最低ブレークダウン電圧でTVSのサイズを決めます。遠くに接続されている全てのノードも含め保護することを推奨します。

多くのプロセス制御アプリケーションでは、制御する装置と制御される装置の間に絶縁バリアを置いて、発生し得る危険な同相電圧から制御回路を保護し、絶縁する必要があります。アナログデバイゼスのiCouplerファミリー製品は、2.5kVを超える強化絶縁を提供します。iCoupler製品の詳細については、www.analog.com/icouplersをご覧ください。CLEARなどの重要ではない信号をGNDに接続し、FAULTとSDOは未接続のままにすることで、絶縁が必要な信号を3個のみに減らすことができます。ただし、FAULTまたはSDOのどちらかはAD5420のフォルト検出機能にアクセスするために必要となるので注意してください。

バリエーション回路

図1に示す回路のバリエーションとしては、AD5422 (LFCSPバージョン) を使用します。これはAD5420に似ていますが、電流出力チャンネルとともに、電圧出力チャンネルを備えているので、PLC/DCSタイプのアプリケーションで一般に使用されます。回路ノートCN-0065に追加情報として、AD5422とADuM1401デジタル・アイソレータを使用した、完全に絶縁された出力モジュールに対するIEC 61000準拠のソリューションが示されています。

また、回路ノートCN-0233に、4チャンネル・アイソレータを備えたADuM3471 PWMコントローラおよびトランス・ドライバを使用した、電力とデータの絶縁に関する情報が記載されています。さらに、回路ノートCN-0278と回路ノートCN-0321の両方で、AD5422とAD5700を使用したHARTソリューションについて紹介しています。この2つのデバイスは、電圧および電流出力能力を備えています。

多チャンネルが必要な場合、AD5755-1クワッド電圧および電流出力DACを使用することができます。この製品は電流モードでパッケージの消費電力を最小限に減らす先進のダイナミック電力制御機能を内蔵しています。チャンネルごとに対応するCHARTピンを備えているので、HART信号をAD5755-1の電流出力に結合することができます。

ループから給電される4mA~20mAのHARTソリューションが要求される場合は、AD5421とAD5700 HARTモデムを組み合わせることができます。この回路については、回路ノートCN-0267で詳しく説明しており、評価用ボードとして提供しています。

回路評価とテスト

この回路は、評価用ボードEVAL-AD5700-1EBZを使用してテスト済みです。アナログデバイゼスのJ-Link OBエミュレータ(USB-SWD/UART-EMUZ)を使用して、評価ソフトウェアを実行中のPCにこの評価用ボードをインターフェースすることができます。このテスト・セットアップを図11に示します。

必要な装置

以下が必要です。

- CN-0270 評価用ボード(EVAL-CN0270-EB1Z)
- CN-0270 評価用ボード・ソフトウェア (<ftp://ftp.analog.com/pub/cftl/CN0270/>)
- J-Link OB エミュレータ (USB-SWD/UART-EMUZ) : EVAL-CN0270-EB1Zに付属
- USBポート付き、Windows® XP以上を搭載したPC
- 10.8V~36Vの電源
- デジタル・テスト・フィルタ (HART協会から入手可能なHCF_TOOL-31)
- 負荷抵抗(500Ω)
- オシロスコープ (Tektronix DS1012Bまたは相当品)

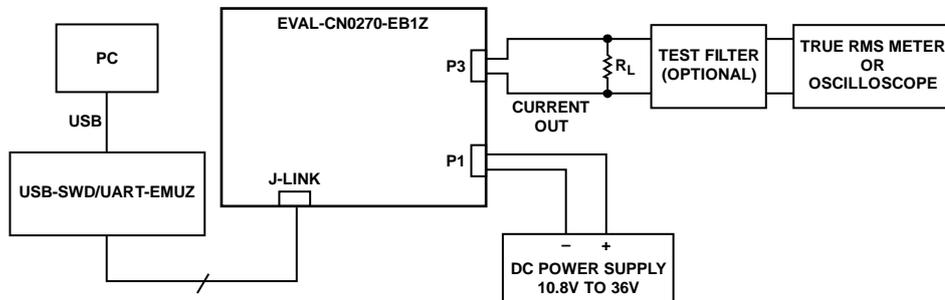


図 11. テスト・セットアップのブロック図

10264-111

Output Noise During Silence テスト時の出力ノイズの場合、前に述べたように、AD5700 モデムは送信していません（サイレント）。AD5420 は必要な電流を出力するように設定され、電流は HCF（HART 協会）バンドパス・フィルタを通しました。次に、Tektronix TDS1012B オシロスコープを使って出力ノイズを測定しました。

Analog Rate of Change の仕様により、AD5420 が電流を調節する際、アナログ電流の最大変化レートが HART 通信に干渉しないことが保証されます。電流のステップ変化は HART 信号に影響を与えません。

このテストでは、最大変化レートを保証するため、どちらの値でも遅延なしに 4 mA から 20 mA へ切り替わる周期波形を出力するように AD5420 をプログラムしました。

使用されたスルーレートの設定は SR CLOCK = 3 および SR STEP = 2 で、C1 は 4.7 nF に、C2 はオープンに設定しました。SR CLOCK は 3 の代わりに 5 に設定変更し、他の全ての設定と部品値は変更せずに、スルーレートをさらに下げた条件でも測定を行いました。

ソフトウェア操作の詳細については、[CN-0270 Software User Guide](#) をご覧ください。

さらに詳しい資料

CN0270 Design Support Package: <http://www.analog.com/CN0270-DesignSupport>

Application Note AN-1065 : Configuring the AD5420 for HART Communication Compliance, Analog Devices.

HART Communication Foundation

データシートと評価用ボード

[AD5420 データシート／評価ボード](#)

[AD5700 データシート／評価ボード](#)

[AD5700-1 データシート／評価ボード](#)

改訂履歴

7/14—Rev. A to Rev. B

Changes to Figure 1	1
Changes to Figure 6	4
Changes to Common Variations Section, Circuit Evaluation and Test Section, and Figure 11	6

5/12—Rev. 0 to Rev. A

Changes to Circuit Function and Benefits Section	1
Changes to Circuit Description Section	2
Changes to Common Variations	6

4/12—Revision 0: 初版

「Circuits from the Lab／実用回路集」はアナログ・デバイセズ社製品専用に作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab／実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab／実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab／実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。

©2015 Analog Devices, Inc. All rights reserved. 商標および登録商標は各社の所有に属します。