



Circuits from the Lab™ 実用回路は今日のアナログ・ミックスド・シグナル、RF回路の設計上の課題の解決に役立つ迅速で容易なシステム統合を行うために作製、テストされました。さらに詳しい情報と支援については www.analog.com/jp/CN0242 をご覧ください。

接続/参考にしたデバイス

AD9643	14ビット、デュアルADC、250 MSPS サンプルング・レート
ADL5202	広ダイナミック・レンジ、高速、デジタル制御 VGA

バンドパス・アンチエイリアシング・フィルタ付き高性能、高IF、75MHz帯域、14ビット、250MSPS レシーバ・フロント・エンド

評価と設計支援

設計と統合ファイル

回路図、レイアウト・ファイル、部品表

回路の機能とその利点

図1に示す回路は広ダイナミック・レンジ、高速、デジタル制御可変ゲイン・アンプ (VGA) の ADL5202 と 14ビット、250 MSPS デュアル・A/D コンバータ (ADC) の AD9643 をベースにした 75 MHz 帯域レシーバ・フロント・エンドです。

5次バターワース・アンチエイリアシング (折返し誤差防止) ・フィルタはアンプとADCの性能とインターフェースの条件に基づいて最適化されています。

フィルタ回路、その他の抵抗性部品による全挿入損失は約 2.3 dB です。バンドパス・フィルタを含む回路全体の 1 dB 帯域幅は 75 MHz (145 MHz ~ 220 MHz) で、3 dB 帯域幅は 110 MHz (120 MHz ~ 230 MHz) です。通過帯域の平坦度は 1 dB です。

回路は中心周波数 182.5 MHz の 75 MHz 帯域 IF 信号 (第2ナイキスト領域) を サンプルング・レート 245.76 MSPS で処理できるように最適化されています。182.5 MHz のアナログ入力で、75 MHz 帯域全体で測定した信号対ノイズ比 (SNR) と スプリアスフリー・ダイナミック・レンジ (SFDR) はそれぞれ 68.4 dBFS と 80.7 dBc です。

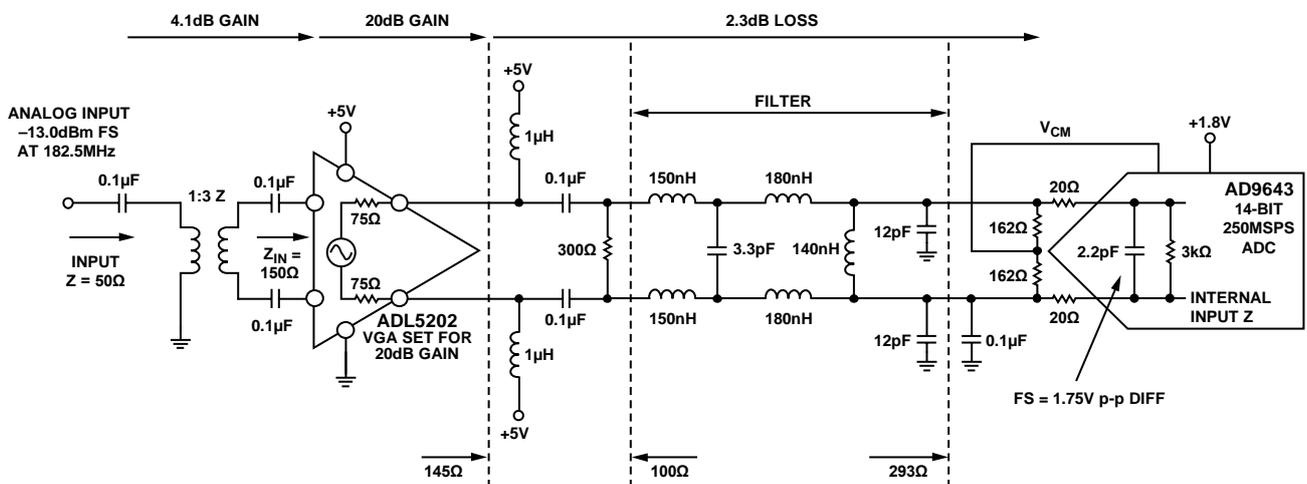


図 1. クワッド IF レシーバの 1 チャンネル (簡略化した回路: 接続及びデカップリングのすべては示されていません)、ゲイン、損失、10MHz で測定した信号レベル

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

回路の説明

図1の回路はシングル・エンド入力を受信し、それを広帯域幅（5 MHz～300 MHz）トランス M/A-COM TC3-1T+ 1:3 (Z) を使用して差動入力に変換します。6.0GHz 差動アンプ ADL5202 は差動入力インピーダンスが 150 Ω で、3 種類の異なる差動ゲイン設定で動作します：0 dB、10 dB、20 dB。

ADL5202 は AD9643 の理想的なドライバで、バンドパス・フィルタの通過と ADC への入力が完全に差動構成になっているので、優れた高周波数コモン・モード除去が得られると共に 2 次歪を最小限にできます。ADL5202 はゲインを -11.5 dB から +20 dB までの範囲を 0.5 dB ステップで設定する事ができます。回路では ADL5202 と AD9643 が高性能を示すように 3 種類のゲイン設定を使用します。

フィルタ回路の挿入損失は約 2.3 dB ですが、ADL5202 を 2.3 dB 以上のゲイン値に設定して、アンプのゲインをこの損失を補償するために使用する事ができます。ゲインは又アンプからのノイズの影響を最小限にします。

アンチエイリアシング・フィルタは標準フィルタ設計プログラムを使用して設計した 5 次バターワース・バンドパス・フィルタです（この場合は アジレント社の Advanced Design System [ADS]）。バターワース・フィルタは通過帯域が平坦な周波数特性の為に選択しました。他のフィルタ設計プログラムは Nuhertz Technologies 社又は Quite Universal Circuit Simulator (Qucs)Simulation から入手できます。

最高性能を得るために、ADL5202 に 150 Ω の正味差動負荷をかけてください。インダクタ 1 μH は ADL5202 の出力段にバイアスを供給しますが、直列コンデンサはこのアンプ出力のこのバイアス電圧からフィルタと ADC を絶縁します。ADL5202 の出力負荷はフィルタの入力/出力の終端抵抗と ADC 抵抗と ADC 入力での直列ダンピング抵抗との組み合わせからなり約 145 Ω のインピーダンスです。

ADC 入力と直列の 20 Ω 抵抗は内部スイッチング・トランジエントをフィルタとアンプからアイソレーションします。ADC と並列に接続した 2 つの抵抗 162 Ω は ADC の入力インピーダンスを低下させ、性能をより予測可能にします。

AD9643 の差動入力インピーダンスは約 3 kΩ で 2.2 pF が並列になります。このタイプのスイッチド・キャパシタ入力 ADC の場合、実数成分と虚数成分は入力周波数の関数です；アプリケーション・ノート AN-742 に解析が載っています。

5 次バターワース・フィルタは信号源インピーダンス 100 Ω、負荷インピーダンス 293 Ω、1 dB 帯域幅 75 MHz、3 dB 帯域幅 110 MHz の条件で設計しました。フィルタの最終的な回路値を図2に示します。フィルタの受動部品に選択した値はプログラムで作成した値に最も近い標準値です。ADC の内部コンデンサ 2.2 pF をフィルタ回路の最終シャント・キャパシタンスの一部として使いました。この ADC 入力のシャント・キャパシタンスは ADC 入力サンプリング回路からのキックバック・チャージ電流を減少させるのに役立ち、フィルタ特性を最適化します。

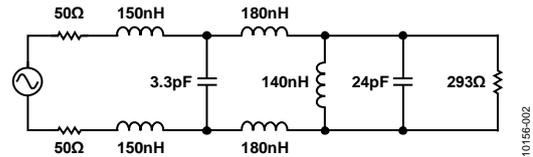


図2. $Z_S = 100 \Omega$ 、 $Z_L = 293 \Omega$ 、 $f_C = 182.5 \text{ MHz}$ の 5 次差動バターワース・フィルタの最終設計値

表1はシステムの実測性能の一覧です。ここで 3 dB 帯域幅は 110 MHz です。回路の全挿入損失は約 2.3 dB です。

表1 回路の実測性能

性能仕様@ 1.75 V p-p FS	最終結果
カットオフ周波数 $f_{\text{LOW}} (-1 \text{ dB})$	145 MHz
カットオフ周波数 $f_{\text{HIGH}} (-1 \text{ dB})$	220 MHz
カットオフ周波数 $f_{\text{LOW}} (-3 \text{ dB})$	120 MHz
カットオフ周波数 $f_{\text{HIGH}} (-3 \text{ dB})$	230 MHz
通過帯域平坦度 (10 MHz ~ 190 MHz)	1 dB
SNR FS at 140MHz	68.4 dBFS
SFDR at 140 MHz	80.7 dBc
H2/H3 at 140 MHz	80.7 dBc/ 84.5 dBc
Overall Gain at 182.5 MHz (ADL5202 Gain = 20 dB)	21.8 dB
Input Drive at 182.5 MHz	-13.0 dBm

最終的なフィルタ回路の応答帯域幅を図3に示し、SNR と SFDR を図4 と 図5 に示します。

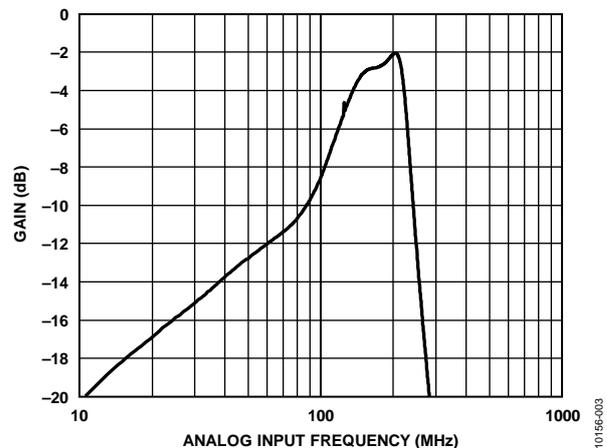


図3. アナログ入力周波数 対 通過帯域平坦性能

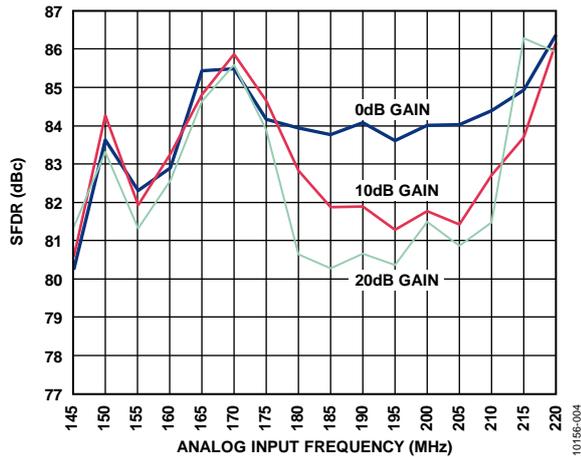


図 4. アナログ入力周波数対 SFDR 性能 (0 dB ゲイン、10 dB ゲイン、20 dB ゲイン)

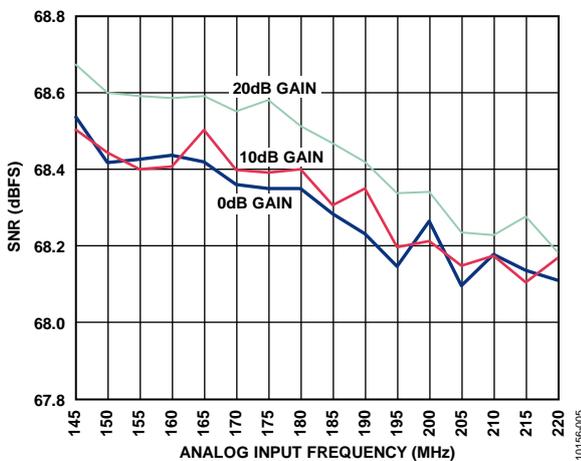


図 5. アナログ入力周波数対 SNR 性能 (0 dB ゲイン、10 dB ゲイン、20 dB ゲイン)

フィルタとインターフェースの設計手順

このセクションではフィルタを含むアンプ/ADC インターフェースの設計の一般的な方法を紹介し、最適な性能 (帯域幅、SNR、SFDR、etc.) を実現するためには、回路は下記に示すようにアンプや ADC による設計上の制約があります。

- アンプに接続される負荷は最適な性能を得るためにデータシートに推奨されている正しい DC 負荷にする必要があります。
- アンプ出力を適切にバイアスするために電源とアンプの間に DC バイアス・インダクタを接続する必要があります。
- ADC の入力信号は外付け並列抵抗によって低減する必要があります。そして ADC をフィルタからアイソレーションするために正確な直列抵抗を接続する必要があります。この直列抵抗は又ピーキングを低減します。

この設計方法では、ほとんどの高速 ADC の相対的に高い入力インピーダンスと駆動源 (アンプ) の相対的に低いインピーダンスが活用されフィルタの挿入損失が最小限になります。

設計手順の詳細は [CN-0227](#) 回路ノート、[CN-0238](#) 回路ノート、[CN-0279](#) 回路ノートに記載しています。

回路の最適化技術とトレードオフ

このインターフェース回路の中のパラメータは非常に相互に影響します；従ってすべての主な仕様 (帯域幅、帯域の平坦度、S/N 比、SFDR、ゲインなど) について回路を最適化する事はほとんど不可能です。しかし (帯域応答でしばしば起こる) ピーキングは駆動アンプの出力直列抵抗を (低インピーダンス出力用に) 変更するか、あるいは ADC 入力に直列に接続した抵抗 (図 1 の回路の $20\ \Omega$) を変更する事により最小にできます。

ADC 内の内部サンプリング容量からの残留チャージ・インジェクションによって生じる歪を最小限にするように ADC 入力の直列抵抗を選択してください。この抵抗を大きくすると帯域幅ピーキングも小さくなります。

しかし ADC の入力直列抵抗を大きくすると信号減衰も大きくなるので、アンプは ADC の入力範囲を満たすためにより大きな信号を駆動しなければなりません。

通過帯域の平坦度を最適化するもう 1 つの方法はフィルタのシャント・キャパシタンスをわずかに修正する事です。

ADC の入力終端抵抗 (図 1 の回路の $364\ \Omega$) は通常正味の ADC の入力インピーダンスが $200\ \Omega \sim 400\ \Omega$ になるように選択する必要があります。それをこの範囲に収めると ADC の入力容量の影響が小さくなり、フィルタ回路が安定になりますが回路の挿入損失は大きくなります。値を大きくする事によりピーキングも小さくなります。

これらのトレードオフのバランスを取ることは多少難しい面があります。この設計では各パラメータは同じ重みづけになっています；すなわち、選択した値は全回路特性のためのインターフェース性能の代表値です。別の回路設計ではシステムの要求に応じ、SFDR、SNR 又は入力駆動レベルを最適化するために異なる値を選ぶ事ができます。

この回路の SFDR 性能は 2 つの要素で決定します；図 1 に示すようなアンプと ADC のインターフェース部品の値。表 1 と図 4 に示した最終的な SFDR 性能の数字はボードの寄生容量やフィルタ回路に使用する非理想的な部品を計算にいれフィルタ設計を最適化した後に得られました。

この特定の回路で行うことのできる他のトレードオフは ADC フルスケール範囲の設定です。フルスケール ADC 差動入力電圧は $1.75\ \text{V p-p}$ に設定しましたが、それはこの回路で得られるデータの SFDR を最適化します。フルスケール入力範囲を $2.0\ \text{V p-p}$ に変更すると SNR がわずかに改善しますが SFDR 性能がわずかに悪化します。フルスケール入力範囲を反対方向に変更して $1.5\ \text{V p-p}$ にすると SFDR がわずかに改善しますが SNR 性能が多少悪化します。

この回路の信号は、アンプ、その終端抵抗、ADC 入力の間のコモン・モード電圧を遮断するために $0.1\ \mu\text{F}$ コンデンサで AC 結合されています。コモン・モード電圧に関する詳細については AD9643 のデータシートを参照してください。

受動部品と PC ボードの寄生容量に関する考察

この回路あるいはどのような高速回路の性能も適切なプリント基板 (PCB) レイアウトに大きく依存します。PCB レイアウトには電源バイパス、(必要に応じて) 管理されたインピーダンス・ライン、部品配置、信号配線、電源、グラウンド・プレーンが含まれます (しかし限定はされません)。高速の ADC やアンプの PCB レイアウトに関する詳細は [MT-031](#) と [MT-101](#) を参照してください。

フィルタの受動部品には寄生容量の少ない表面実装型のコンデンサ、インダクタ、抵抗を使用してください。インダクタはコイルクラフト社の 0603CS シリーズから選択しました。フィルタの表面実装型コンデンサには安定性と精度を考慮し 5%, COG, 0402 タイプを使用しています。

回路、部品表、PCB レイアウトを含むシステムの完全な資料は [CN-0242 Design Support Package](#) に載っています。

バリエーション回路

より低い帯域で、より低電力のアプリケーションには差動アンプ [ADL5562](#) が使用できます。ADL5562 の帯域は 3.3 GHz です。さらに低い電力、低帯域には [ADA4950-1](#) が使用できます。このデバイスは帯域が 1GHz で、消費電流はわずか 10mA です。

回路評価とテスト

この回路は改良型回路ボード [AD9643-250EBZ](#) と FPGA をベースにしたデータ取り込みボード [HSC-ADC-EVALCZ](#) を使用します。2つのボードには、速やかな設定と回路性能の評価を可能にする接続用高速コネクタがあります。このノートに記述されているように改良型 [AD9643-250EBZ](#) ボードには評価対象の回路が含まれています。そして適切に ADC を制御しデータを取り込むためにデータ・キャプチャ・ボード [HSC-ADC-EVALCZ](#) がビジュアル・アナログ評価ソフトウェアと SPI コントロール・ソフトウェアと共に使用されます。改良型 [AD9643-250EBZ](#) ボードの回路、部品表、レイアウト・ファイルについては [UG-293 User Guide](#) をご覧ください。標準の [AD9643-250EBZ](#) ボードに施された改良点は CN-0242

[Design Support Package](#) 中の [readme.txt](#) ファイルに述べられています。アプリケーション・ノート [AN-835](#) (和文 Rev.0/最新版は英文をご覧ください) にこの回路ノートに記述されているテストを動作させるためのハードウェアとソフトウェアのセットアップ方法に関する完全な詳細が含まれています。

さらに詳しくは

CN-0242 Design Support Package:

<http://www.analog.com/CN0242-DesignSupport>

UG-293 : [Evaluating the AD9643/AD9613/AD6649/AD6643 Analog to Digital Converters](#)

AN-835 アプリケーション・ノート :

[高速 A/D コンバータ \(ADC\) のテストと評価について](#)
(和文 Rev.0/最新版は英文をご覧ください)

Analog Dialogue 39 :

[高速プリント回路基板 レイアウトの実務ガイド](#)

MT-031 Tutorial : [Grounding Data Converters and Solving the Mystery of "AGND" and "DGND"](#)

MT-101 Tutorial : [Decoupling Techniques](#)

Agilent Technologies, Advanced Design System.

AN-742 アプリケーション・ノート :

[スイッチド・キャパシタ ADC の周波数領域応答](#)

Reeder, Rob, *Achieve CM Convergence between Amps and ADCs*, Electronic Design, July 2010.

Reeder, Rob, *Mine These High-Speed ADC Layout Nuggets For Design Gold*, Electronic Design, September 15, 2011.

FAQ (よくある質問) & RAQ (珍問/難問集) :

[高速コンバータの PC ボード設計について](#)
その 1 : 電源プレーンとグラウンド・プレーン

FAQ (よくある質問) & RAQ (珍問/難問集) :

[高速コンバータの PC ボード設計について](#)
その 2 : 電源プレーンとグラウンド・プレーンを使用する利点

FAQ (よくある質問) & RAQ (珍問/難問集) :

[高速コンバータの PC ボード設計について](#)
その 3 : エクスポートド・パッドの真相

データシートと評価用ボード

AD9643 [データシート/評価用ボード](#) (AD9643-250EBZ)

標準データ・キャプチャ・プラットフォーム ([HSC-ADC-EVALCZ](#))

ADL5202 [データシート](#)

改訂履歴

9/12—Revision 0:初版

「Circuits from the Lab/実用回路集」はアナログ・デバイセズ社製品専用で作られており、アナログ・デバイセズ社またはそのライセンスの供与者の知的所有物です。お客さまは製品設計で「Circuits from the Lab/実用回路集」を使用することはできますが、その回路例を利用もしくは適用したことにより、特許権またはその他の知的所有権のもとでの暗示的許可、またはその他の方法でのライセンスを許諾するものではありません。アナログ・デバイセズ社の提供する情報は正確でかつ信頼できるものであることを期しています。しかし、「Circuits from the Lab/実用回路集」は現状のまま、かつ商品性、非侵害性、特定目的との適合性の暗示的保証を含むがこれに限定されないいかなる種類の明示的、暗示的、法的な保証なしで供給されるものであり、アナログ・デバイセズ社はその利用に関して、あるいは利用によって生じる第三者の特許権もしくはその他の権利の侵害に関して一切の責任を負いません。アナログ・デバイセズ社はいつでも予告なく「Circuits from the Lab/実用回路集」を変更する権利を留保しますが、それを行う義務はありません。商標および登録商標は各社の所有に属します。