

高速ADCに対するクロック・ジッタの影響

デザインノート1013

Derek Redmayne(LTCのアプリケーション・エンジニア)、Eric Trelewicz(LTCのアプリケーション・マネージャ)およびAlison Smith(高速ADCのプロダクト・マーケティング・エンジニア)

高速信号を高分解能でデジタル化するには、A/Dコンバータ(ADC)のサンプリング性能を損なうことのないクロックを注意深く選択する必要があります。読者がクロック・ジッタと、高速ADCの性能に対するその影響の理解を深めるのにこのデザインノートが役立つことを願っています。

一例として、リニアテクノロジー社の最新の高性能ADC(16ビット、160MspsのLTC2209)に焦点を当てます。このADCは77.4dBの信号対ノイズ比(SNR)を示し、ベースバンド領域のほとんどでSFDRが100dBです。現在市販されているほとんどの高速ADCと同様、LTC2209にはサンプル&ホールド(S&H)回路が使われており、本質的には時間軸のある瞬間にADCの入力のスナップ写真を撮ります。S&Hスイッチが開いている間、ADCの入力のネットワークがサンプル・コンデンサに接続されます。半クロック・サイクル後にスイッチが開く瞬間、コンデンサの電圧が記録され、保持されます。スイッチが開く時間のバラつきはアパーチャの不確実性(つまりジッタ)として知られており、ジッタの大きさと入力信号のスルーレートに比例した誤差電圧を生じます。つまり、入力の周波数と振幅が大きいほど、クロック・ソースのジッタの影響を受けやすくなります。ジッタに比例するスルーレートのこの関係を図1に示します。

クロックを「低ジッタ」と呼ぶのは、ほとんど意味がなくなっています。なぜなら、この表現は別の事柄に関心をもつ人々に別の事柄を意味しているからです。プログラマブル・ロジックのメーカーにとっては、30psまたは50psでさえ低ジッタであると見なされるからです。高性能ADCでは、入力周波数に依存して、 $<1\text{ps}$ のクロックが必要です。もっと精確に述べると、スペクトルの上端のフルスケール信号が予想されるのでない限り、サンプルされた信号の単純な最高周波数成分ではなく、スペクトル電力分布が決定要因となります。単純化した例では、DC~1MHzの均一な電力帯域幅は、等価な電力の1MHzシングルトーン(つまり、狭帯域)より6dB感度が下がります。

どんなシナリオでも、ジッタには多様な寄与要因があり、ADC自体のアパーチャ・ジッタに加えて、発振器から周波数分周器、クロック・バッファ、さらにカップリング効果によって拾われたノイズにまで及びます。

LTC2209の内部アパーチャ・ジッタは70フェムト秒です。LTC2209やリニアテクノロジー社の高速16ビット製品ファミリーの他の製品が示す性能レベルでは、多くの発振器メーカーから入手可能な最高の製品の0.5psでは、サンプリング条件によっては識別できるほどSNRが損なわれることがあります。必要なジッタ性能を支配するのはADCではなく、サンプリング条件です。140MHzの入力周波数で77dBのSNRを示すどんなADCもデータシートのSNRを完全に達成するには同じジッタ性能を必要とします。ジッタの性能に関して、決定要因は入力周波数であって、クロック周波数ではありません。LTC2209の場合、1MHzの入力周波数では、ジッタが10psのクロックでもSNRは約0.7dB失われるだけです。

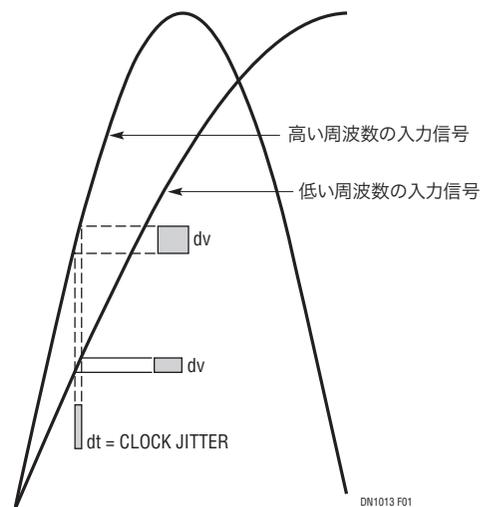


図1. クロック・ジッタの影響を悪化させるスルーレート

140MHzでは、SNRは41.1dBに劣化します。LTC2209のSNRに対するクロック・ジッタの影響を、完全なクロックから100psのジッタまでクロック・ジッタを増加させた曲線を使って、サンプルされる入力周波数の関数として図2に示します。100psでは、ADCのSNRはわずか200kHzの入力周波数で劣化し始めます。

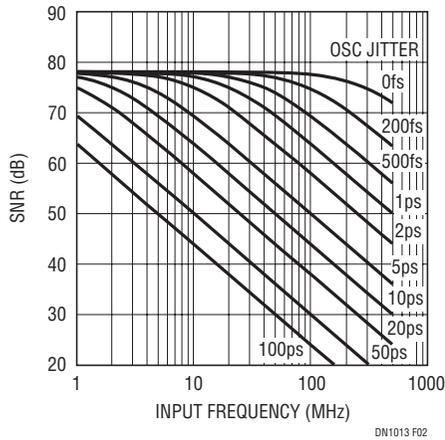


図2. 入力周波数の関数としてのジッタによるSNRの劣化

クロック・ジッタから生じるSNRの理論的境界は式(1)で与えられます。

$$\text{SNR(dBFS)} = -20\log(2\pi f_{in}\sigma) \quad (1)$$

ここで、 f_{in} は入力周波数、 σ はRMS秒で表したジッタです。

ジッタに関連したノイズ電力は入力電力(dBFS)に比例します。入力レベルが上下に変化するにつれ、ジッタに関連したノイズ成分がそれに従って変化します。たとえば、70MHzのIFで-1dBFSの入力信号を、ジッタが1psのクロックでサンプルする場合、68dBFSのSNRを予測することができます。-5dBFSでは、ジッタに関連したノイズ成分は4dB低下してSNRは72dBFSになります。

SNRの劣化の合計を計算するため、ジッタ・ノイズ電力をADCの公表されているSNRに加算します(式(2))。

$$\text{SNRの劣化 (dBFS)} = 10\log(10^{(-\text{SNR}_{\text{adc}}/10)} + 10^{(-\text{SNR}_{\text{jitter}}/10)}) \quad (2)$$

クロック発振器のジッタの仕様

クロック発振器は通常dBc/Hzで表した位相ノイズのスペクトル密度によって規定されます。発振器の出力は、関連した振幅ノイズを伴う振幅の項と、関連した位相ノイズを伴う周波

数の項に分解することができます(式(3))。スペクトル密度の測定では、ノイズのAM成分 $\epsilon(t)$ は位相ノイズ成分 $\varphi(t)$ に比べて無視できると仮定します。これはどんな品質の周波数源でも妥当な仮定です。

$$V(t) = [V_0 + \epsilon(t)]\sin[2\pi f_0 t + \varphi(t)] \quad (3)$$

$L(f)$ で表されるスペクトル密度は、キャリア電力に対する、オフセット周波数での1Hz帯域幅のシングル・サイドバンド位相ノイズ電力の比として述べられており、フーリエ周波数とも呼ばれます(式(4))。

$$L(f) = \frac{\text{電力密度(1位相変調サイドバンド)}}{\text{キャリア電力}} \quad (4)$$

ジッタは2つの周波数リミットの間にある周波数に関するスペクトル位相密度の積分であり、時間で表されます(式(5))。結果は周波数に依存しません。

$$\sigma = \frac{1}{2\pi f_0} \sqrt{\int_{f_1}^{f_2} f^2 2L(f) df} \quad (5)$$

ジッタの定格を定めているほとんどの発振器は12kHz~20MHzで定格が規定されています。これは光通信に関連した歴史的な理由に基づいており、他のほとんどの実際的なケースには適用できません。性能はこれらのリミットの外では実際に失われることがありますので、注意深く調べないでうっかり使ってしまうことがないようにしてください。隣接位相ノイズが支配的な多くの発振器では、低い方のリミットが公表されている数値に最も大きな影響を与えます。この式はADCのSNRの劣化の計算に役立つ1個の数値を与えるので便利ですが、スペクトル密度ほどたくさんの情報を含んでいるわけではありません。たとえば、スペクトル成分の異なる2つの発振器のジッタは同じ積分範囲で同じかもしれませんが、同じSNRを与えるとは限りません。広帯域ノイズが増加してもジッタの仕様が悪くなるとは限りませんが、SNRは劣化します。隣接位相ノイズは基本信号をFFTの隣接する周波数ビンに拡散させますので、ダイナミックレンジが減少します。他方、広帯域位相ノイズはナイキスト領域全体にわたってノイズフロアを均一に上昇させますので、ADCの全体的SNR性能が低下します。クロックにもスパーが含まれていない限り、ジッタはSFDRには影響を与えません。積分の低い方の周波数リミットは、サンプルされたデータのあらゆる処理の周波数分解能に(たとえば、FFTのサイズが増加するにつれ)対応させます。

同じような振幅の(ただし、周波数の異なる)2つの信号の位相変調に関連した帯域幅の制限されたクロック・ジッタの影響を図3に示します。これは、高い入力周波数が存在するときのクロックのランダム位相ノイズと位相変調の両方の誇張された影響を示しています。

ADCのクロック入力にはデジタル制御信号と見なすべきではなく、ADCのローカル発振器ポートと見なすべきです。GHzの周波数に達する広帯域ノイズを含め、クロック上に存在するものは全て入力信号に混入します。

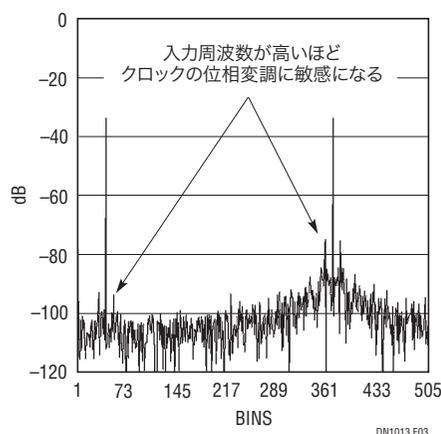


図3. 入力周波数に対するクロック位相ノイズの影響

ADCではなく、アプリケーションが要件を決定

強いトーンに近接した弱い信号を受信するアプリケーション(たとえば、ドップラー超音波、レーダーおよびRFIDのスタック反射)は隣接位相ノイズに敏感です。

逆に、CCD出力をデジタル化する場合、サンプリングが行われる瞬間のスループレートが低いので、ジッタは一般に問題になりません。ビデオ・アプリケーションもそれほど敏感ではありません。たとえば、HDTVでは、サンプル・ウィンドウは約6400ps(ピクセル当りの時間)です。

符号レートの高い通信アプリケーションは一般に隣接位相ノイズに敏感ではなく、広帯域位相ノイズの影響に対してそれほど敏感ではないことがあります。電力分布が比較的均一なクレストファクタの高い波形(WCDMA OFDM)のRMS電力レベルは低く、またあき高を必要とするので、最大振幅の単一トーンほどノイズフロアが上昇しません。ただし、高次変調タイプ(QAMやM-naryの位相変調)はノイズの影響をもっと受けやすく、たとえば、CDMAシステムに使われるQPSKと同じ符号レートではキャリア・リカバリ・ループ帯域幅をもっと狭くなります。

強力な干渉源(単一トーン)が近接して現れることがある、または対象となる信号よりはるかに強いことがあるデジタル・ラジオは、一般に隣接位相ノイズの点で要求条件が厳しく、

また広帯域位相ノイズに敏感なことがあります。どの広帯域信号源も高いクレストファクタをもつ傾向があり、干渉源のためにあき高を必要としますので、ADCの公称電力が低くなる可能性があります。クロック・ソースの決定では、対象となる帯域幅の特性を考慮に入れる必要があります。

高速ADCをドライブする発振器の選択:

ほとんどの発振器には隣接位相ノイズがあり、強い基本波の近くのダイナミックレンジを制限します。隣接位相ノイズが重要であれば、強いトーンの近くでのダイナミックレンジの要件に基づいて、使用する発振器ソースの隣接ノイズを減らすため、または使用する発振器を正確な基準周波数にロックするため、PLL(フェーズロック・ループ)が必要なことがあります。ジッタ・クリーナとしてPLLを使用すると、本質的に非常に狭い狭帯域トラッキング・フィルタが得られます。選択された発振器がループ帯域幅も支配します。したがって、望みのループBWによって発振器の選択が支配されます。VCXO(電圧制御水晶発振器)には、安定した基準周波数をトラッキングする狭いループ帯域幅だけが必要です。VCOは広い同調範囲を与えることができますが、隣接位相ノイズを許容レベルに減らすために広いループBWを必要とします。

非常に制限された同調範囲を必要とするだけなら(おそらく基準発振器にロックして)、VCXOを使用するのが最善のオプションです。VCOのオクターブの同調範囲を必要とし、低い隣接ノイズを必要とするなら、特に、使用するPLLで高い分周器比と低い基準比較周波数を必要とするなら、問題となる可能性があります。

標準的VCXOとVCOの位相ノイズのプロットの比較を図4に示します。

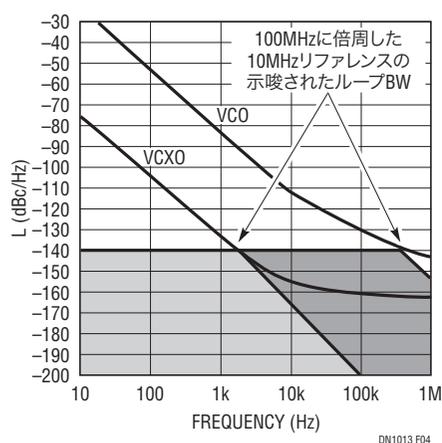


図4.標準的VCXOと標準的VCOの位相ノイズ性能の比較

PLLの最適ループ帯域幅は、基準発振器のノイズ密度に中心周波数を乗算したものと、VCXOまたはVCOの位相ノイズのプロットの交点によって示されています。この例では、VCXOの場合2kHz、VCOの場合300kHzを示しています。300kHzのコーナーは少なくとも3MHzの比較周波数を必要としますので、5MHzを推奨します。

VCXOは最小20kHzの比較周波数で使用することができます。VCOでもっと低い基準周波数(高い分周比)が使われると、乗算された位相ノイズとVCOの位相ノイズの交点はもっと低い周波数になり、ジッタがかなり増加します。もっと低い乗算比で過度に低いループBWを使うと、VCOの位相ノイズはループBW内部に留まります。

アプリケーションが隣接位相ノイズに敏感でなく、リファレンスにロックさせる必要がなければ、XOを使用することができます。

クロック・ソースとクロック・アーキテクチャ

良いクロックが内部でクロストークが頻発しているFPGAを通して配線されていると、そのクロックが損なわれることがあります。FPGAは多くの場合グランド・ピンを犠牲にしてI/Oの数を最大にしますので、グランド・バウンスが生じます。FPGAが異なるレートで出力をドライブしていると、これらはFPGAを通して配線されたどのクロックにも現れ、究極的にはそのクロックを使っている全てのADCの出力に

現れます。FPGAを使ってVCOの周波数を分周するとき、クリーンなVCO信号によってクロックを与えられる低ノイズのフリップ・フロップをタイミング調整段として使って、ジッタを除去することができます。FPGAを使って外部VCXOのための狭帯域PLLを実装することができ、外部ループ・フィルタとループ・フィルタ・ドライバはFPGAから反射されるグランド・バウンスから保護されます。オーディオ帯域でオーバーサンプリングを行うのでない限り、ADCのクロックを発生させるのにDLLは使わないで下さい。

良いクロックはデジタル信号の間に配線することによっても損なわれることがあります。ADCから距離の離れたところで発生させたクロックは銅のコンジットとピアを通して配線する必要があります。

クロック配線の良い例と悪い例を図5に示します。クロックがデジタル信号と共有されたキャピティ内に置かれるのは悪い例です。

まとめ

ADCの性能に対するジッタの影響は入力周波数(スルーレート)の関数であり、サンプリング・レートの関数ではありません。クロック・ソースの選択はアプリケーションによって決まります。クロック・ソースのメーカーの情報をそのまま受け取らないで下さい。手遅れになる前に、ADCの評価用ボードを使ってクロック・ソースをテストして下さい。

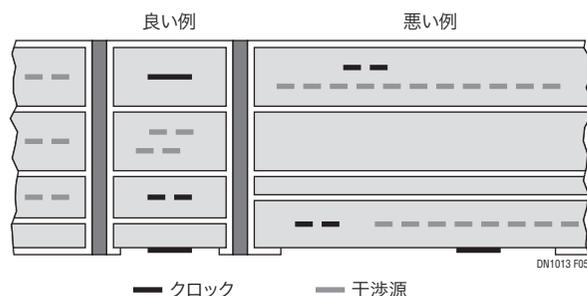


図5. クロック配線のレイアウトの良い例と悪い例

データシートのダウンロード : <http://www.linear-tech.co.jp>