

アナログ・スイッチの注意すべき電氣的制約と対峙方法（後編）

アナログ・スイッチ回路での信頼性「サイリスタ動作とラッチアップ」を考えて対策を知る

著者：石井 聡

はじめに

前回と今回は「アナログ・スイッチ」についての各種実験もふくめてのお話です。前回とはくにチャージ・インジェクションなるものを実験も含めてご説明いたしました。

今回は CMOS アナログ・スイッチにおける「サイリスタ動作とラッチアップ」について考えます。このふるまいは CMOS アナログ・スイッチのみでなくとも、CMOS ロジック IC や CMOS OP アンプなど、CMOS 構造の半導体で発生するものです。「スイッチなんて使わないよ」という方も知っておくとよい知識でしょう。

ひとの脳内にもスイッチがあるようで

もう、20 年ほど前になるでしょうか。パソコン内にも何も残っていません。家族を引き連れて、大阪ツアーに行ったときのお話。すでに今は閉店しているのですが、「くだおれ人形」で有名な、料理店「くだおれ」[1]で、家族で関西風すきやきを食した記憶だけははっきりと覚えています。イナカモンの若造は、肉を焼いたあとにタレを「ジュジュウ」と鉄板、いや肉のうえに注いでいく様子を見て、関東系と（いや自宅のと、か…）のすき焼きの作り方と違うことに変驚いた覚えがあります。お店の給仕の女性の方も「関西はこうなんですよ」と説明してくれた記憶もうっすらと残っています。

妻と子どもたちは USJ にも行きました。そのとき私は年寄りをつれて、別のどこかに行ったような記憶しかありません。有名な市場だったような？

もうひとつ。全員で吉本興業の、なんばグランド花月（Namba Grand Kagetsu; NGK）[2]に漫才を見にいきました。ニッポン・ホウソウ・キョウカイも日本語そのまま NHK であり、同じロジックではありますが、なんばグランド花月も NGK と表記するあたり、「オモロイナリー」と思った記憶があります。

当時はフィルム式カメラで。デジカメではなかったもので、当時撮影した NGK の正面のようすの写真をご紹介することができません。相当量の処理しきれない思い出のプリントから探し出すには、数ヶ月を要しそうです。そのため今回は思い出の写真の掲載はありません。

オール巨人師匠のスイッチ

演目の後半かトリでオール阪神・巨人[3]の上演がありました。「テレビで見るコンビが肉眼で見られてうれしいな」と思いつつお二人の漫才を拝聴していました。途中でオール阪神師匠が巨人師匠にまくしたてるように、すごい勢いでしゃべるパートがありました。

たぶん即興だったのでしょう。

そしてそれは吉本興業のホーム・グラウンドであるなんばグランド花月での公演だったからでしょう。

全国放送での配信ではなく、数 100 人の観客しか居ない劇場でのリラックスした公演だったからでしょう。[2]によると NGK は収容数（固定席）が 858 席とのこと。

「ローカル」（電気・電子業界での用語として理解いただきたく。たとえば『手元で・地元で』という意図と理解いただきたく）という条件下で、オール巨人師匠の「スイッチ」が切り替わっていたのでしょう。

オール阪神師匠はすごい勢いで、興奮した演技でオール巨人師匠をまくしたてていました。それにオール巨人師匠は笑うばかりで、そう、数分のあいだ笑うばかりで。それこそ全国放送の地上波では見ることができない、オール巨人師匠の異なる「スイッチ」状態での漫才が繰り広げられていました。

このオール巨人師匠が笑うばかりで、オール阪神師匠に応答できなかった素敵な公演のようすは、あまりにも気持ちを暖かくした素晴らしい思い出です。関西風すき焼きの「ジュジュウ」という思い出以上に、深く記憶に残る「スイッチ」な思い出でした。

サイリスタ動作とは

そうです、今回の WEB ラボの技術ノートのネタは「スイッチ」です…。それでは再度話題をスイッチして、アナログ・スイッチのお話に戻しましょう。アナログ・スイッチでは入力電圧が電源電圧以上になると、局部的にできる PNP 接合構造が「サイリスタ（Thyristor）」となり、その PNP 経路が常時オンになることで、スイッチが誤動作したり、素子が破壊に至る場合があります。ここで PNP の P と N は P 形半導体の P と、N 形半導体の N を指しています。

図 1 は前回に図 2 として示した、アナログ・スイッチの基本的構造です [4]。しかしこれは 4 個（スイッチの経路としては 2 個）の MOS FET 素子だけでは確認できません。

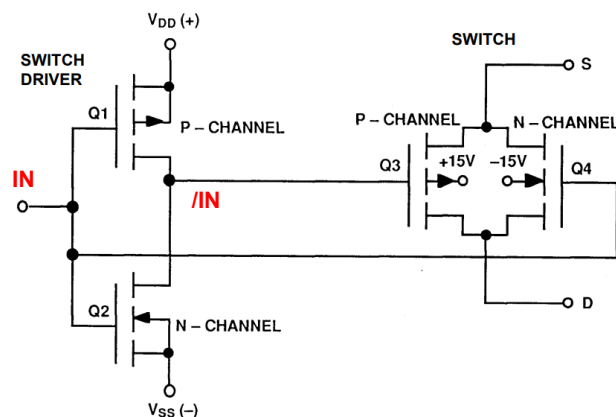


図 1. アナログ・スイッチの基本的構造 [4]

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2022 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ電子回路技術ノート

TNJ-095

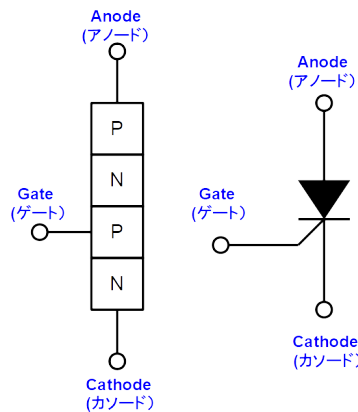


図 2. サイリスタの基本構造

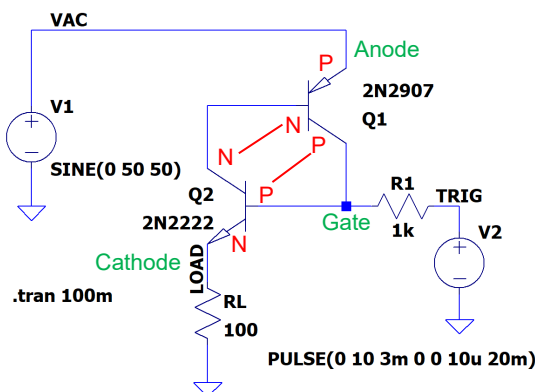


図 3. サイリスタの基本構造をトランジスタ・モデルで表した

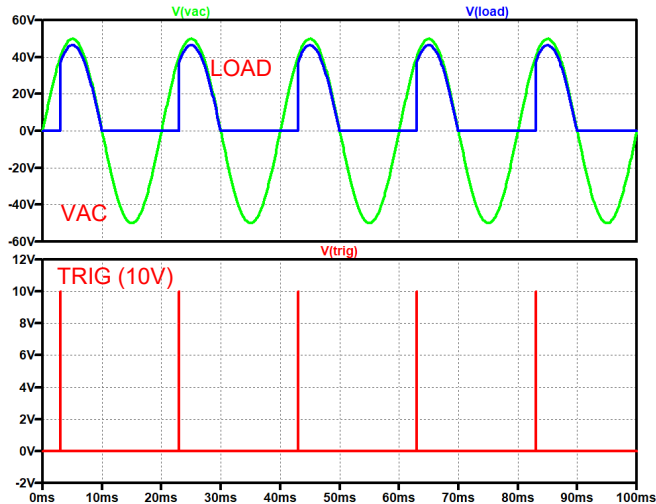


図 4. 図 3 のサイリスタのトランジスタ・モデルをシミュレーションしてみた

これでどのように「サイリスタ」となる PNP 接合構造ができるのでしょうか。それには実際は、サブストレートと呼ばれる半導体を構成する各層の一番基底となる部分の構造を考える必要があります。

サイリスタ動作のトランジスタ・モデルとシミュレーションによる確認

図 2 はサイリスタの基本構造です。さきに示したように PNP という接合構造になっています。これをトランジスタ・モデルで表すと図 3 のように表すことができます。サイリスタのゲート

は 1 個しかありませんが、以降で紹介していく CMOS 構造でできるサイリスタ、PNPN 接合構造では、図 3 のそれぞれのトランジスタのベース位置から、それぞれゲートに相当する端子が出来上がります。つまり 2 個ゲートが出来上がります。

この図 3 は LTspice のシミュレーション回路図です。シミュレーションしてみましょう。図 4 はこのシミュレーション結果です。VAC はピーク・ツー・ピーク 100V の交流です。TRIG 入力に H レベルのパルスを加えると Q2 がオンし、それに伴って Q1 もオンします。Q2 がオンすることで Q1 のベース電圧が下降します。

それにより TRIG 入力がなくなっても、Q1, Q2 はオン状態を維持します。このようすは TRIG パルスが加わってから LOAD 端子の電圧が継続して出ていることから理解できます。また Q1, Q2 つまり PNP 接合構造に加わる電圧がなくなると、オン動作は終了します。これは VAC が負となり、次の TRIG パルスが加わるまで LOAD に電圧が現れていないことから理解できます。

このようにサイリスタは「オン状態を維持できる記憶回路」とみることができるわけです。

アナログ・スイッチで生じるサイリスタ構造

図 1 のアナログ・スイッチの基本構造では、これからご説明していく PNP 構造とかサイリスタ構造は判断することができません。図 5 に[4]に同じく掲載してある (Figure 31)、アナログ・スイッチの半導体としての構造を示します。この例では基底材であるサブストレートは N 型半導体になっています。なお P 型半導体がサブストレートになっている場合もあります。

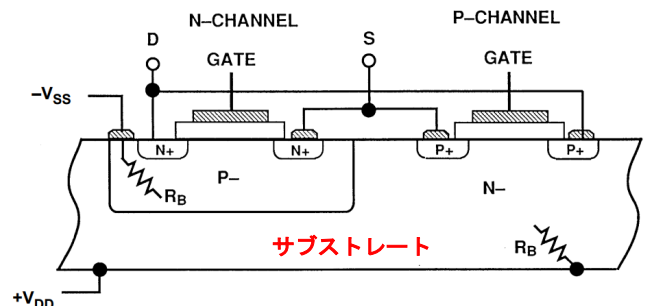


図 5. アナログ・スイッチの半導体としての基本的構造 [4]

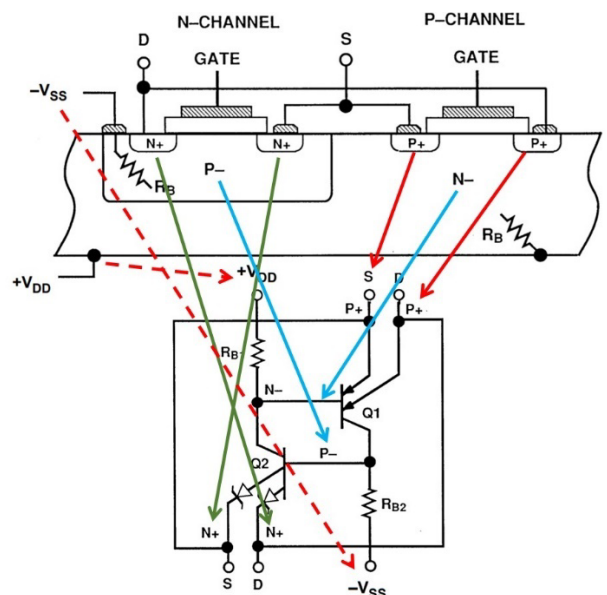


図 6. 基本的構造をバイポーラ・トランジスタとしての等価回路との関連性を示した [4]

アナログ電子回路技術ノート

TNJ-095

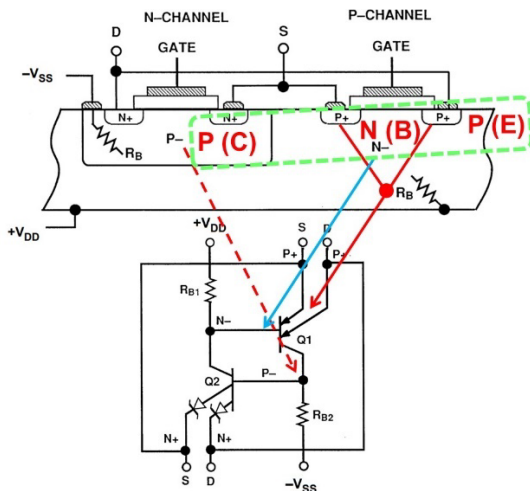


図 7. 基本的構造とバイポーラ・トランジスタ等価回路の Q1 との関連性

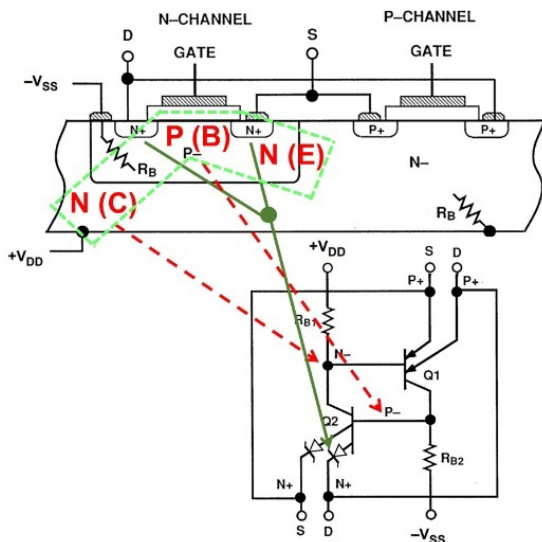


図 8. 基本的構造とバイポーラ・トランジスタ等価回路の Q2 との関連性

この図を使って、さらに同[4]の Figure 32 に記載されているバイポーラ・トランジスタとしての等価回路との関連性を示したものを図 6 に示します。矢印が多くて、分かりづらいと思いますので、つづいての図で分解していきたいと思います。図 7、図 8 は図 6 を Q1 と Q2 の部分に分解して説明してみたものです。

このように、もともとのというか、本来の N-CH と P-CH の MOS FET とは関係ない部分に寄生トランジスタが形成されていることが分かります。これらが「寄生サイリスタ」になります。

どのようなプロセスで寄生サイリスタがオンするのか

まずは CMOS インバータ/アンプの出力端子

つづいてふたつのケース・ストーリーとして CMOS アナログ・スイッチで生じるラッチアップについて考えてみましょう。最初は CMOS デジタル IC である CMOS インバータ/アンプのケースを考えてみます。

実は私も、CMOS アナログ・スイッチにおけるラッチアップの話題としてこの技術ノートを記述できるようになるまで、相当な時間を要しました（汗）。それは、CMOS アナログ・スイッチのラッチアップの動作は「意外と単純ではなかった」からでした。またどうも多くの WEB 上の記事の解説も間違っているようで、というか、深く突っ込んだ解析がなされていなかったためということもあります。

そのため私は、その検討のきっかけとして、CMOS インバータのケースを最初に解析してみました。

さて図 9 は、[5]から CMOS アナログ・スイッチの構造を転記し、配線を追加した CMOS インバータ/アンプの断面図です。構成や考え方は図 5 と同じですが、この構成では基底材であるサブストレータが P 型半導体です。

この CMOS インバータ/アンプ接続に変更すると、ゲートは CMOS インバータ/アンプの入力 (IN) となり、N-CH と P-CH MOS FET のドレインは出力 (OUT) になります。図 9 を MOS FET の回路に書き直したものを図 10 に記載します。これは一般的に見る回路ではないでしょうか。しかしこの回路ではラッチアップ動作を表現できません。

図 9 の半導体構造をバイポーラ・トランジスタ等価回路として表してみると図 11 のようになります。ここで Q1 と Q2 がサイリスタとなります。Q1 の D と記載のあるエミッタ（図 10 の P-CH MOS FET のドレイン）の電圧が電源端子電圧 $+V_F$ (V_F はダイオードの順方向電圧) となるか、Q2 の D と記載のあるエミッタ（図 10 の N-CH MOS FET のドレイン）の電圧がグラウンド電圧 $-V_F$ となると、Q1 もしくは Q2 が導通し（それぞれ S 側のエミッタ）、それにより Q2 もしくは Q1 が導通し（同じく S 側のエミッタ）、ラッチアップに至ることになります。

つまり CMOS インバータ/アンプの出力端子においては、電源電圧範囲を超える電圧がその出力端子に加わるとラッチアップが生じることになります。

つづいて CMOS インバータ/アンプの入力端子

私は IC の内部（IC 自体）を設計したことがありません。そのためネット上の記載を見たり、社内の IC 設計経験のある FAE (Field Application Engineer) にも聞いてみましたが以下の考察がすべての IC 内部レイアウトで成立するのか、自信がありません。「入力端子の場合はこういう構造だと寄生サイリスタがオンになるのだ」という理解をいただければと思います。

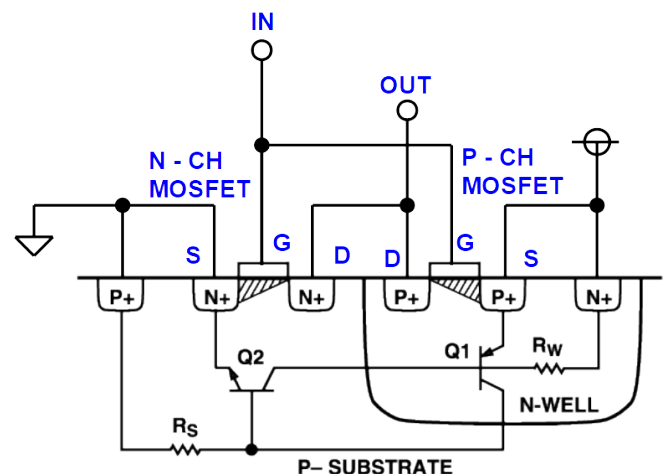


図 9. CMOS アナログ・スイッチに配線を追加して CMOS インバータ/アンプ接続としたもの（この構成では基底材であるサブストレータが P 型半導体）

アナログ電子回路技術ノート

TNJ-095

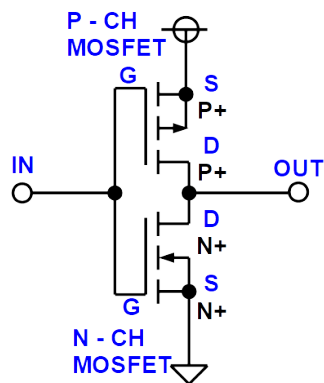


図 10. 図 9 を CMOS インバータ／アンプとして表記したもの

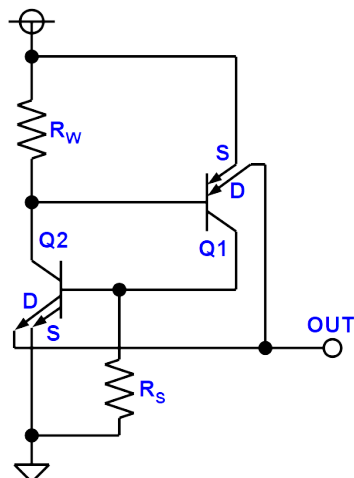


図 11. 図 9 の半導体構造をバイポーラ・トランジスタ等価回路として表記したもの

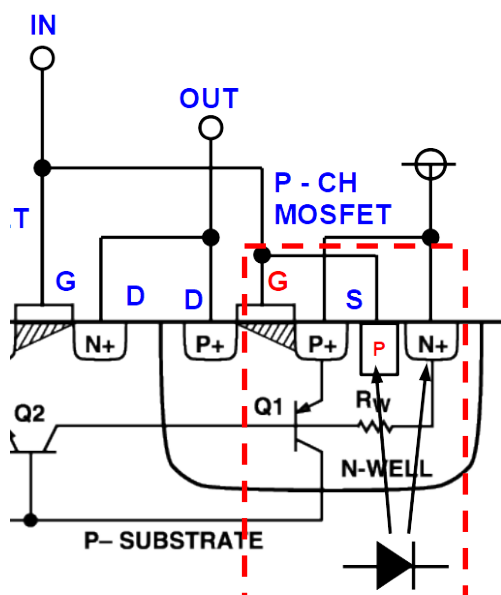


図 12. 図 9 の CMOS インバータ／アンプ接続に ESD ダイオードを追加してみた

図 12 は図 9 の CMOS インバータ／アンプ接続に ESD ダイオードを追加してみたものです。MOSFET のゲートは ESD ダイオード

ドに接続されることにより、IC のサブストレートと半導体構造として接続されます。

これにより、同図中から分かるように、ESD ダイオードの IN 側 (P 型)、N-WELL、P-SUBSTRATE、N-CH MOSFET のソース側の組み合わせで PNP 構造の寄生サイリスタが形成されることになります。

ネットの記事や社内の FAE によると、ESD ダイオードはこの例のように IC 上に形成される回路のサブストレートとは別のサブストレートとは絶縁されているようで、それであれば ESD ダイオードを通して入力端子が寄生サイリスタの一部となる構造は生じないことになります。

ともあれ図 12 の条件であれば (と仮定すれば)、入力端子がゲートとなる寄生サイリスタが出来上がってしまうことになります。

CMOS アナログ・スイッチの寄生サイリスタがオンするようす

図 5 や図 6 に示したアナログ・スイッチの半導体としての基本的構造から、どのように CMOS アナログ・スイッチの寄生サイリスタがオンするのかを考えてみました。これを図 13 に示します。とはいえこれも、よくよく考えてみると正しいのかどうか、実は自信がありません (汗)。

前出の IC 設計経験のある FAE によると、「図 9 であれば P サブストレートの R_s 、もしくは N-WELL の R_w に電流が流れることで寄生サイリスタがオンする」とのことでしたが、CMOS アナログ・スイッチにおいては具体的にどのような条件であれば、これら R_s 、 R_w に電流が流れるのかに気がつくことができませんでした (汗)。

それでも一応、ご説明してみましょう。図 13 に沿って示してみます。

Source 側が過電圧 (+VDD より +0.3V 以上) になると

② Q1 (左エミッタ) がオン

② Q1 E-C 間がオンで Q2 ベースがハイ。Q2 にベース電流が流れる

③ Q2 (左エミッタ) はオフのまま

③ Q2 (右エミッタ) がオン

④ Q2 (右エミッタ) E-C 間がオンし、D 電圧が引き上げられる

④ Q1 B から Q2 C に Q1 ベース電流が流れ、N- は電圧が低下

⑤ Q1 オンが継続

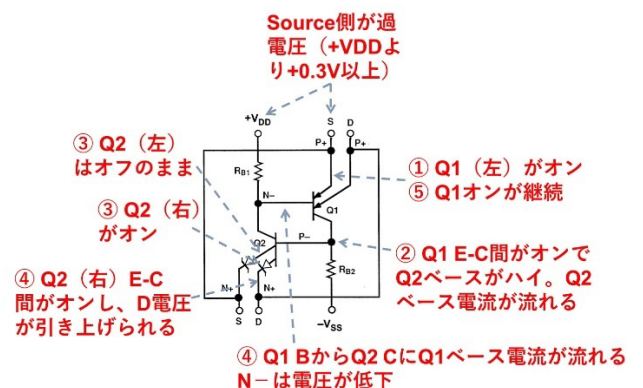


図 13. どのように CMOS アナログ・スイッチの寄生サイリスタがオンするのか

アナログ電子回路技術ノート

TNJ-095

このように CMOS アナログ・スイッチの寄生サイリスタがオンするプロセスを説明できるかと思います。とはいえ、先に示したように、よくよく・よくよく考えてみると、これが正しいのかどうか、実は自信がありません（汗）。

寄生サイリスタが形成されない CMOS アナログ・スイッチ

Analog Devices では、図 15 のような構造をもつ、寄生サイリスタが形成されない CMOS アナログ・スイッチをラインナップしています。

これ以外の寄生サイリスタ対策としては、[4]や[5]にも記載があります。しかし現代の回路設計においては、現実的ではないものでしょう。そのためこの構造をもつ CMOS アナログ・スイッチを使用することが最適と考えられます。

これらの CMOS アナログ・スイッチは、同図のようにふたつの MOSFET の間に TRENCH（溝）と呼ばれる酸化シリコンによる絶縁領域が形成されており、この絶縁部により寄生サイリスタが形成されない構造が実現されています。これにより過電圧がいずれかの端子に入力された場合でもラッチアップが生じないこととなります。

アナログ・デバイセズのラッチアップ対策された製品群

図 15 にアナログ・デバイセズにおける、上記のような寄生サイリスタが形成されないようラッチアップ対策を施した製品群を示します（そのうちとくに強靱性の高いもの）。このような IC をご使用いただくことで、ここまで説明してきたようなラッチアップによる素子の破壊から回避することができます。

まとめ

この技術ノートで、CMOS アナログ・スイッチにはその基本構造上、寄生サイリスタが構成され、そこに電圧的ストレスが加わるによりサイリスタがオンして過大な電流が流れることを示しました。その外部回路としての対策も考えられるわけではありますが（詳細はこの技術ノートでは示しませんでした）、現実解としてはトレンチ（溝）アイソレーションが施されている CMOS アナログ・スイッチを用いることだとして説明しました。余計な異常動作や故障を避ける意味からも、これらの CMOS アナログ・スイッチのご使用を推奨するところです。

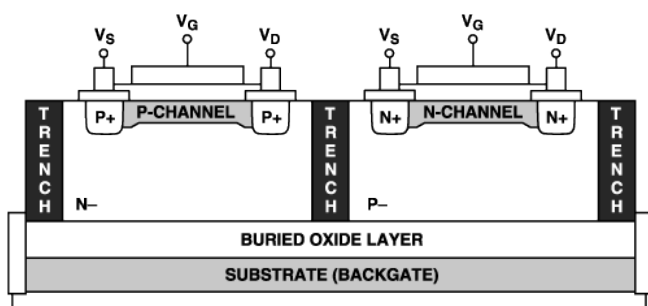


図 14. TRENCHI（溝＝酸化シリコンによる絶縁膜）構造により寄生サイリスタが形成されない CMOS アナログ・スイッチ

部品番号	構成
ADG5412F/13F	クワッドSPST
ADG5412BF/13BF	クワッドSPST 双方向保護
ADG5404F	4:1 Mux
ADG5436F	デュアルSPDT
ADG5462F	クワッドSPSTチャンネル・プロテクタ
ADG5208F/09F	8:1/4:1 Mux
ADG5248F/49F	8:1/4:1 選択可能なフォールト・レベル
ADG5243F	トリプルSPDT
ADG5401F	SPST出力保護スイッチ
ADG5421F	SPST出力保護スイッチ
ADG7421F	デュアルSPST低電圧保護スイッチ

図 15. ラッチアップ対策を施した CMOS アナログ・スイッチ製品群（とくに強靱性の高いもの）

参考文献

- [1] くだおれ, <https://ja.wikipedia.org/wiki/くだおれ>
- [2] なんばブランド花月-吉本興業, <https://ngk.yoshimoto.co.jp/>
- [3] オール阪神・巨人, <https://ja.wikipedia.org/wiki/オール阪神・巨人>
- [4] TUTORIAL MT-088, Analog Switches and Multiplexers Basics, Analog Devices
- [5] Catherine Redmond; Winning the Battle Against Latchup in CMOS Analog Switches, Analog Dialogue, Vol. 35, Oct. 2001, Analog Devices, <https://www.analog.com/jp/analog-dialogue/articles/winning-the-battle-against-latchup.html>
- [6] Latch-up, Wikipedia, <https://en.wikipedia.org/wiki/Latch-up>