

アナログ・スイッチの注意すべき電氣的制約と対峙方法 (前編)

駆け出しのころ知らなかったチャージ・インジェクションは何者でどう振る舞い、どう対策するか

著者: 石井 聡

はじめに

今回と次回は「アナログ・スイッチ」についての各種実験もふくめてのお話です。アナログ・スイッチはその名のとおりに、アナログ信号をスイッチするための IC です。「何も考えず、信号をスイッチする目的だけ考えればよいのだろう」と思いがちですが、意外と注意すべき制約事項があります。実験をとおしてその様子 (波形) などをみていきたいと思います。

あのときの波形が目には焼き付いている

昭和、それは令和のただいまから 2 年号も前ともなる時代。私は社会人駆け出しのフレッシュ (?) なエンジニアでありました。その「昭和」という年号…、今から見る「昭和」は、昭和から見る「明治」だということに気づき、愕然としつつ、この技術ノートを書き始めようとただいま筆を執りました (涙)。

「筆ヲ執ル」も化石的表現ですね (笑)。キーボードで入力する現在においては、筆など使いませんし、そういう私も「使え」ません (笑)。まあここでの表現 (筆ヲ執ル) は文体に情緒をもたせたいということでご理解いただければと…。

さて、その知識もなく、ただただがむしゃらだった「昭和」のころ、自分が設計した回路を外注さんに製作してもらい、そのチェックを行っていました。図 1 のようにアナログ・スイッチを用いて波形をチョップし、入力正弦波形自体と波形の基準電圧を同時にオシロスコープ管面 (「管面」も死語ですね。管はブラウン管を意味します) に表示させる回路でした。使用していた CMOS スイッチは 4066 だったか 74HC4066 でした。

私がそのときに波形を見て思ったことが、「なんだか波形が汚れているなあ、変な段付きが見えるぞ」ということでした。

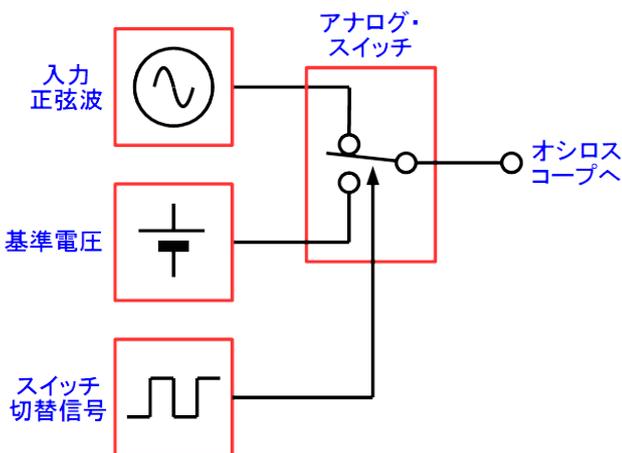


図 1. アナログ・スイッチを用いて入力正弦波形自体と基準電圧をチョップしてオシロスコープに同時に表示させたい

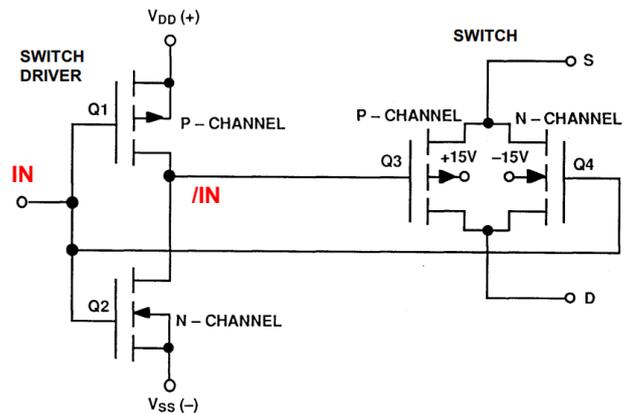


図 2. アナログ・スイッチの基本的構造 [1]

その波形はふたつの年号の時空を超えて、今も目に焼き付いています。当時はその原因も対処方法も分かりませんでした。結局そのままにしていたと思います。

原因は Break Before Make 動作とチャージ・インジェクション

図 1 のアナログ・スイッチを単純に「切り替えスイッチ」だと考えれば、上記で説明したような波形のおかしな変動は原因を突き止めることはできません。これは Break Before Make になっていないことと、「チャージ・インジェクション」という現象が原因です。

アナログ・スイッチの基本構造と MOS FET の動作

図 2 にアナログ・スイッチの基本構造を示します [1]。左側の上下に直列接続されている MOS FET Q1, Q2 のペアは、デジタル・インバータです。左側の端子 IN がアナログ・スイッチのオン・オフを設定するデジタル入力で、それがインバータを通して反転論理 /IN として得られます。

右側の並列に接続された部分、P-CHANNEL Q3 と N-CHANNEL Q4 がスイッチとなる部分です。IN は Q4 のゲートに接続されていますが、IN がハイ・レベルとなった場合に Q4 がオンします。この「ゲート電圧 V_G がハイ・レベル」というのは、Q4 の矢印部で示される、-15V が接続されている「ボディ」部分との電位差になります。ゲート電圧 V_G による電界からボディ部分のドレイン・ソース間に少数キャリアが生じ、それにより電流が流れるチャンネルが出来上がることになります。

Q4 のドレイン電圧 & ソース電圧が上昇してくると、Q4 のボディの電圧が高まることとなります。ゲート電圧 V_G に近づいてくると、生じていた少数キャリアが減少し、それによりチャンネルをオンしきれない状態になると (Q4 のゲート電圧 V_G がボディに対してスレッショルド電圧以下になると) Q4 はオフします。

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2022 Analog Devices, Inc. All rights reserved.

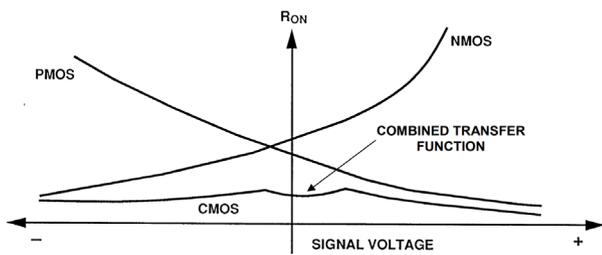


図 3. CMOS スイッチのオン抵抗と信号電圧 (ドレイン/ソース電位に相当) [1]

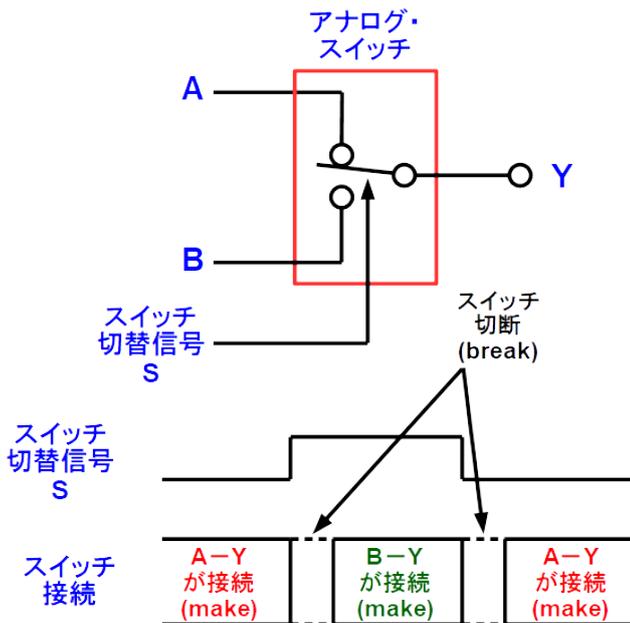


図 4. 図示するほどのこともない (笑) スイッチでの Break Before Make 動作

一方で/IN は Q3 (P-CH) のゲートに接続されています。IN がハイ・レベルとなった場合に/IN はロー・レベルとなり、Q3 も Q4 と合わせてオンします。Q3 のドレイン電圧&ソース電圧が低下してくると、Q3 のボディ (矢印で示される+15V にバイアスされたところ) の電圧が低下することとなり、ゲート電圧 V_G に近づいてくると、生じていた少数キャリアがここでも減少してきます。それによりチャネルをオンしきれない状態になると (Q3 の V_G がスレッショルド電圧以上になると) Q3 はオフします。

Q4 (N-CH) がチャネルのオンを維持できない高い電圧領域においては、Q3 (P-CH) のゲート電圧 V_G とボディとの電位差は逆にスレッショルド電圧より十分あることで、十分に少数キャリアが形成されている状態です。Q3 (P-CH) はオンを維持できません。その結果、入力電圧範囲全体においてスイッチ動作としては問題なく動作します。

このように Q3 (P-CH) と Q4 (N-CH) が並列接続されていますので、結局、図 3 のようにオンしているほうの抵抗値 (低い抵抗値のほう) が支配的になり、同図のような火山型のカーブをした抵抗値を示すことになります。このしくみによりアナログ・スイッチが動作しているわけです。

Break Before Make 動作 (簡単に)

Break Before Make 動作はリレーやスイッチなどでよく採用されているスイッチ切り替え手順です。

ふたつのスイッチを切り替えるとき、片側がオフしてからもう一方につながるというものです。

昭和のころの私がやらかした原因の「その 1」はアナログ・スイッチの切り替え (チョッピング) で Break Before Make 動作を考えずに同時に加えていた点にあったものでしょう。

わざわざ図に示すほどのものではありませんが、図 4 に H アクティブ (スイッチ・オン) としたときの Break Before Make 動作としての、スイッチ制御デジタル入力の波形例を示します。

単純な考え方としては「どちらのスイッチもオフになっている時間がある」ということです。

この問題 (Break Before Make 動作をしていない) はマイコンの GPIO 制御か、簡単な遅延動作をもつロジック回路を組むことで解決できます。

残りの原因「その②」のチャージ・インジェクションは節をあらためて次から説明します。

チャージ・インジェクションの振る舞いを MOS FET の構造からスタートして理解する

チャージ・インジェクションは「電荷注入」として日本語で表現できるでしょう。これは、アナログ・スイッチをオン・オフすると、各端子の内部寄生容量に充電された電荷が、各端子から電流として流れ出す・流れ込むというごきです。

これによりスイッチをオン・オフしたときの制御端子の過渡的なレベル変動が生じます。

MOS FET の寄生容量

MOS FET には図 5 のように各部に寄生容量が存在しています。この図は LTC1693 という N-CH MOS FET ゲート・ドライバという製品のデータシートから抜粋したものです。右側が今回の技

術ノートの話題に相当する MOS FET ですが、入力となるゲート端子からドレインに対してゲート・ドレイン間容量 C_{GD} と、同じくソースに対してゲート・ソース間容量 C_{GS} が記載されています。このように MOS FET には寄生容量が存在しています。

基本構造が Metal Oxide Silicon (MOS) という絶縁構造なので、電極間に絶縁物が入るため、どうしても寄生容量が生じてしまいます。

なおこの図 5 はゲート・ドライバ IC のデータシートなので記述がありませんが、実際にはドレイン・ソース間の容量 C_{DS} も存在します。

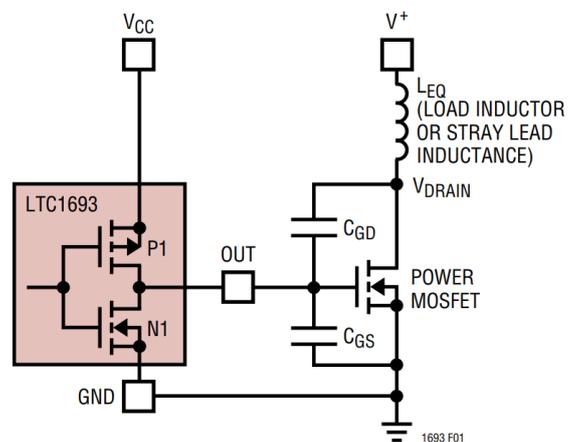


図 5. MOS FET には各部に寄生容量が存在している (実際はさらにドレイン・ソース間に C_{DS} がある)

アナログ電子回路技術ノート

TNJ-094

アナログ・スイッチも IC (集積回路) として成り立ってはいませんが、中身は半導体。MOS FET と同じ構造で出来ています (それも図 2 のようにスイッチ部分は P-CH と N-CH がペアとなった MOS FET)。つまり IC 内部にもこれらの寄生容量 (ここでは C_{GD} や C_{GS}) が存在しており、そこに蓄積した電荷が充放電することでチャージ・インジェクションが生じることになるわけです。

チャージ・インジェクションの基本的発生メカニズム

以降ではまずチャージ・インジェクションの基本的な発生メカニズムを、またさらに以降であらためて本質的／本格的なチャージ・インジェクションの発生メカニズム (P-CH と N-CH MOSFET の寄生容量のアンバランス) を示していきます。

さて、図 6 はチャージ・インジェクションが発生するようすを単純化して LTspice のシミュレーション回路としたものです。なお使用した数値は N-CH MOS FET 2SK106 (小型。高速スイッチング、アナログ・スイッチ、インタフェース用途と説明があります) のデータシート[2]の値から計算したものです。ドレイン・ソース間容量 C_{DS} もモデル化されています。

図 7 にシミュレーション結果を示します。図示してあるスイッチ制御端子 SW の電圧変化がそれぞれの容量を通して、出力 (上側の Signal という波形) に影響していることがわかります。

このようにチャージ・インジェクションは制御電圧の変化が容量を通して出力に現れるというものです。なおここでは N-CH MOS FET のみでシミュレーションしましたが、実際には図 2 のように P-CH MOS FET やそのゲートを駆動するドライバ回路、そしてそれぞれの寄生容量が存在することになり、チャージしている「電荷量」の算定はより複雑です。

さらに本質的／本格的には

実際の CMOS アナログ・スイッチで発生しているチャージ・インジェクションの本質的／本格的なしくみはもう少し複雑です。

図 8 は[3]から抜粋した図 2 のスイッチ部の寄生容量について説明した図です。

図 2 の N-CH, P-CH MOS FET は、安定なスイッチとして動作するために等しいオン抵抗になる必要があります。しかし一般的に P-CH MOS FET の方がオン抵抗が高くなりがちです。等しいオン抵抗を実現するためには、ゲートの面積を増加、つまり MOS FET の寄生容量を増加させる必要があります。[3]によると同じオン抵抗を実現するには P-CH : N-CH = 2:1 程度が必要です。

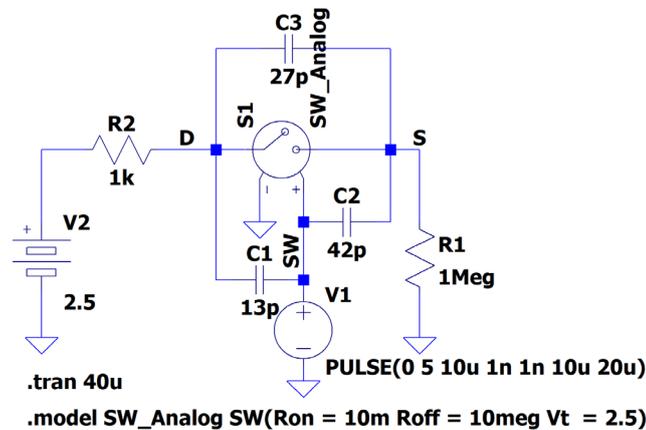


図 6. チャージ・インジェクションが発生するようすを単純化した LTspice シミュレーション回路

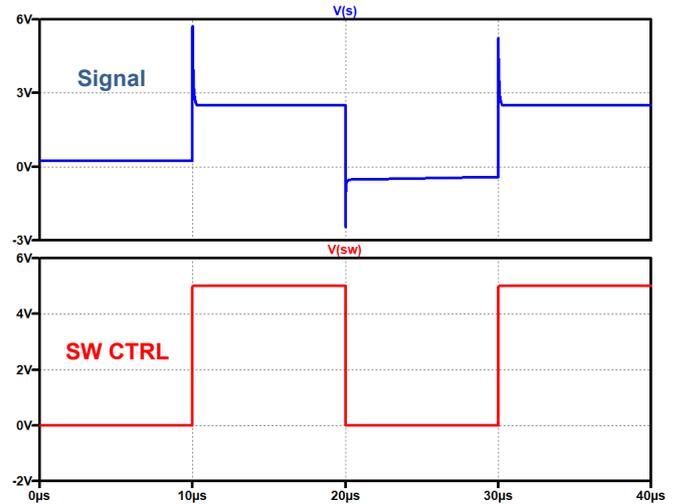


図 7. 図 6 のシミュレーション結果

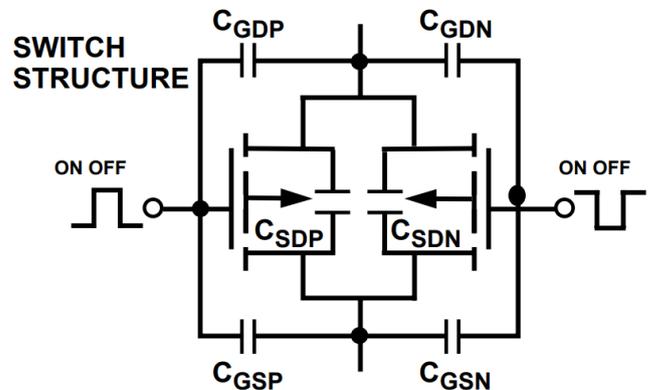


図 8. 本質的なチャージ・インジェクションのしくみを N-CH, P-CH MOS FET を組み合わせたスイッチ等価回路から考える

DYNAMIC CHARACTERISTICS ²			
t_{ON}	175	ns typ	$R_L = 300 \Omega, C_L = 35 \text{ pF}; V_S = 8 \text{ V}; \text{Figure 17}$
	250	ns max	$R_L = 300 \Omega, C_L = 35 \text{ pF}; V_S = 8 \text{ V}; \text{Figure 17}$
t_{OFF}	95	ns typ	$R_L = 300 \Omega, C_L = 35 \text{ pF}; V_S = 8 \text{ V}; \text{Figure 17}$
	125	ns max	$R_L = 300 \Omega, C_L = 35 \text{ pF}; V_{S1} = V_{S2} = +10 \text{ V}; \text{Figure 18}$
Break-Before-Make Time Delay, t_D (ADG413 Only)	25	ns typ	$V_S = 0 \text{ V}, R_S = 0 \Omega, C_L = 10 \text{ nF}; \text{Figure 19}$
Charge Injection	25	pC typ	

図 9. ADG411 のチャージ・インジェクション (データシートから抜粋。電源 12V 単電源)

その結果、図 8 の N-CH と P-CH の MOS FET の寄生容量にアンバランスが発生します

それぞれの MOSFET を駆動するゲート電圧 (論理) は逆極性です。たとえば、もし C_{GSP} と C_{GSN} の寄生容量がバランスしていれば、それぞれからソース端子 (図の下側の端子) に流れ出る過渡電流量は同じでキャンセルされます。しかし C_{GSP} と C_{GSN} の寄生容量がアンバランスであれば、その差分がチャージ・インジェクションとして端子に現れてくることになります。

チャージ・インジェクションの「チャージ」= 充電電荷

上記のように寄生容量と MOS FET のゲートのスイッチングの影響がチャージ・インジェクションの主な原因なわけですが、これは ADG411 という製品で、データシートには図 9 のように記載されています。これは ADG411 という製品で、typ で 25pC に

アナログ電子回路技術ノート

TNJ-094

なっています（単電源 12V、25°Cにおいて）。一応ご紹介しておきますと、

ADG411 SPSTスイッチ、クワッド、LC2MOS、高精度

<https://www.analog.com/jp/adg411>

【概要】

ADG411は、個別に選択可能な4つのスイッチで構成されるモノリシック CMOS デバイスです。高度な LC²MOS プロセスに基づく設計により、低消費電力でありながら、高速のスイッチング速度と低オン抵抗を実現します。

（中略）

設計上、低チャージ・インジェクションになっているため、デジタル入力のスイッチング時のトランジェントがごわずかになります。

太字でアング・ラインを引きましたが、この製品はチャージ・インジェクションが低いことを特徴として謳って（うたって）います。±15V 電源で動作させるとチャージ・インジェクションは 5pC と、非常に低くなる製品です。

チャージ・インジェクション量とその振る舞いを実際に実験してみる

ADG411を例としたような（図9）チャージ・インジェクションの数字は、最初にご紹介した 4066/HC4066 のデータシートには記載が無いようです。「いやー！記載が無かったから、当時は問題（波形の汚れや段付き）の原因が分からなかったんですよー！」なんて、犬の遠吠えならぬ、サル（聡 = サール）の遠吠えもできますが、今となっては単なる言い訳です（笑）。結局原因が分からなかったわけですから。

CMOS IC 4066 でチャージ・インジェクション量を測定してみる

それでは昭和の当時、たぶん使っていたと思われる、CMOS IC 4066 でチャージ・インジェクションの発生するようすを実験してみましょう。アナログ・デバイゼズの製品（IC）ではないので、秋葉原で買ってきました（笑）。

図10はADG411のデータシートに掲載されているチャージ・インジェクション測定回路です。これを応用（変更）し、4066のチャージ・インジェクションを測定してみます。充電用のコンデンサ C_L は 47pF にしてみました。容量を大きくしすぎると電圧変化が少ないためです。4066のI/Oの寄生容量が 10pF あるようで、また使用したパッシブ・プローブ P6139A は入力容量 8pF とスペックに示されていますので、全体を合計した容量は 65pF と計算できます。

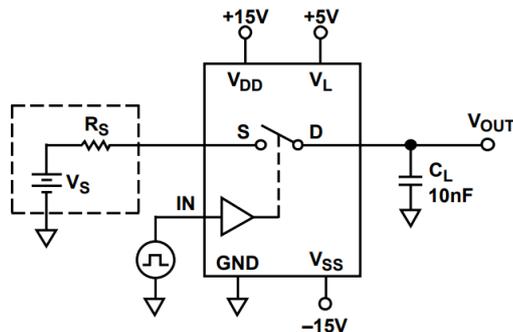


図10. CMOS 4066 のチャージ・インジェクションを測定してみる回路（ADG411 データシート記載回路を変形して実験した）

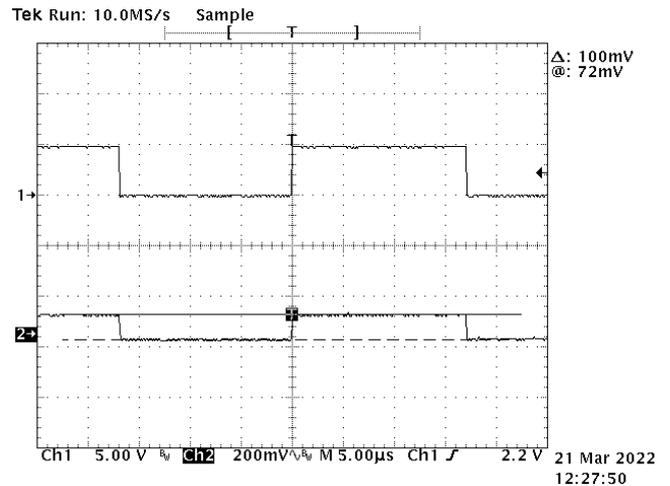


図11. 図10の回路で CMOS 4066 のチャージ・インジェクションを測定してみた（4.7pC となった。意外と小さい）

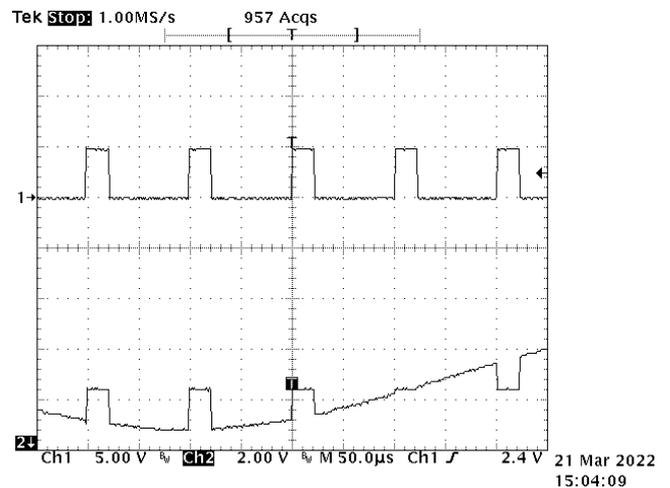


図12. 図1の回路で駆け出しのころに見た 4066 のチャージ・インジェクションによる波形の乱れを測定してみた…が

図11に実際に測定してみた結果を示します。72mVの変動になっています。この電圧変動からチャージ・インジェクションは

$$Q_{INJ} = C_L \Delta V_{OUT} \quad (1)$$

として計算できます。実験結果から $Q_{INJ} = 4.7\text{pC}$ です。ADG411の 25pC からすると、なんと！意外と小さい大きさですね！

CMOS IC 4066 で若いころに見た波形の乱れを実験してみる

それではいちばん最初に示した昭和から見る「明治」だという、今から見る「昭和」のころ、社会人駆け出しの私が経験した、「なんだか波形が汚れているなあ、変な段付きが見えるぞ」という波形を再現してみたいと思います。しかしなかなか思い通りの実験結果が得られませんでした。

図12は図10の回路を図1の回路ブロックとして応用し、昭和のころの波形が得られるだろうと測定してみた結果です（電源電圧は 12V）。入力は 1kHz の正弦波（信号源インピーダンス 600Ω）で、それを 10kHz で 2.5V DC のあいだをオン・オフさせています。チャージ・インジェクションにより波形が大きくスパイク的に変化して……いけません…。これまでの説明のようにチャージ・インジェクション自体が小さい IC のようで、残念ながら波形がキレイに切り替わっているだけです（汗）。

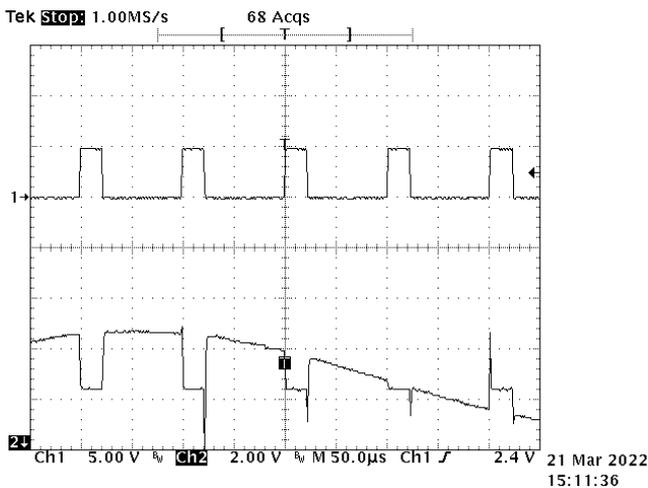


図 13. エセ・チャージ・インジェクションを作ってみた（アナログ・スイッチは 4066 使用）

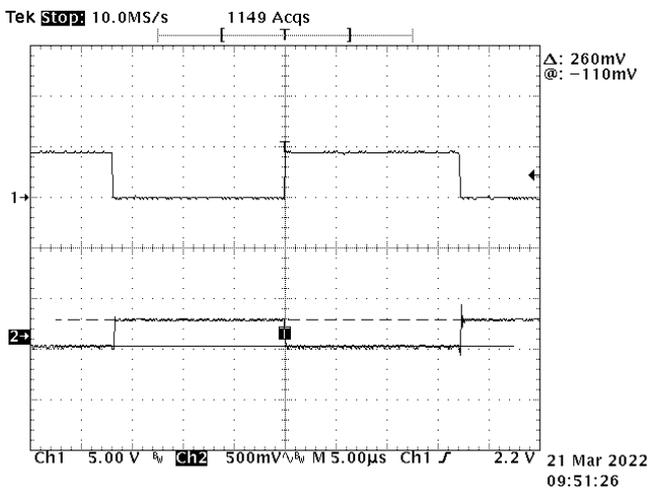


図 14. 図 12 の回路の IC を ADG411 に変更して測定してみた結果

そこで仕方なく、図 8 の寄生容量に相当するコンデンサを外付けすることで、無理やり「これだ…。これだよ、あのとに見た波形は…」というエセ・チャージ・インジェクションを再現させることができました。

なぜ「低チャージ・インジェクション」といわれる ADG411 のチャージ・インジェクションが 4066 より大きいのか

図 14 は図 10 の回路を単電源 12V として、ADG411 のチャージ・インジェクションを測定する回路です。260mV の変動になっています。この電圧変動からチャージ・インジェクションは $Q_{INJ} = 16.9\text{pC}$ と計算できます。

ここまでの展開で、当初の執筆想定ストーリーを裏切り（笑）、「ADG411 より 4066 のほうがチャージ・インジェクションが低い」という答えが出てきました。それでも「なぜ ADG411 が『低チャージ・インジェクション』と謳われるのか？」と考えるのではないのでしょうか。

これは先に示した「低いオン抵抗を実現するためには、ゲートの面積を増大する必要がある」ということと関係しています。

チャージ・インジェクションの元となる、チップ内に形成される寄生容量はゲートの面積に比例します。低いオン抵抗を実現する、つまりゲートの面積が増大すれば、それにより寄生容量が増大します。そしてその増大によりチャージ・インジェクション自体も大きくなるわけです。ADG411 より 4066 のほうがチャージ・インジェクションが低いということは、ゲート面積が狭い、つまりオン抵抗が高いという結論が得られます。ちなみに[4]によると、4066 のオン抵抗は 10V 単電源時で 110Ω (typ) で、ADG411 は $\pm 8.5\text{V}$ 電源時で 25Ω (typ) になっています。

チャージ・インジェクションの影響を低減するには

チャージ・インジェクションの影響を低減するには、基本は当然ながらチャージ・インジェクション量の小さいアナログ・スイッチを用いることです。

ここではそれ以外の技について説明いたします。

図 15 は[3]に記載のある、コンデンサを並列に外付けしてチャージ・インジェクションによる電荷をこの外付けコンデンサに蓄え、電圧変動を低減させる方法です。式[1]を変形し

$$\Delta V_{OUT} = \frac{Q_{INJ}}{C_L} \quad (2)$$

としてみると、チャージ・インジェクション Q_{INJ} による電圧変化 ΔV_{OUT} は外付けコンデンサ C_L に反比例しています。外付けコンデンサを大きくすれば、電圧変化 ΔV_{OUT} を低くすることができるわけです。

前段のドライバ OP アンプは容量性負荷による不安定化（発振）に注意する

図 15 から気がつくことは、アナログ・スイッチの出力側に接続したチャージ・インジェクションによる影響を低減する容量は、前段のドライバ・アンプからすれば容量性負荷になってしまうことです。

この WEB ラボの記事や、他のいろいろな記事でも説明されていますが、OP アンプは容量性負荷が接続されると動作が不安定になります。出力波形が暴れたり、周波数特性にピーキングが出現したり、最悪異常発振してしまいます。

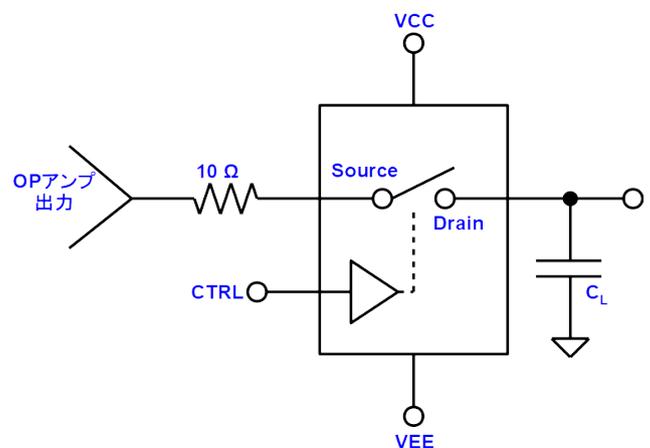


図 15. コンデンサを並列に外付けしてチャージ・インジェクションによる電圧変動を低減させる（ドライバ OP アンプの安定性増大のため、直列に 10Ω の抵抗を接続している）

この点には注意すべきです。詳細はそれらの記事を参照していただきたいと思いますが、一番単純なのは、図 15 にも示したように OP アンプ出力に 10Ω 程度の抵抗を挿入するだけで、この不安定性を大きく改善できます。なおこの抵抗を挿入することで、余計な時定数が発生しますので (10Ω 程度だと問題はないと思いますが)、ここは注意してください。

一方で、AD コンバータで複数チャネルを連続して切り替える場合、マルチプレクサ (n 対 1 のアナログ・スイッチ) を使用します。このマルチプレクサの出力側に容量を並列接続すると、それにより切り替え時の時定数が長くなり、高速に切り替えするときに LSB/2 (LSB は Least Significant Bit、つまり最小分解能) までマルチプレクサの出力側、つまり AD コンバータの入力を充放電することができません。マルチプレクサの入力側であるドライバ・アンプなど、チャージ・インジェクションの効果も含めて問題ないように、回路構成に十分注意する必要があります。

まとめ

知識もなく、ただただがむしゃらだった「昭和」の若いエンジニアだったころに見た、アナログ・スイッチを用いたチョップ波形を思い出し、その原因究明をこの技術ノートに書き留めてみました。書き始めてみると、思いもよらない経過となり、その理由も解説すべき状況になってしまいました。

その理由のところでも説明したように、4066 よりもチャージ・インジェクションの大きい ADG411 のほうが「低チャージ・インジェクション」と謳われているのは、オン抵抗が低いことが理由といえます。

次回は「ラッチアップ」について説明しますが、CMOS アナログ・スイッチは奥深いです。

参考文献

- [1] TUTORIAL MT-088, [Analog Switches and Multiplexers Basics](#), Analog Devices
- [2] シリコン N チャネル MOS 形電界効果トランジスタ 2SK1062 データシート, 東芝
- [3] Mary McCarthy, Anthony Collins; Ask The Applications Engineer—26: Switches and Multiplexers, Analog Dialogue, VOL 31, NO 3, JUL 1997, Analog Devices, <https://www.analog.com/media/en/analog-dialogue/volume-31/number-3/articles/volume31-number3.pdf#page=20>
- [4] TC4066BP, TC4066BF, TC4066BFT Quad Bilateral Switch データシート, 東芝