

ADC の NF とフロントエンド込みの最適化（前編）

ADC で実現可能な有効ビット分解能を計算してみる

著者：石井 聡

はじめに

以降の 2 冊の技術ノートでは、アナログ入力段（アナログ・フロントエンド）こみで ADC（Analog to Digital Converter）でのノイズ特性最適化をどうするかについて、NF（Noise Factor/Noise Figure）を指標として考察してみます。

なおこの技術ノートでは「前段の増幅回路（フロントエンド）と ADC とのシステム」を「系」と表現します。

白状いたしますと（汗）【その 1】

かなり前の話ですが、アナログ・フロントエンド（信号源の電圧・電流を増幅したりフィルタしたりする、系の前段の信号処理回路）から ADC 入力に現れるノイズ電圧実効値レベルの求め方について、とあるセミナーでお話したことがありました。

それはこの技術ノートでも説明するような方法、つまり SPICE シミュレーションを用いて、1Hz あたりの出力ノイズ電圧密度スペクトルを得て、それを電力密度にして周波数領域で積分することで、アナログ・フロントエンド出力のノイズ電圧実効値レベルを求められます、というお話しでした。そして（以降でも示す話ですが）ADC 自体の入力換算ノイズ・レベルはデータシートに記載されていますので、それらにより「相互の比較ができます」という結論をお話ししました。

しかしそのときに「求め方は分かった。それではどうすれば最適状態を実現できるか」というご質問をいただいたのです。「そういえば何かの書籍に書いてあったな」とそのときは思ったものの、適切な応答ができませんでした。

その後もことあるごとに、これをどう考えれば良いのか、また「どの書籍に書いてあったのかなあ」と長く彷徨っていました。とあるときに、ふと「そうだ」と思い立ち式を立ててみて、「あー、なるほど…」と納得し、この技術ノートを書けるまでに至ったのでした。ということで「白状いたしますと、最初は分かっていませんでした」（汗）。

白状いたしますと（汗）【その 2】

上記で「何かの書籍に…」と示したように、手持ちの蔵書のどこかに書いてあった記憶はあったのですが、これも白状すると（すでにしていますね…汗）なかなか当該箇所を見つけることができませんでした。この技術ノートを執筆するなかで、想定される書籍をあらためて数冊ひっくり返しながら探してみると、図 1 の書籍 [1] に記載があることが分かりました！

なんとご丁寧にそのページには、誰だか知りませんが…付箋を張ってあります（笑）。当時も印象が強かったのでしょう。しかし改めて見てみると、この技術ノート・シリーズにおける NF に関する検討からすると、「ちょっと導出がおかしそうだな」と感じさせるものでした。付箋を張ったときは、式の背景を見出すことができず、衝撃的な（？）印象を受けたのですが、背景を解釈できると、印象も変わってくるものです…。

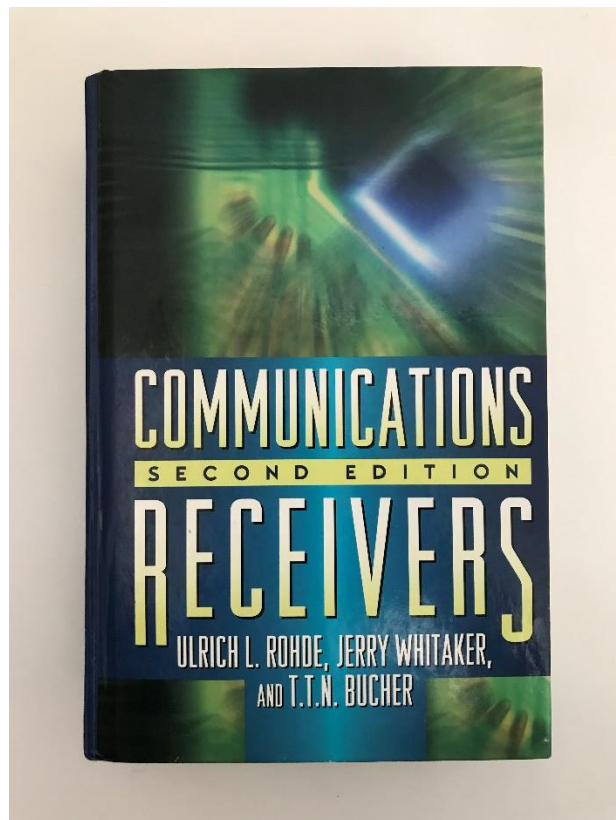


図 1. ADC の NF に関する式が説明されていた蔵書。RF の神様、U.L. Rohde 氏の執筆 [1]（674 頁もある！）

これまでの 2 冊の技術ノートでは

これまでも 2 冊の技術ノートで NF について考えてきました。ここでは RF システムなどが例となる『50 Ω で整合終端された系』の NF 計算、つぎに OP アンプ増幅回路などが例となる『整合終端ではない系』の NF 計算、さらに『カスケード接続した 50 Ω で整合終端された系全体』の NF 計算、つづいて『カスケード接続した整合終端ではない系全体』の NF 計算を見てきました。

『50 Ω で整合終端された系』では、カスケード接続してもしなくても、各段の信号源側（前段の出力）インピーダンスは 50 Ω になっていました。そのためそれぞれの信号源抵抗のサマール・ノイズは 50 Ω で決定することになります。

『整合終端ではない系』においては、各段での NF の定義があいまいであるため、各段で付加されるノイズを「自乗和平方根」Root Sum Square（RSS）の計算で積み上げていけば答えが出ることが分かりました。

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2021 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイス株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

アナログ電子回路技術ノート

TNJ-077

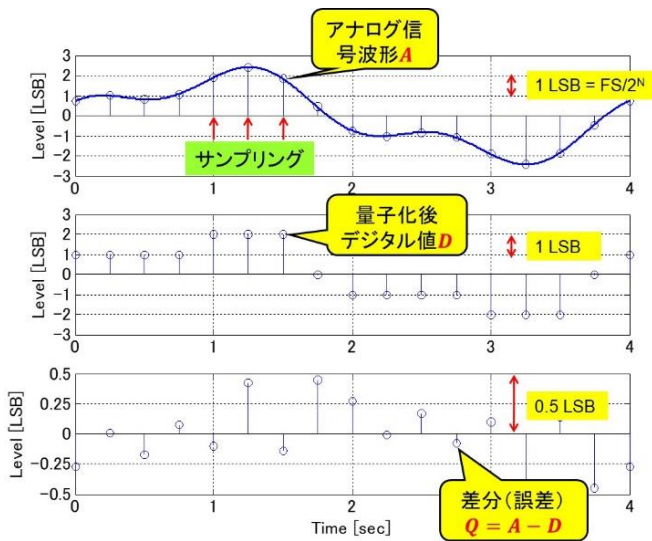


図 2. アナログ連続信号がデジタル離散信号にサンプリングされ、その差分（誤差）が量子化ノイズになる

この考え方が理解できることで、これ以降の 2 冊の技術ノートで説明する、アナログ・フロントエンドと、その後段に接続された AD コンバータとによる、ミックスド・シグナル・システム（系）での NF の計算方法が理解できます。

この前編の技術ノートではそのウォーミング・アップとして、ADC の量子化ノイズの考え方、そして有効ビット分解能 ENOB を探究してみましょう。

なお、今回と次回は、2020 年 10 月 14 日と 15 日に開催された「2020 年アナログ技術セミナー」でご説明した内容とかなりかぶりますので、ご参加された方は復習のつもりで読んでいただければ幸いです。

量子化ノイズとはどんなもの

まず AD 変換における量子化ノイズとはどのようなものか考えてみましょう。

図 2 の一番上は、アナログ信号とそれをサンプリングする動作を示しています。アナログ信号波形 A は連続信号です。横軸は時間、縦軸は電圧です。縦軸の 1 デビジョンは 1 LSB、つまりフルスケール電圧 FS を、ビット数 N の 2^N で割ったものになります。LSB とは Least Significant Bit を略したもので、そのままでは「最下位ビット」と表現されるものですが、AD 変換においては「最小分解能」、つまり信号を検出する最小ステップ変化を意味します。

赤の矢印で示したタイミングでサンプリング動作が行われます。このアナログ信号波形 A がデジタル値 D にサンプリングされると、図 2 の中央の図のように時間と振幅が離散化します。時間はサンプリング周期で離散化し、振幅も ADC の分解能である 1 LSB ステップで離散化し、デジタル値 D になります。

縦軸の振幅のみに着目すれば、もともと振幅が連続で変化していたものが、1 LSB を最小とするステップの電圧値に収まる、逆にいうとずれが生じることになります。

つづいて図 2 の一番下をご覧ください。この縦軸は下限が -0.5 LSB、上限が $+0.5$ LSB になっています。デジタル値 D はさきほどお話したように、真値 A から 1 LSB を最小とするステップの電圧値にずれることになります。それにより、実際のアナログ信号の大きさ A と離散化されたデジタル値 D の差分、

$$Q = A - D \quad (1)$$

これが真値である A に対しての量子化ノイズ Q になります。

本来のアナログ信号の大きさ A が、異なる大きさである離散化されたデジタル値 D に変換されるわけですから、その「ずれ」の差分が誤差量 Q であり、誤差イコール「量子化ノイズ Q」と考えることができます。Q は真値である A に対しての誤差ですから、 ± 0.5 LSB の範囲になります。

量子化ノイズにより得られる SNR を計算する

つづいて SNR (Signal to Noise Ratio; SN 比) を求めるため、量子化ノイズ Q の電圧実効値レベルと、ADC フルスケールをフル・スイングとする信号の電圧実効値レベルを計算してみましょう。

量子化ノイズ電圧実効値を求める

図 3 は量子化ノイズ電圧実効値 V_{NQ} を求める考え方です。実効値は Root Mean Square; RMS と呼ばれます。図 2 で量子化ノイズ Q を示しました。これは ± 0.5 LSB の範囲ですが、そこで生じる分布は平均的になっています。これを「一様分布」といいます。同図の横軸のスペンはサンプリング周期 T_s です。

この図は量子化ノイズ Q の分布を表した、ヒストグラムの電圧分布と考えてください。縦軸は AD 変換による誤差量 Q を示しています。誤差 Q がサンプルごとで $-LSB/2$ から $+LSB/2$ の間で一様に発生しているイメージです。ここでは $-LSB/2$ から $+LSB/2$ の間の電圧スパン、つまり ADC の 1 ステップを V_{LSB} としています。

この誤差 Q を

$$Q(t) = \frac{V_{LSB}}{T_s} \cdot t \quad (2)$$

ただし

$$t \leq \pm \frac{T_s}{2}$$

と表し、Root Sum Square; RSS の考え方で、まず $-T_s/2$ から $+T_s/2$ まで積分し

$$V_{NQ}^2 = \frac{1}{T_s} \int_{-T_s/2}^{+T_s/2} Q^2(t) dt = \frac{V_{LSB}^2}{12} \quad (3)$$

この平方根をとると

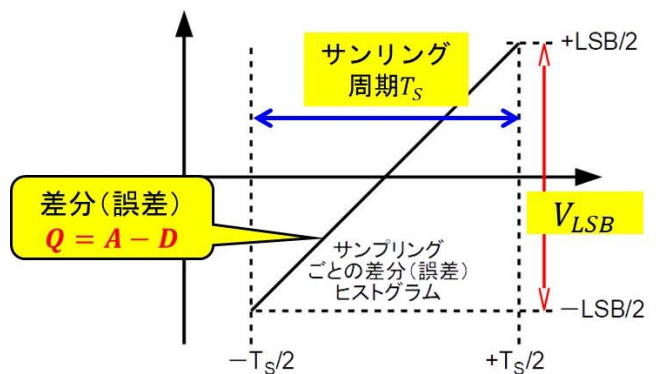


図 3. 量子化ノイズは差分（誤差）振幅として $-LSB/2$ から $+LSB/2$ に一様に広がり、差分をヒストグラムの表すと傾斜した直線になる

アナログ電子回路技術ノート

TNJ-077

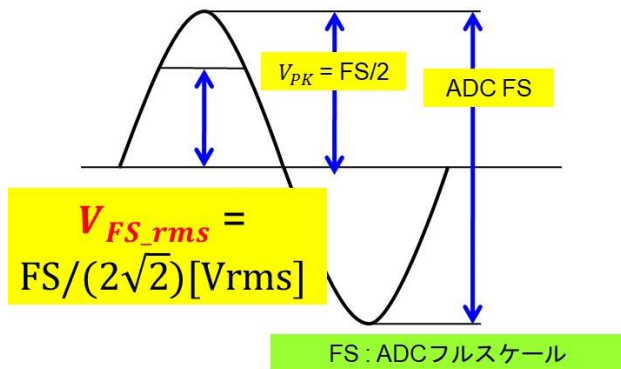


図4. ADCのフルスケール電圧とそれをピーク・ツー・ピーク電圧とする正弦波波形とその実効値 V_{FS_rms}

$$V_{NQ} = \frac{V_{LSB}}{\sqrt{12}} \quad (4)$$

これが量子化ノイズ電圧実効値 V_{NQ} になります。1ビット最小分解能、1LSB ($= V_{LSB}$) に対して $1/\sqrt{12}$ となるわけです。

入力正弦波波形の電圧実効値を求める

図4はADCフルスケール電圧をピーク・ツー・ピークとする、正弦波波形の実効値 V_{FS_rms} を求める考え方です。ADCの入力電圧スパンをADCフルスケール FS とします。たとえば電源電圧が3.3Vで単電源であれば、ADC入力は下限が0Vで上限が3.3Vで、それによりADCフルスケール $FS = 3.3V$ となります。

ここにADCのフルスケール電圧と等しい正弦波のフル・スイングが加わったとします。なおフルスケール電圧幅を FS と表記していきます。

ピーク電圧は $V_{PK} = FS/2$ 、実効値はさらにこの $1/\sqrt{2}$ となり、これによりADCフルスケール電圧でフル・スイングする正弦波の実効値電圧 V_{FS_rms} が

$$V_{FS_rms} = \frac{FS}{2\sqrt{2}} \quad (5)$$

と得られます。

量子化ノイズにより得られるSNRを求める

さきほどの計算をもとに、量子化ノイズから求められるADCの理論的SNRを計算してみます。ポイントは、前回、前々回の技術ノートで示してきたように、SNRは電圧の自乗値、電力相当比で考えることです。自乗することで 1Ω を仮の抵抗値とした電力値に相当します。電圧の比ではありませんので注意してください。

まずSNRの基本的な式は

$$SN = \frac{P_{SIG}}{P_{NOISE}} \quad (6)$$

ここで P_{NOISE} は量子化ノイズ電力、 P_{SIG} はフルスケール信号電力です。これはdBでないSNRの真値です。

ここで量子化ノイズの影響による理論的SNR SN_Q を計算してみましょう。さきの二つの実効値を式(6)に代入してみます。

$$SN_Q = \frac{V_{FS_rms}^2}{V_{NQ}^2} = \frac{\left(\frac{FS}{2\sqrt{2}}\right)^2}{\frac{V_{LSB}^2}{12}} = \frac{FS^2}{V_{LSB}^2} \cdot \frac{12}{8} \quad (7)$$

分母は P_{NOISE} に相当する量子化ノイズ電圧実効値 V_{NQ} の自乗値、分子は P_{SIG} に相当するADCフルスケール電圧の実効値 V_{FS_rms} の自乗値です。 V_{LSB} は N をADCのビット数として

$$V_{LSB} = \frac{FS}{2^N} \quad (8)$$

これから上記の式(7)は

$$SN_Q = \frac{FS^2}{V_{LSB}^2} \cdot \frac{12}{8} = 2^{2N} \cdot \frac{12}{8} \quad (9)$$

なお、ここで得られた理論的SNR SN_Q は、入力信号のピーク・ツー・ピークがADCフルスケール電圧になるという条件でのSNRなので注意してください。信号レベルが低下すれば実質のSNRは低下することになるわけです。

つづいてこれをdBに変換します。dBにしたものを SNR_{Q_dB} とします。電力比なので $10\log$ となり、

$$SNR_{Q_dB} = 10\log_{10} sn_Q \quad (10)$$

さきほど得た SN_Q をここに代入します。

$$\begin{aligned} SNR_{Q_dB} &= 10\log_{10} \left(2^{2N} \cdot \frac{12}{8} \right) \\ &= 10\log_{10}(2^{2N}) + 10\log_{10} \left(\frac{12}{8} \right) \\ &= 20N\log_{10} 2 + 10\log_{10} \left(\frac{12}{8} \right) \\ &= N \times 6.02 + 1.76 \end{aligned} \quad (11)$$

これが量子化ノイズから得られる理論的SNRをdBで表したのになります。

実例のADCのSNRとノイズ量を計算してみる

実例を示してみしましょう。ここでは12ビットADC AD7276を取り上げてみます。まずAD7276をご紹介します。この製品はTSOT8ピン・パッケージで超小型なADCなのです。

AD7276 12ビットA/Dコンバータ、3MSPS、8ピンMSOP、6ピンTSOTパッケージ

<https://www.analog.com/jp/ad7276>

【概要】

AD7276は12ビット、高速、低消費電力の逐次比較型ADCです。2.35~3.6Vの電圧範囲の単電源で動作し、最大3MSPSのスループット・レートを実現します。AD7276には、55MHzを超える入力周波数を処理できる低ノイズ、広帯域幅のトラック／ホールド・アンプが内蔵されています。(後略)

さてAD7276のデータシートに掲載されているSNRスペック SNR_{SPEC} は70dBです。

ADCでノイズが付加されるようすは、図5のように、ADC入力段で生じるノイズと、これまで考えてきた量子化ノイズ Q 、これらがそれぞれ入力信号に足し算されるイメージとして表すことができます。これを理論的には「加法的; Additive」と表現します。ADCでは量子化ノイズ Q だけではなく、このように入力段で足し算されるかたちでモデル化されるノイズが、別にもあると理解しておいてください(これはリファレンス電圧のノイズも含まれます)。

まずさきに式(11)として導出した理論的SNR SN_{Q_dB} を求めてみましょう。さきの式(11)の N に12を代入し、計算してみると

アナログ電子回路技術ノート

TNJ-077

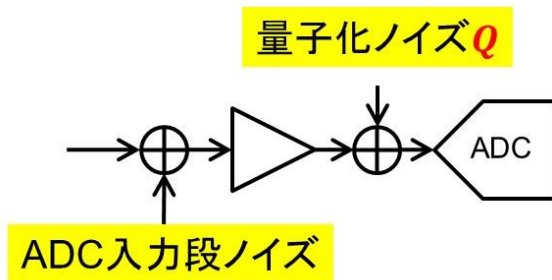


図5. ADCには量子化ノイズと別に入力段（入力換算）ノイズがあり、それらがRSSで足し算されAD変換される

$$SNR_{Q,dB} = 12 \times 6.02 + 1.76 = 74dB$$

となります。これはデータシートに記載されている SNR スペック $SNR_{SPEC} = 70dB$ より 4dB 良好な数値です。つまり量子化ノイズ以外の要因、入力段で生じるノイズの影響度が大きいということです。

AD7276 の実際のノイズ・レベルを求める

つづいて AD7276 での実際のノイズ実効値レベルを計算してみましょう。この計算は SNR スペック $SNR_{SPEC} = 70dB$ に対して考えるものです。ADC 入力段のノイズ $V_{N,Input}$ と量子化ノイズ電圧実効値 V_{NQ} が合わさった、ADC の全入力換算ノイズ電圧実効値 $V_{N,adc}$ のレベル

$$V_{N,adc}^2 = V_{N,Input}^2 + V_{NQ}^2 \quad (12)$$

を求めるものです。

電源電圧 VDD を 3.5V と仮定して考えます。このとき AD7276 ではフルスケール電圧 FS も 3.5V になります。この電圧がフル・スイング入力信号正弦波のピーク・ツー・ピーク電圧に相当します。

ADC のフルスケール電圧 FS がピーク・ツー・ピーク電圧となる正弦波の実効値 $V_{FS,rms}$ は、

$$V_{FS,rms} = \frac{FS}{2\sqrt{2}} = \frac{3.3}{2\sqrt{2}} = 1.24V$$

と計算できます。

ここから AD7276 の実際のノイズ・レベルを求めてみましょう。SNR の計算式 [式(7)を修正]

$$SNR_{SPEC} = \frac{V_{FS,rms}^2}{V_{N,adc}^2} \quad (13)$$

を用います。SNR スペック $SNR_{SPEC} = 70dB$ なので、AD7276 の全入力換算ノイズ・レベルの実効値 $V_{N,adc}$ はフルスケール電圧の実効値 $V_{FS,rms} = 1.24V$ から -70 dB となり、式(13)を変形し

$$V_{N,adc} = \frac{V_{FS,rms}}{10^{70/20}} = \frac{1.24}{3162.3} = 392\mu V_{rms}$$

と計算できます。すなわち AD7276 では、ADC 入力段のノイズと量子化ノイズが合算したものととして、入力換算 $V_{N,adc}$ で 392 μV_{rms} が発生していると計算することができます。

系全体として考える ADC における有効な分解能

ここで「アナログ・フロントエンドも含めた系の SNR に対して、適切な、有効な ADC 分解能は」という課題を考えてみましょう。

信号源抵抗 R_S をもつ信号源からの電圧を、アナログ・フロントエンドで増幅、信号処理して ADC に加える、図6のような回路(系)を考えます。アナログ・フロントエンドの意味は最初に示

しましたが、ここではとくに信号源を取り込む入力部分から ADC までのアナログ回路を指しています。

アナログ・フロントエンドから ADC に加わるノイズを $V_{N,afe}$ とします。ADC で付加される、量子化ノイズも含んだ全入力換算ノイズを「先に式(12)で示したように」 $V_{N,adc}$ とします。この $V_{N,afe}$ と $V_{N,adc}$ の合算のノイズが ADC に加わったとき、検出できる、信号本来の最小電圧は？という計算をしてみましょう。

これはつまるところ、この ADC での分解能は何ビットまでが有効かということに相当します。

アナログ・フロントエンドの全ノイズ電圧実効値を得る

アナログ・フロントエンドから ADC に加わる全ノイズ電圧実効値 $V_{N,afe}$ は簡単に算出できます。

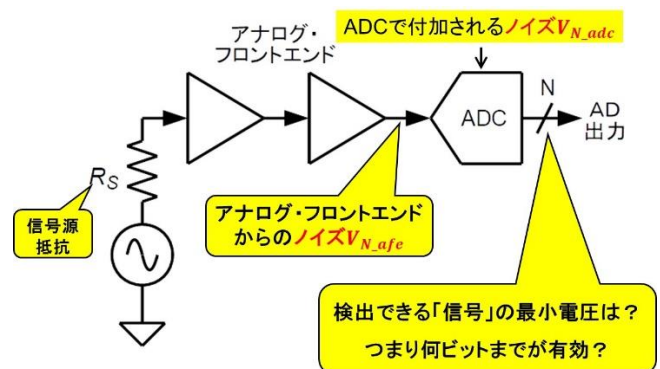


図6. アナログ・フロントエンドで増幅、信号処理され ADC に加わる「系」

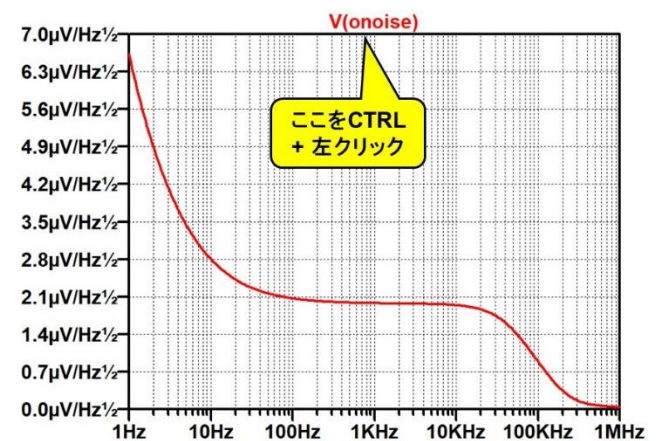


図7. LTspice で求めた 1Hz あたりの出力ノイズ電圧密度スペクトル

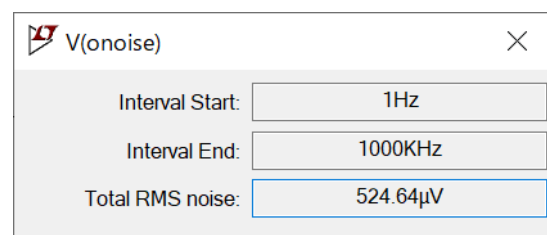


図8. CTRL + 左クリックでノイズ電圧実効値、つまりトータルのノイズが得られる

アナログ電子回路技術ノート

TNJ-077

まずシミュレーションにおいて LTspice を用いることで、1Hz あたりの出力ノイズ電圧密度スペクトルを、図 7 のように計算することができます。（繰り返しますが）ここで得られたこのようなシミュレーション結果は、1Hz あたりの電圧「密度」になりますので、注意してください。

先に示した $V_{N_{afe}}$ は全 rms ノイズ量、つまり実効値ですから、このグラフの電圧「密度」を Root Sum Square RSS の考え方で、自乗値つまり電力密度にして、周波数領域で積分します。でも、その計算は難しそう、面倒と感じるのではないのでしょうか。

なお、実機でもアナログ・フロントエンドから ADC に加わる全ノイズ電圧実効値 $V_{N_{afe}}$ は、ノイズ・メータとかスペクトラム・アナライザを使って実測できます。

LTspice でノイズ電圧実効値 $V_{N_{afe}}$ を求めるのは簡単です。図 7 のラベルを CTRL+左クリックでクリックすると、図 8 のようにノイズ電圧実効値 $V_{N_{afe}}$ 、つまりトータル・ノイズを表示できます。この例ではアナログ・フロントエンドのノイズ電圧実効値として $V_{N_{afe}} = 525 \mu \text{Vrms}$ が得られました。

系全体のノイズ電圧実効値を得る

アナログ・フロントエンドと ADC こみこみの、系全体のノイズ電圧実効値 $V_{N_{sys}}$ を求めてみます。これは「ADC 入力換算で考える系全体で生じるノイズの合算値」です。これも

$$V_{N_{sys}} = \sqrt{V_{N_{afe}}^2 + V_{N_{adc}}^2} \quad (14)$$

としてアナログ・フロントエンドのノイズ電圧実効値 $V_{N_{afe}}$ と ADC の全入力換算ノイズ $V_{N_{adc}}$ を Root Sum Square; RSS で計算します（自乗することで 1Ω を仮の抵抗値とした電力の足し算となります）。

ここまでの例では、アナログ・フロントエンドのノイズ電圧実効値 $V_{N_{afe}} = 525 \mu \text{Vrms}$ 、AD7276 の全入力換算ノイズ電圧実効値 $V_{N_{adc}} = 392 \mu \text{Vrms}$ なので、

$$V_{N_{sys}} = \sqrt{(525 \mu \text{Vrms})^2 + (392 \mu \text{Vrms})^2} = 655 \mu \text{Vrms}$$

として系全体のノイズ電圧実効値（ADC 入力換算）を計算できます。

ここまでの計算から系全体のシステム SNR を求める

さきの系全体のノイズ電圧実効値 $V_{N_{sys}}$ と ADC フルスケール電圧の実効値 $V_{FS_{rms}}$ から、系全体のシステム SNR SNR_{sys} を求めることができます。

さらにシステム SNR から「有効ビット分解能」Effective Number Of Bits; ENOB というものを求めることができます。ENOB は AD 変換システムとして何ビットまで有効かという指標で、量子化ノイズ理論的 SNR $SNR_{Q_{dB}}$ の式(11)から導出できます。

$$SNR_{Q_{dB}} = N \times 6.02 + 1.76 \quad (11) \text{再掲}$$

式(11)では分解能 N が与えられていましたが、ここでは N を求める逆算的なイメージです。この式(11)を N について解きます。

$$N = \frac{SNR_{Q_{dB}} - 1.76}{6.02} \quad (15)$$

この式の $SNR_{Q_{dB}}$ をシステム SNR SNR_{sys} に置き換えることで

$$ENOB = \frac{SNR_{sys} - 1.76}{6.02} \quad (16)$$

もともと分解能 N であったものが ENOB として得られます。

システム SNR SNR_{sys} の dB 値は

$$SNR_{sys} = 20 \log_{10} \left(\frac{V_{FS_{rms}}}{V_{N_{sys}}} \right) \quad (17)$$

なお確認のため再度示しておきますが、 $V_{FS_{rms}}$ は ADC フルスケール電圧実効値、 $V_{N_{sys}}$ は系全体のノイズ電圧実効値です。

$SNR_{Q_{dB}}$ を求める際は、式(17)の分母は量子化ノイズ電圧 V_{NQ} でしたが、これを系全体のノイズ電圧実効値 $V_{N_{sys}}$ とすることで、システム SNR SNR_{sys} が得られます。そして計算した数値を式(16)の SNR_{sys} に入れることで、ENOB を求めることができます。

ENOB は系全体のノイズ量での ADC 有効ビット数

ENOB は、系全体のノイズ電圧実効値（ADC 入力換算） $V_{N_{sys}}$ を既知としたとき、ADC で有効となる分解能のビット数を概算する指標になるわけです。これにより系全体で何ビットまで有効かを計算できます。

なお導出手順からわかるように、系全体のノイズ電圧実効値（ADC 入力換算） $V_{N_{sys}}$ が量子化ノイズ電圧 V_{NQ} と同じ大きさになるときの分解能 N を、ENOB として計算していることになります。

AD7276 を用いたアナログ・フロントエンドも含めた系で ENOB を計算してみる

それでは実際に AD7276 とここまで見てきたアナログ・フロントエンドの回路（図 7 にシミュレーション結果を示したもの）とで、どれだけの ENOB が得られるかを計算してみましょう。

先の図 7、図 8 の計算では、AD7276 に加わる系全体のノイズ電圧実効値（ADC 入力換算） $V_{N_{sys}} = 655 \mu \text{Vrms}$ でした。また AD7276 は、電源電圧 3.5 V だと、フルスケール電圧の実効値 $V_{FS_{rms}}$ は 1.24V になります。これにより SNR_{sys} は

$$SNR_{sys} = 20 \log_{10} \left(\frac{V_{FS_{rms}}}{V_{N_{sys}}} \right) = 20 \log_{10} \left(\frac{1.24 \text{Vrms}}{655 \mu \text{Vrms}} \right)$$

システム SNR $SNR_{sys} = 65.5 \text{dB}$ と計算できます。ここから ENOB を計算してみます。

$$ENOB = \frac{SNR_{sys} - 1.76}{6.02} = \frac{65.5 \text{dB} - 1.76}{6.02} = 10.6 \text{ bits}$$

ENOB は 10.6 ビットと得られます。

ここではアナログ・フロントエンド側のノイズが大きいためということもありますが、12 ビット ADC AD7276 を用いたこの AD 変換の系においては、10.6 ビットの有効ビット分解能 ENOB が実現できるということになります。

アナログ・フロントエンドのノイズ量から ADC を選定するためにもこの計算は用いられる

なお、アナログ・フロントエンド回路のノイズ $V_{N_{afe}}$ だけに着目し ENOB を得て、それにより ADC を選定（ADC のビット数を決定）する計算もできます。これも良く利用される計算方法です。

AD 変換（離散値変換）での折り返しを考慮すると

AD 変換では離散値に変換されることによる、折り返しの問題があります。アナログ・フロントエンド側のノイズも図 9 (a) のように折り返されてしまいます。ここまでの議論に関して、この問題をどう取り扱えばよいか考えてみましょう。

一般的な AD 変換におけるサンプリングであれば、よく知られているようにナイキストのサンプリング定理を満足するかたちで、サンプリング周波数 f_s の 1/2 以下の帯域（これを 1st Nyquist Zone と呼びます）を考えます。しかしこれ以上の周波数帯域の信号そしてノイズも、同図のようにサンプリング動作により、この 1st Nyquist Zone に折り返されます（図中では Nyquist を NYQ

アナログ電子回路技術ノート

TNJ-077

と表記しました)。「1st Nyquist Zone に高域の成分が見えてくる」と言ったほうがよいかもしれません。

そうするとここまで説明してきた、とくに図 7 で示したようなノイズ・スペクトルも、折り返しにより 1st Nyquist Zone に現れるはずと気づくと思います。

しかし実際は同図(b)のように、アナログ・フロントエンドでのアンチエイリアシング・フィルタにより、ノイズ自体も 1st Nyquist Zone 内のものが支配的となり、高域のノイズによるノイズ・フロアの上昇は考えなくてもよいケースが多くなります。

それでもハイスピードな ADC などを使用する場合には、注意すべきことでしょう。

なお、1st Nyquist Zone より上の周波数に分布するノイズ、それが 1st Nyquist Zone に折り返された全体量を計算する場合でも、図 8 の計算方法をもちいることで $V_{N,afe}$ を得ることができます。折り返される量も Root Sum Square (RSS) の計算になりますから、結局は同じでよいということなんですね。

この話題は次回も取りあげます。

まとめ

量子化ノイズの電圧実効値は $LSB/\sqrt{12}$ になります。そこから量子化ノイズによる理論的 SNR が計算できます。とはいえ ADC の実際の SNR スペックのほうが劣化している場合もあります。これは入力換算として他のノイズの影響があるからです。

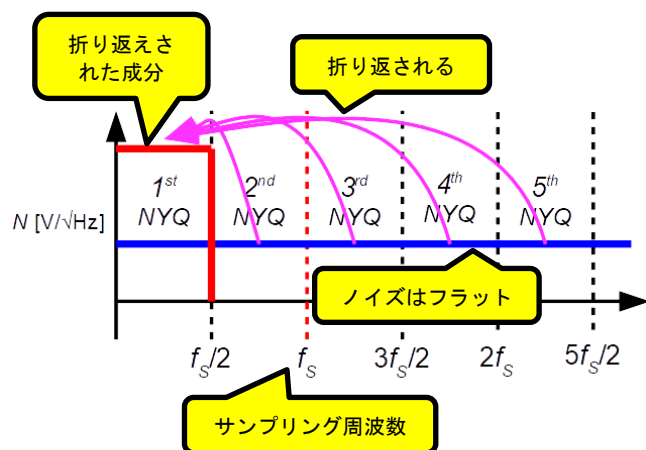
また系全体のノイズ電圧実効値 (ADC 入力換算) を求めることでシステム SNR が計算でき、システム SNR から「有効ビット分解能」ENOB を求めることができます。それにより AD 変換の系として有効となるビット数が得られます。これにより何ビットの ADC が系において適切に把握できるようになります。

次回は

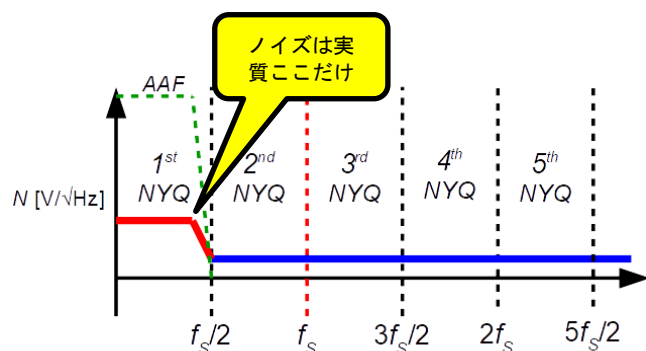
今回はいいよ、アナログ・フロントエンドと、その後段に AD コンバータが接続された、ミックスド・シグナル・システム (系) での NF の計算方法を考え、ADC の分解能をどう考慮すればよいか、そしてフロントエンドと ADC のノイズ配分 (フロントエンドの増幅率) をどう最適化すればいいかを、じっくりと解きほいていきたいと思います。

参考文献

[1] Rohde, Whitaker, Bucher; Communications Receivers Second Edition, McGraw-Hill



(a) 高域のノイズ・スペクトルが 1st Nyquist (NYQ) Zone に折り返される (ノイズが増加する)



(b) 多くのケースではアンチエイリアシング・フィルタ (AAF) によりノイズ・スペクトルは 1st Nyquist (NYQ) Zone 内に制限される

図 9. AD 変換により高域のノイズ・スペクトルが折り返されるようすを考えてみる