

CMOS デジタル信号はなぜ正しく伝送できているのか

当たり前と思われる信号伝送も理論と比べてみると疑問が生じる

著者：石井 聡

はじめに

アナログ・デバイス株式会社では、ほぼ毎年新卒採用をおこなっており、この記事執筆している 2019 年も新入社員が入社しました。その今年には私の部署が新人受け入れを担当し、半年間の新人教育を行いました（「た」で過去形であり、本ノート脱稿時点では、すでに配属部署に巣立っていきました）。

その新人がある日、「同軸ケーブルにステップ信号を加えると…」という伝送線路（伝送線路とは同軸ケーブルや、高速信号伝送でのプリント基板のパターンなど、その媒体を信号が「波動」として伝わる（伝搬する）状態を考えるべき伝送媒体。もっと簡単にいえば「配線」です）ネタの質問をしてきました。

その質問は「おお！これはあまりにも高度だ！」とはじめは思いました。そこでそのネタをこの「回路設計 WEB ラボ」で紹介しようと思いましたが、実はそこには別の条件があったことが判明し、難なくクローズ（汗）。

そこで折角でもあり、かつ最近重要な伝送線路ネタを何か書こうと思い、「そうだ、昔からの自分自身の疑問があったな」と、タイトルに示したような話題をまとめてみることにしました。

【本題に早く到達したい方は読み飛ばしてください】 自らの回路設計経験と CMOS デジタル伝送

図 1 のような CMOS 信号伝送回路は当たり前のよう設計しているものです。5V を送り 5V で受け（3.3V や 1.8V もありますね）、デジタル信号を伝送します。

私も駆け出しのころ、フォトダイオード・アンプ（OP アンプ回路）の設計とあわせて、デジタル・システムのプリント基板設計も行っていました。最初は Z80 マイコン基板の改版から始まり、途中からは FPGA を用いたシステムなども含めて、結構な数のア트워크設計を行っていました（最初は「手張りア트워크」だなんて、現代の若い読者の方には考えられない基板設計も経験しました）。ここでは CMOS 信号伝送が主だったわけですが、当たり前のように「5V を送り 5V で受ける回路」として設計していました。

そしてそのころは両面基板での設計でした。別の部署では片面の紙フェノール基板などを使っており、「両面なんてコスト高くて使えないよ」とその部署の人にも言われたものです。

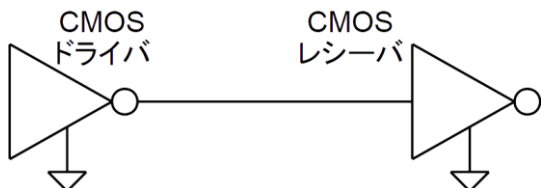


図 1. 当たり前のよう設計してきた CMOS 信号伝送

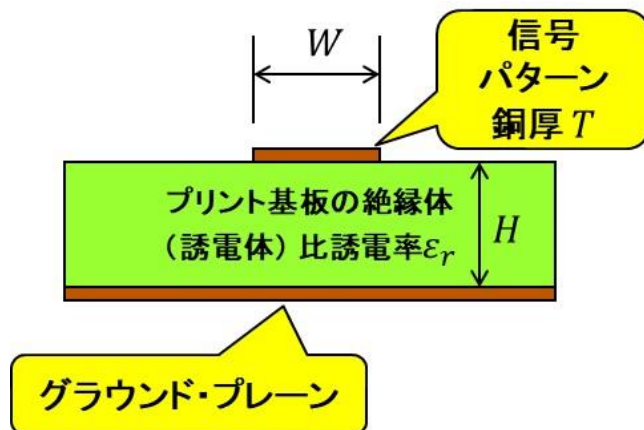


図 2. マイクロストリップ・ラインの構造

両面基板から 4 層基板に代わっていく時代にふと思った「特性インピーダンス」

私は産業用機器の設計だったので両面基板が使えたのですが、ときとともに高密度化の要求から 4 層基板、6 層基板と多層に代わっていきました。こうすると内層の 2 層目（L2）をグラウンドとして、表面層（L1）に信号パターンを形成することになります。

そしてその前後（もしくはもっと前だったかも）に図 2 のような高周波・高速信号伝送用に用いられる「マイクロストリップ・ライン」を知りました。マイクロストリップ・ラインは誘電体をはさんで下側にグラウンド面を用意し、その上に信号パターンを形成して、「特性インピーダンス」を定義して信号伝送する伝送線路です。

そのときに思うわけです。「これまで設計してきた 4 層基板は L2 がグラウンドで、その表面にデジタル信号のパターンが形成されている。これはまるでマイクロストリップ・ラインと同じではないか」、「オレの設計してきた 4 層基板のパターンでは、特性インピーダンスはどれほどなのか？」。

それでも（当時は簡単に計算できる Web ツールもなく）忙しにかまけて、その疑問はずっと放置したままでした。だって「作った CMOS デジタル回路は、5V を送れば、ちゃんと 5V が受けられるじゃん。あたりまえじゃん」だったからです。

さらに以降に多重反射という概念を知る

早い（若い）ころから以下に示す伝送線路と、以降に示す「反射係数」の概念は知っていたものの、だいぶ日が経たとある日、「多重反射」という概念を知りました。よく考えてみれば反射係数がしっかり分かっていたら、多重反射もその延長で分かるはずだと気づき、自らの修行不足を恥じたものでした。

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2020 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ電子回路技術ノート

TNJ-069

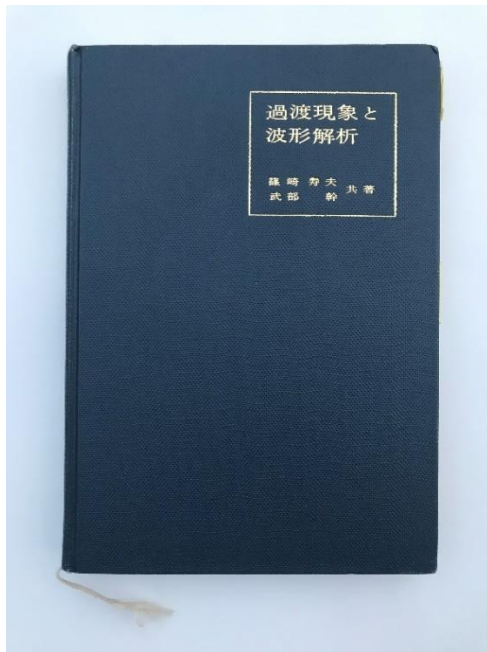


図 3. 大学のときの電気回路Ⅱの教科書 [1]

大学のとき「電気回路Ⅱ」という授業がありました。これが過渡現象を扱うもので、とても高度でした。たぶん中盤以降はほとんどついていけなかったと思います。教科書はまだとってありましたので、折角なので図 3 に示します [1]。

あるときこの教科書をパラパラとめくってみました。なんと「伝送線路と多重反射」についての説明があるではありませんか！自分の学んでいた教科書に多重反射が示されていたのです…。教科書の後半だったのだたぶん授業では解説していなかったと思いますが、それでも 40 歳すぎてそれ（教科書自体とその記述）を見つけたときには苦笑いしてしまいました。

そしてその時にあらためて驚いたこととして、この書籍の初版が 1965 年（私が 2 歳！）で、私が使ったのが 1983 年前後だったということです。かなり古く、かつ長く活用された教科書だったということです（現在は絶版のようです）。

多重反射とこれまで設計してきた CMOS 信号伝送との関係はどうなる

多重反射は以降に示すように、伝送線路の特性インピーダンスと信号源抵抗／終端抵抗の大きさが異なると、それぞれの抵抗のところで信号が反射し、反射波が線路内を行き来しながら反射を繰り返すというものです。

CMOS 信号伝送はご存知のように、低い CMOS ドライバ出力インピーダンスで送出し、非常に高い CMOS レシーバ入力抵抗値で受信する方式です。この CMOS 回路を 4 層プリント基板上に形成すれば、途中には「たんに繋げただけのパターン」が存在します。このパターンが（どうやら）何らかの特性インピーダンスをもつ伝送線路になり、「出力と入力の間で多重反射が形成されるのではないか」という疑問が生じるわけでした。

しかし「ふつうに作った CMOS デジタル回路は、5V を送れば、ちゃんと 5V が受けられるじゃん。あたりまえじゃん」でした。この違いはなんなのでしょう。

これを今回、ステップ・バイ・ステップで考えてみましょう。実は以降の説明（とくに結果）は、技術ノート TNJ-039 [2] でも「さらに」と説明されていたのでした。

（イントロダクションはここまで）

考察その 1：4 層基板で形成される特性インピーダンスはいかほどか

その前に…特性インピーダンスとはなにものか

図 4 のように伝送線路の中を電圧 V と電流 I は波動として伝搬していきます（特性インピーダンス 50Ω をもつ同軸ケーブルの例）。特性インピーダンス Z_0 はこの電圧 V と電流 I の比率で

$$Z_0 = \frac{V}{I} \quad (1)$$

として決まるものです。「伝送線路内に抵抗素子（成分）」があるというものではありません。

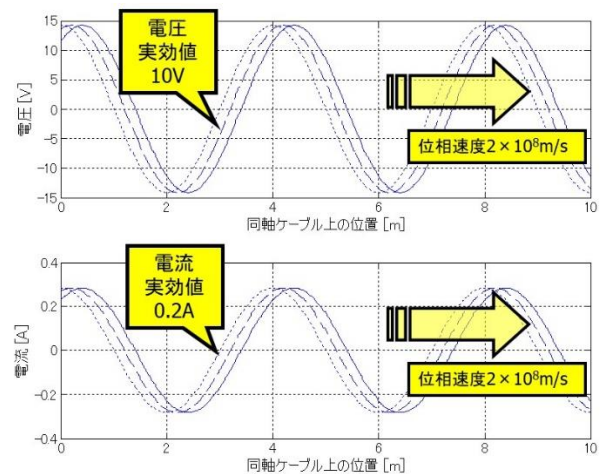


図 4. 伝送線路内を電圧・電流は波動として伝搬していく（特性インピーダンス 50Ω の同軸ケーブルに 50MHz の正弦波を注入し、 1ns ごとでスナップショットした）

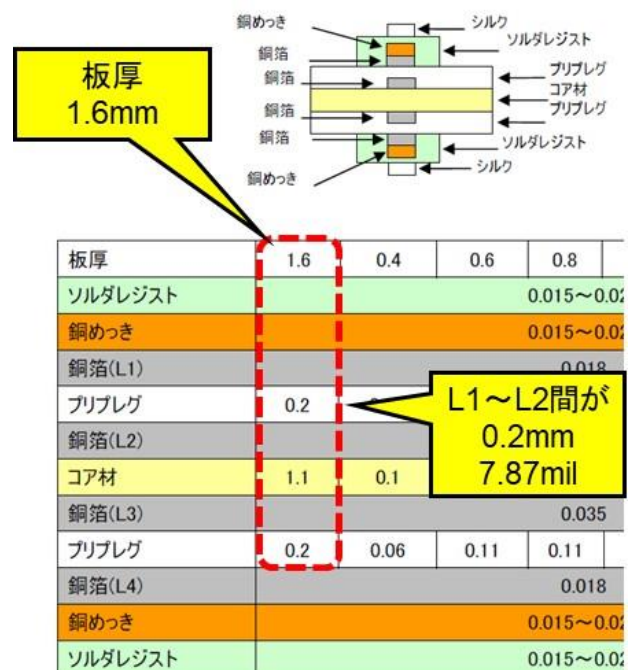


図 5. 4 層プリント基板の層構成の例。L1～L2 間が 0.2mm になっている（ピーバンドットコム「リジッド多層板層構成参考表」[3]から転載）

アナログ電子回路技術ノート

TNJ-069



図 6. プリプレグの例（ピーバンドットコムご提供）

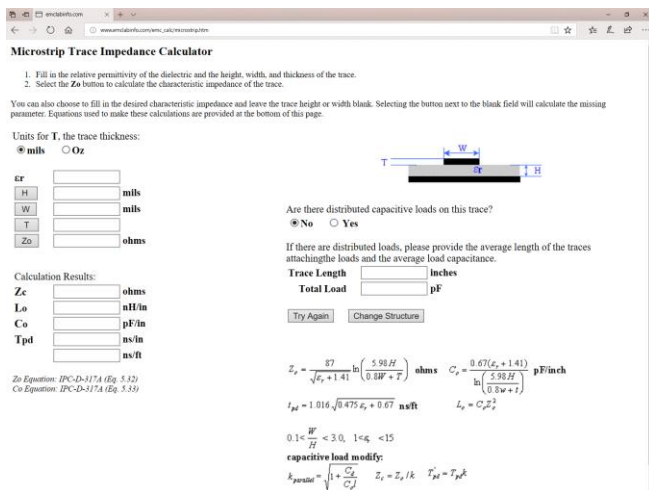


図 7. Web 上にある特性インピーダンス計算ツールの例 [4]

また図 2 のマイクロストリップ・ラインでは、図中に示したそれぞれのパラメータから特性インピーダンスが決まります。以降でそのパラメータから web 上のツールを使って計算してみた例を示します。

4 層プリント基板の層構成（厚さ）を確認してみる

4 層基板の層構成の一例として図 5 にピーバンドットコムの「リジッド多層板層構成参考表 [3]」から転載したものを示します。

基板厚が $t = 1.6\text{mm}$ でも表面 L1 と内層 L2、内層 L3 と裏面 L4 の間はなんと 0.2mm になっています。L1-L2、L3-L4 間は、L2-L3 間と比べても「薄い」ことになります。

この L1-L2、L3-L4 間は、「プリプレグ」と呼ばれる柔らかいシート状の絶縁物から構成されています。図 6 にプリプレグの例を示します（ピーバンドットコムご提供）。これを 1 枚から 2 枚重ねて、 0.1mm から 0.2mm 程度の絶縁厚みを作ります。ともあれかなり薄い絶縁厚さということが分かります。

内層 L2 をグラウンド層（グラウンド・プレーン）として、表面層 L1 に CMOS 信号伝送パターンを引くと、そこはここまで説明してきた、マイクロストリップ・ラインの構造になるわけです。

なーんにも考えずに設計していた 4 層基板のパターンは意外な特性インピーダンスになっていた！

図 7 に示す Web 上にある特性インピーダンス計算ツールのひとつ [4] を使って、「なーんにも考えずに L2 をグラウンド層にし

て、そのうえに CMOS 信号伝送パターンを引いた」構造物（実際はマイクロストリップ・ライン）の特性インピーダンスを計算してみます。

なんとパターン幅 $0.2\text{mm} = 63.81\Omega$ 、パターン幅 $0.3\text{mm} = 51.78\Omega$ となっています（層間厚は図 5 に従い 0.2mm 、比誘電率 $\epsilon_r = 4.6$ 、パターン厚は銅張 $18\mu\text{m}$ に対して銅めっき $20\mu\text{m}$ で $38\mu\text{m}$ として計算）。もし層間厚が 0.15mm なら、パターン幅 $0.2\text{mm} = 53.62\Omega$ です！特性インピーダンス 50Ω の同軸ケーブルとほとんど同じです！

最近のデジタル信号のパターン幅は 0.1mm から 0.3mm 程度でしょうから、「なーんにも考えずに引いた CMOS 伝送パターン」は、なんと「ほぼ 50Ω の特性インピーダンス（同軸ケーブルとほとんど同じ！）が形成されていた」ことになるわけです。

考察その 2：4 層プリント基板のパターンで生じる信号反射（信号源抵抗 50Ω のケース）

信号反射のその前に…反射係数とはなにものか

特性インピーダンス Z_0 をもつ伝送線路の中を伝搬する電圧 V もしくは電流 I は、その伝送線路の負荷端（受端）の負荷抵抗 R_L が $Z_0 \neq R_L$ であれば、この負荷端で電圧・電流が反射します。この反射する率が「反射係数」と呼ばれるもので

$$\Gamma = \frac{R_L - Z_0}{R_L + Z_0} \quad (2)$$

として決まります。電圧／電流はこの比率で信号源側に戻ってきます。

伝送線路の受端で反射するようすを LTspice でシミュレーションしてみる（信号源抵抗は 50Ω ）

この反射のようすを、LTspice を用いてシミュレーションしてみましょう。図 8 は 50Ω 伝送線路（ここまでの説明からすれば、なーんにも考えずに CMOS 信号伝送として引いたパターンにも相当すると言えます）の受端に設置した負荷抵抗の大きさを変えて、信号の反射するようすをシミュレーションする回路です。

信号源抵抗 R_S は伝送線路の特性インピーダンスと等しい 50Ω に設定し、伝送線路を伝搬する時間を 5ns としています（同軸ケーブルなら 1m に相当）。信号源は $t = 5\text{ns}$ 時に立ち上がります。

シミュレーションでは負荷抵抗値 R_L を $1\text{m}\Omega$ 、 25Ω 、 50Ω 、 250Ω 、 $1\text{G}\Omega$ と変えています。

図 9 はその結果です。図 9 の上側が信号源側（送端）、下側が負荷抵抗側（受端）です。

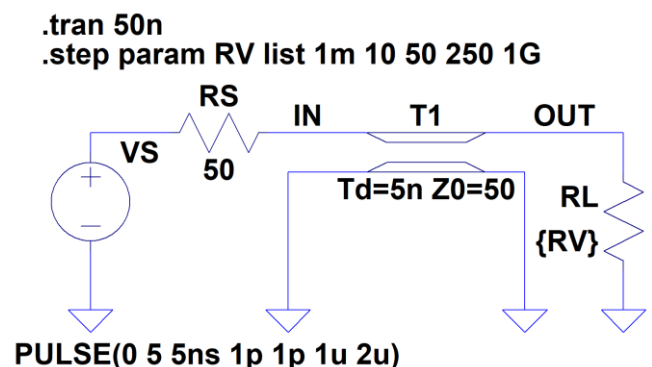


図 8. LTspice を用いて 50Ω 伝送線路の受端に設置した負荷抵抗の大きさを変えて信号反射をシミュレーションしてみる回路（信号源抵抗は 50Ω になっている）

アナログ電子回路技術ノート

TNJ-069

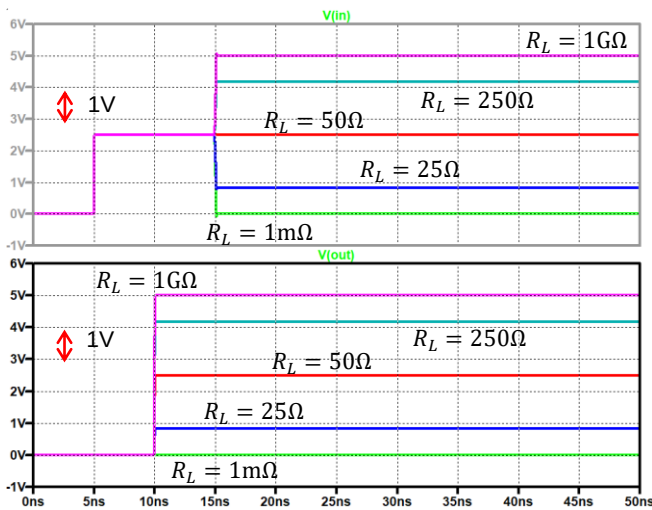


図 9. 図 8 で伝送線路受端の負荷抵抗を変えて信号の反射するようすをシミュレーションしてみた [上側が信号源側 (送端)、下側が負荷抵抗側 (受端)。 $R_L = 1G\Omega \cong \infty$ が CMOS レシーバ入力に相当する]

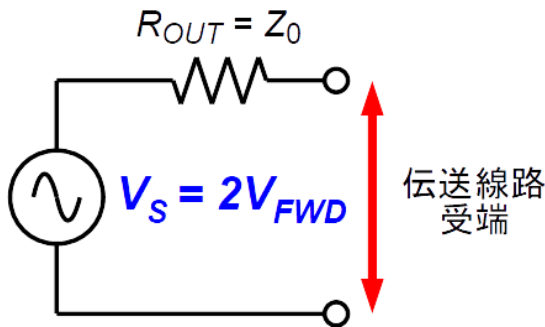


図 10. 図 8 の伝送線路受端から伝送線路側を見た等価回路

信号源側から受端側に伝搬する電圧の考え方は

この図 9 の上側の信号源側 (送端) において、立ち上がり $t=5ns$ で最初に決まる電圧は $2.5V$ になっています。これが伝送線路の中を負荷抵抗 (受端) 側に伝搬する電圧 V_{FWD} になります (Voltage-Forward)。この電圧が決まる関係式は、信号源抵抗 R_S (送端) は Z_0 と等しく $R_S = Z_0 = 50\Omega$ なので

$$V_{FWD} = \frac{Z_0}{R_S + Z_0} V_S = \frac{50}{50 + 50} 5V = 2.5V \quad (3)$$

伝送線路の受端で反射するようすと反射係数

図 9 の下側が負荷抵抗側 (受端) の波形です。信号源抵抗 $R_S = 50\Omega$ の条件で、伝送線路の中を受端側に伝搬してきた電圧 $V_{FWD} = 2.5V$ が、受端において信号源側 (送端) の変化から $5ns$ 後に、負荷抵抗の大きさごとで異なる電圧 V_{RL} として

$$V_{RL} = \frac{R_L}{Z_0 + R_L} 2V_{FWD} = \frac{R_L}{Z_0 + R_L} 2 \times 2.5V \quad (4)$$

が生じます。図 9 の下側の波形からも、負荷抵抗の大きさごとで異なる電圧が生じていることが分かります。上記の式(4)で「 $2 \times$ 」となっている理由は、図 10 のとおり、伝送線路の負荷抵抗 (受端) から伝送線路側を見た等価回路は、この図のように、 $V_S = 2V_{FWD} = 5V$ の電圧源と 50Ω の出力抵抗 R_{OUT} (= 信号源抵抗 R_S = 伝送線路の特性インピーダンス Z_0) でモデル化されるからです。式(3)のように $5V$ が送端側で $1/2$ に、 $2.5V$ になっているからだともいえます。

受端の電圧 V_{RL} のうち、 $V_{FWD} = 2.5V$ との差分が信号源側 (送端) に反射する大きさになります。この反射波 V_{REV} (Voltage-Reverse) の大きさは

$$V_{REV} = V_{RL} - V_{FWD} = \Gamma V_{FWD} = \Gamma \times 2.5V \quad (5)$$

になります。 Γ は式(2)に示す電圧/電流が反射する率、「反射係数」です。この式により V_{REV} が信号源側 (送端) に反射波として戻ってきます。そして最終的に信号源側 (送端) に、信号源側 (送端) の変化から $10ns$ 経過後に反射波 $V_{REV} = \Gamma V_{FWD}$ が現れ、送端と受端が最終値で決まることになります。このときの信号源側 (送端) の電圧最終値 V_{IN} は

$$V_{IN} = \frac{R_L}{R_S + R_L} V_S \quad (6)$$

となります。このあたりのストーリーに関する話しは [2] もご参照ください。

考察その 3：4 層プリント基板のパターンで生じる「多重反射」 (CMOS 信号伝送のケース)

つづいて「なんにも考えずに設計してきた」CMOS 信号伝送の条件、つまり信号源 (送端) 抵抗である CMOS ドライバ出力インピーダンスが非常に低く ($R_S \approx 0$ 。以降では 5Ω を例とします)、負荷 (受端) 抵抗である CMOS レシーバ入力インピーダンスがほぼ無限大 ($R_L \approx \infty$ 、以降では図 11 の定数) の条件で、多重反射の発生するようすを示していきます。

LTspice でシミュレーションしてみる回路図を図 11 に示します。CMOS ドライバ・レシーバを模倣するため、信号源抵抗 $R_S = 5\Omega$ 、負荷抵抗 $R_L = 1M\Omega$ にし、CMOS レシーバ寄生入力容量に相当する $5pF$ も接続しています。信号の立ち上がり時間は非常に高速にして $1ps$ 、また伝送線路を伝搬する時間を $1ns$ とし、同軸ケーブルであれば $20cm$ 、プリント基板上のマイクロストリップ・ラインだと $15 \sim 18cm$ 程度に相当する長さとしします。実際によくありそうな CMOS 信号伝送パターン長で考えてみます。

多重反射が生じており「これでは $5V$ を送っても、ちゃんと $5V$ として受けられないぞ!」となっている

シミュレーション結果を図 12 に示します。上が CMOS ドライバ側 (送端)、下が CMOS レシーバ側 (受端) です。とくに下の受端側で大きな波形の暴れが確認できます。最初のほうなどは $2.5V$ のスレッショルドを割る勢いです。これが「多重反射」による暴れです。

このように CMOS 信号伝送では、多重反射が発生するのです。そうすると「これでは CMOS で $5V$ を送っても、ちゃんと $5V$ として受けられないぞ!」という事態に陥ってしまうわけです。ここで一旦心を落ち着けて、まずは「多重反射」が生じているようすを考察してみましょう…。

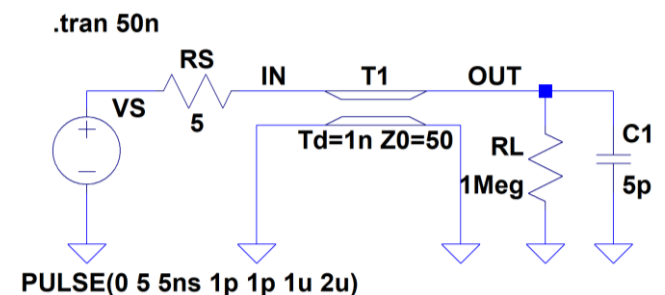


図 11. LTspice を用いて多重反射をシミュレーションしてみる回路

アナログ電子回路技術ノート

TNJ-069

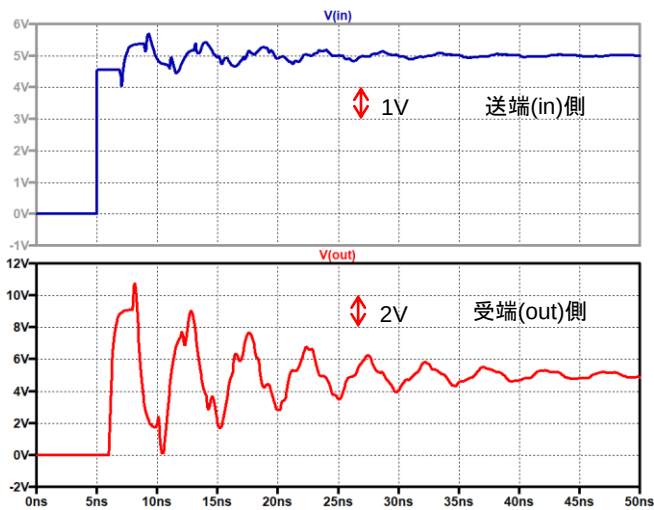


図 12. 図 11 のシミュレーション結果

CMOS ドライバから受端側に伝搬する電圧の考え方は

CMOS ドライバ出力インピーダンス（信号源抵抗）を $R_S = 5\Omega$ としたとき、受端側に伝搬する電圧 V_{FWD} は（CMOS 電源電圧を 5V と仮定して）

$$V_{FWD} = \frac{Z_0}{R_S + Z_0} 5V = \frac{50}{5 + 50} 5V = 4.55V \quad (7)$$

が形成されます。これは図 12 のシミュレーション結果からも確認できます（上側の送端信号が立ち上がった 5ns の時間）。

CMOS レシーバ入力端（受端）での反射は全反射

受端側の CMOS レシーバ入力の入力インピーダンスは（図 11 では $1M\Omega$ と $5pF$ と設定していますが）ほぼ無限大ですから、 $R_L \approx \infty$ となり

$$\Gamma = \frac{\infty - Z_0}{\infty + Z_0} = 1 \quad (8)$$

で全反射する状態になります。これが図 12 の 6ns の時点で発生しています（ $5pF$ の容量があるので鈍っていますが）。 $V_{FWD} = 4.55V$ で、これが全反射するため反射波は

$$V_{REV} = \Gamma V_{FWD} = 4.55 \times 1 \quad (9)$$

となります。これが CMOS ドライバ（送端）側にパターン上を伝搬して（戻って）きます。

受端の等価回路を考える（パターンを伝搬する電圧は大きくなり、応じて等価回路の電圧源も大きくなる）

この条件での、パターン受端から伝送線路側を見た等価回路を考えてみましょう。それにより図 12 の 6ns 時点の受端の電圧値を求めてみます。

また図 10 に戻ってみます。式(4)で「 $2V_{FWD}$ 」となっていますが、図 11 での $R_S = 5\Omega$ の条件、 $V_{FWD} = 4.55V$ であっても、図 10 の等価回路は $2V_{FWD}$ で同じになります。つまり $V_S = 2 \times 4.55V = 9.09V$ の電圧源と 50Ω の出力抵抗 R_{OUT} （= パターンの特性インピーダンス Z_0 ）でモデル化されるのです。

直観的には不思議ですが、 $V_{FWD} = 4.55V$ （と $I_{FWD} = 91mA$ ）が伝搬するのは、特性インピーダンス Z_0 をもつ媒体であり、 $2.5V$ のケースとは「伝搬する電圧値が異なっている（大きくなっている）だけ」といえるからです。別の視点では「パターン（伝送線路）内で過渡現象が生じることで V_{FWD} が伝搬する」と

考えることができ、それをモデル化すると図 10 において、 $V_S = 9.09V$ となるわけです。

これから図 12 の 6ns の時点の電圧値 V_{RL} は（受端が開放なので）

$$V_{RL} = \frac{\infty}{Z_0 + \infty} V_S = \frac{1}{\frac{Z_0}{\infty} + 1} V_S = V_S = 2V_{FWD} \quad (10)$$

受端に $V_{FWD} = 4.55V$ が到達したら $4.55V$ が全反射し、受端の電圧自体はその 2 倍の $9.09V$ になります。

CMOS ドライバ出力側（送端）でも反射係数にしたがい戻ってきた反射波の再反射が生じる

CMOS ドライバ側（送端）に戻ってきた反射波 V_{REV} からすれば、ドライバ出力インピーダンス R_S が「負荷抵抗 R_L 」に相当します。そうすると信号源側（送端）において、反射波 V_{REV} に対しては

$$\Gamma_S = \frac{R_S - Z_0}{R_S + Z_0} \quad (11)$$

で反射係数が決まります。図 11 は CMOS ドライバ出力インピーダンス（信号源抵抗）を $R_S = 5\Omega$ にしています（CMOS IC では実際は 5Ω から 10Ω 程度が存在します）。そうするとここでも反射係数 Γ_S はゼロにならず、CMOS ドライバ側（送端）でも反射係数にしたがい反射波の再反射が生じることになります。

そしてさらにこれが負荷抵抗側（受端）に向かい、受端でまた反射が生じます。反射波が線路を行き来し、送端と受端で何度も反射を繰り返すことになります。これが「多重反射」です。

考察その 4：なぜ従来の CMOS 信号伝送 4 層プリント基板で多重反射の問題が生じなかったのか

しかしその一方で、最初に示したように「4 層基板で CMOS 信号を伝送したとき、なぜ多重反射の問題が生じなかったのか」という疑問が生じてくることでしょう。

図 11 の信号源の立ち上がり時間は $1ps$ でした。これは CMOS ドライバの本来の立ち上がり時間からすれば非常に速いものです。

従来の CMOS 伝送では立ち上がり時間が遅いから問題が生じない

信号の立ち上がり時間を、より CMOS ゲートに近いものとして $5ns$ （VHCMOS シリーズ相当）と遅くしてみましょう。

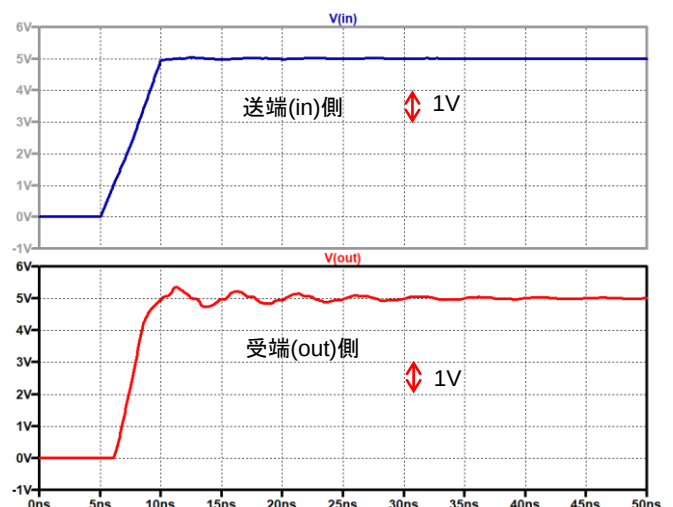


図 13. 図 11 のシミュレーション回路の立ち上がり時間を $5ns$ 、伝搬時間を $1ns$ としてみたシミュレーション結果 [上側が信号源側（送端）、下側が負荷抵抗側（受端）]

アナログ電子回路技術ノート

TNJ-069

図 11 の回路をこの条件に修正し、シミュレーションしてみたものを図 13 に示します。伝搬時間は 1ns です。図 12 で見えていた CMOS レシーバ側（受端）での多重反射による**大きな波形の暴れがなくなっています**。それこそ、実際のプリント基板上の CMOS デジタル信号をオシロスコープで観測したときにみる波形にかなり近くなっています。受端での暴れも（ 5V 伝送でも） 1V 以下になっています。ここから分かることは

- ・デジタル信号の立上り時間が、送端から受端の伝搬時間と比べて長ければ
- ・逆にみると、送端から受端の信号の伝搬時間と比べて、デジタル信号の立上り時間がゆっくりならば

多重反射の問題は顕著に現れなくなる、ということです。多重反射は信号の立上り時間のうちで収まってしまうとも言えます。

Dr. Eric Bogatin の書籍でも

TNJ-040 [5]の図 21 でもご紹介しましたが、高周波・高速プリント基板設計に関するコンサルタントの双璧として、Dr. Eric Bogatin と Dr. Howard Johnson のおふたりがいます。

このうち Eric Bogatin の書籍 [6]の邦訳版において p. 266 に「大まかな経験則として（中略）伝搬遅延が立上り時間の 20% 以下の場合、リングングは問題とならない…」と記載があります。それ以降に式(8-13)として、

$$Len_{max} < RT \quad (12)$$

が示されています。 Len_{max} はインチで示されるパターン長、 RT は ns で示される信号立ち上がり時間です。

これは $RT = 1\text{ns}$ において $Len_{max} = 25.4\text{mm}$ 以下という長さです。信号伝搬を、先に図 11 のところで示した「プリント基板上であれば 1ns で $15\sim 18\text{cm}$ 程度（概略）」だと仮定すれば、往復する（多重反射となる）距離 $30\text{cm}\sim 36\text{cm}$ ($300\text{mm}\sim 360\text{mm}$) の 10% 以下と理解することができます。

また同じような計算ですが、プリント基板上のパターン $15\text{cm}\sim 18\text{cm}$ は、上記の式(12)において $RT = 5.9\sim 7.1\text{ns}$ と計算できます。それぞれ図 13 での波形と式(12)とが整合していることも分かります。

ところで「10%」という率は、いろいろな場面でも経験則として使われるものですから、式(12)は合点のいく式でもあります。この「経験則」のことを英語では「Rule of Thumb（親指の法則）」とよびますが、これも概略値で考えるということです。

実は式(12)から Rule of Thumb までのこの展開は、私が勤めさせていただいたセミナーにおいて、受講された方から質問があったものです。質問は式(12)の考え方（なりたち）についてでした。その時は式(12)自体を（書籍は保有していたわけですが）把握していませんでしたが、式の考え方について、そこで Rule of Thumb を使って回答させていただいたものでした。

アナログ技術セミナー2019 でのデモ風景

ここまで説明した多重反射と立ち上がり時間については、アナログ技術セミナー2019 の展示会場において、ピーバンドットコム・ブースでそのデモを行いました。このようすを図 14 に示します。

ここでは図 15 のような 900mm 長の伝送線路（マイクロストリップ・ライン）を製作し、ここに高速な VHCMOS と低速な 4000 シリーズ CMOS を用いて立ち上がり時間を変えて、レシーバ側の波形を実測しました。その例を図 16 と図 17 に示します。ここまでの説明がそのまま生じていることが分かります。

なお使用したオシロスコープはテクトロニクス社の MSO64、プローブは差動プローブ TAP1500 というものです。今回のデモのた

めに同社からお借りしました。この場を借りて私からも、テクトロニクス社の関係者の皆様にお礼申し上げます。

Dr. Howard Johnson のリタイア後の生き方

もう一方の信号伝送コンサルタント、Dr. Howard Johnson は Signal Consulting, Inc. という会社を経営しています。ウェブサイトは [7] で見るすることができます。

現在はその HP では氏の会社（実際はご自宅と思われますが）の住所は掲載されていませんが、HP を初めてみたときには住所が掲載されており、何となくその住所を Google map で調べてみました。

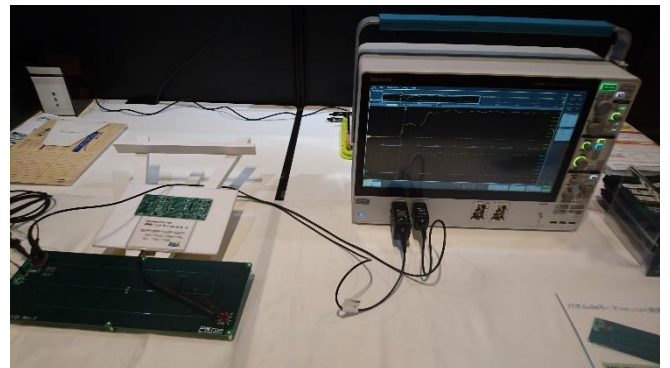


図 14. アナログ技術セミナー2019 の展示会場でデモしているようす（ピーバンドットコムご提供）

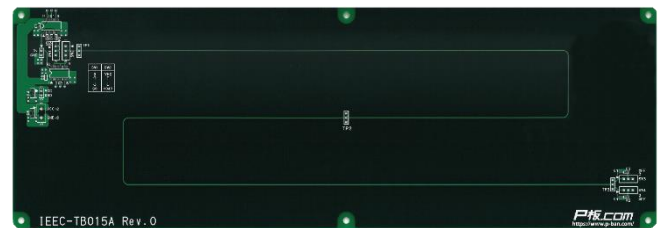


図 15. 図 14 のデモのために製作した 900mm の伝送線路（マイクロストリップ・ライン。ピーバンドットコムご提供）



図 16. 高速な VHCMOS で実験した結果〔上側が信号源側（送端）、下側が負荷抵抗側（受端）〕

アナログ電子回路技術ノート

TNJ-069

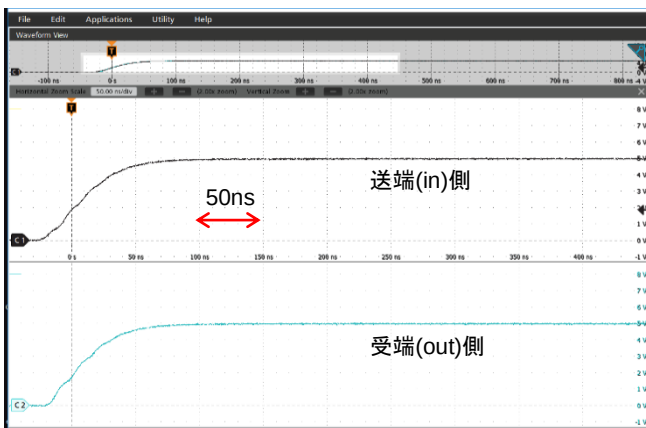


図 17. 低速な 4000 シリーズ CMOS で実験した結果 [上側が信号源側（送端）、下側が負荷抵抗側（受端）]

それは驚きでした。ワシントン州の海側から山脈（大きな国立公園）を挟んだ反対側の片田舎、近隣の都市からは数 100km、近隣の町から 10 数 km くらい、また近くの小さい集落ともいえるところからも 1km ほど離れた傾斜地（丘）にお住まいでした。たぶん電気も通っていないと思われます。通りというか谷あいの町々をつなぐ山岳道から分かれ、お住まいに至る小径は「Signal Hill Rd (Road)」と名付けられています。

HP によると、すでにリタイヤされているとのこと。美しい山並みを見ながらのリタイヤ生活なのだろうなと思いました。とはいえその集落には（なんと！）飛行場があるので、都市への外出となれば自家用機で（所有しているとおみうけしましたが）ひとつ飛びなのでしょう。

現在は HP には住所は掲載されていませんが、いまでも Google 使って頑張れば「そこ」は探しだすことができます（笑）。なお探し方を知りたい方はお問合せください…。

「田舎でリタイヤ」。それこそテレビで高い視聴率を得ている、朝日放送テレビ制作の『ポツンと一軒家』[8]の世界でしょうか。

参考文献

- [1] 篠崎 寿夫, 武部 幹; 過渡現象と波形解析, 東海大学出版会
- [2] 石井聡; イメージが分かれば伝送線路は怖くない…が「反射係数のわりには波形変化が少ないぞ?」, TNJ-039, 回路設計 WEB ラボ, アナログ・デバイセズ
- [3] ピーバン ドットコム, リジッド多層板層構成参考表 https://www.p-ban.com/information/data/rigid_multilayer_reference.pdf
- [4] Microstrip Trace Impedance Calculator, <http://www.emclab.cei.uec.ac.jp/xiao/MSline/index.html>
- [5] 石井聡; ネット上の疑問「四つ豆電球の点灯する順番は?」を伝送線路から考えて実際に実験してみた, 回路設計 Web ラボ技術ノート, TNJ-040, Analog Devices
- [6] Eric Bogatin; Signal Integrity – Simplified, Prentice Hall. 邦訳は「エリック・ボガティン; 高速デジタル信号の伝送技術 シグナルインテグリティ入門, 丸善」
- [7] Signal Consulting, Inc., <http://www.sigcon.com/index.html>
- [8] 朝日放送テレビ; ポツンと一軒家, <https://www.asahi.co.jp/potsunto/>