

ディファレンス・アンプを深くみていき 差動信号の適切な検出手段を考える

著者：石井 聡

はじめに

ひとつ前の技術ノート TNJ-035 では「重ね合わせの理 (Superposition Theorem)」から始まり、それをディファレンス・アンプにどのように適用していくかというお話をしてきました。

今回はそのディファレンス・アンプを現場視点でより深くみていき、ディファレンス・アンプの使い方、そしてその限界、さらにその限界をブレイクスルーする「計装アンプ」というストーリーで進めていこうと思います。

スーパー・ホジション？が重ね合わせなのちょっと不思議

とある日、とある人（仕事関係の人ではありません…）が私の書いた文書を見て、「キミキミ、『セミナ』ってのはおかしくないか？『セミナー』って伸ばすのが普通だろう。ナニかと思ったぞ（笑）」といわれました。なお「一」は「長音記号」というそうですね。

技術系の人は「ナー」と伸ばさないのが主流というか、とくに技術出版・学術系では「そのようにすべき」と指摘されることも多いかと思います。たとえば「コンピュータ（一）」、「レジスタ（一）」、「コンパイラ（一）」などなど。ああ、なぜか計算機用語を出してしまいましたね（笑）。「キャパシタ（一）」、「インダクタ（一）」などもそうですね。おお、「トランジスタ（一）」や「コンバータ（一）」もですね！

そのときは「思えばトコトン技術系だなあ…」と自らを思いつつ、「これは失礼しました！修正します」とその方にはお話ししました。

さて「重ね合わせ」は、英語では「スーパー・ポジション」です。ここでも拘って「スーパー」を用いないようにしてみました（笑）。「だったら、その人とのときも技術屋らしく、もう少し主張するなりガンバレよ…」とか言われそうですね（汗）。まあそのときの相手は、とある「指導員」だったもので…。

「スーパー・ポジション」。これは電気・電子回路屋としては覚えておくと良い英単語でしょう。私は始めて聞いたとき、とても違和感がある単語でした。「超位置」なんて直訳できるわけですからね。それこそ Superman なんて単語もあるわけですから。「なんで英語ではスーパー・ポジション？」と思うわけですが、この記事を書くために、机の左奥に鎮座していた（「している」ではなく…、不活性の意味をこめて「していた」です…）、図 1 の辞書を引っぱりだしてみました。アナログ・デバイス入社時に購入した、Oxford Advanced Learner's Dictionary 7th Edition (オックスフォード現代英英辞典 [第 7 版] [1]) です。この p. 1739 に書いてありました。

super- combining form

2 (in nouns and verbs) above; over.

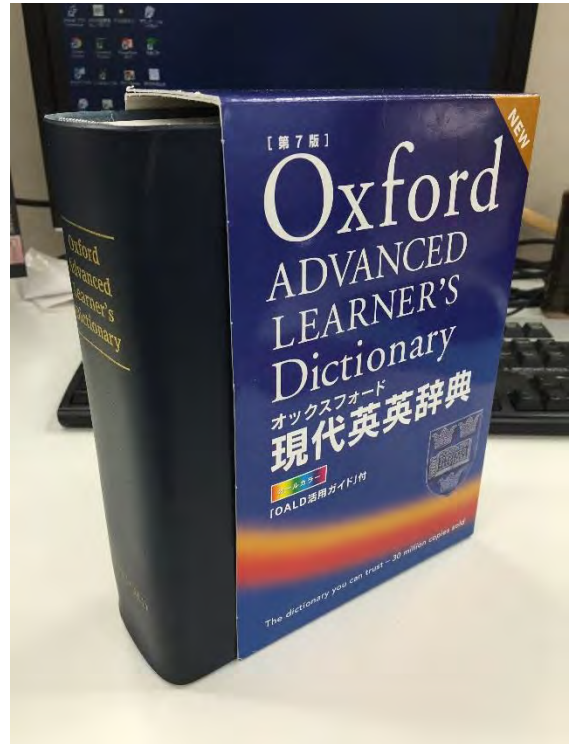


図 1. Oxford Advanced Learner's Dictionary 7th Edition

これは「連結形。第 2 の用法として。名詞と動詞。above, over (の意味)」ということです。**1** には extremely; more or better than normal とありますので、こちらがいわゆる日本人が普通に用いる「スーパー」ですね。このように考えればスーパー・ポジションは「その位置の上に」つまり「重ね合わせる」というところにたどり着きます。そういえば「字幕スーパー」も superimpose から来ていますね[2]。これも重ね合わせる的な意味で、その Oxford Advanced Learner's Dictionary では p. 1740 に

super-im-pose

1 to put one image on top of another so that the two can be seen combined.

とあり、訳してみると「ひとつの画像を別の画像の上に置き、それらふたつが結合したかたちで見えるようにする」という感じでしょうか。

superposition も同辞書で調べてみると、superpose の派生語として p. 1741 に

super-pose

(verb) to put something on or above something else. ▶**super-position** (noun)

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2018 Analog Devices, Inc. All rights reserved.

アナログ電子回路技術ノート

TNJ-036

と説明があります。もともとは *superpose* という動詞 (verb) から派生した「▶」はこの辞書では、派生語 (derivative) の開始位置を表しています。名詞 (noun) となっています。position 自体から由来しているわけでもなさそうです…。

与太 (ヨタ) な話題は止まらないので、この辺で…

ところでこの英英辞典は、アナデバ (当時の自らが社外の人間として抱いていた親近の念も含め、ここでは業界で呼ばれている慣用表現にしてみました) 入社時に、慣れない外資の世界で「英語が大変だろうなあ」と座右においておくために購入したのです。それから年数がだいぶ経ってきたわけですが、開いたのは10回ぐらいだったかと思います (汗)。今は Weblio など、ネットでサーチすればすぐに答えがでますから、分からない単語は Google に聞けばよいのです (汗)。**無駄な投資に近かった**わけですが、ハウマッチだったのかとひっくり返してみると、なんと「たったの3,700円…」。

我々が購入する電気・電子工学の専門書に比べれば安いものですね。それこそ「需要と供給の関係」というところでしょうか。

そういえば、松任谷由実さんの「リフレインが叫んでる」と、街中で見る「禁煙」という意味の「refrain from smoking」の **refrain** も実は面白い単語なんです… (さらにヨタが長くなるので止めますが)。そうそう、**Lead** もそうですね… (ああ、ヨタが止まらない…)

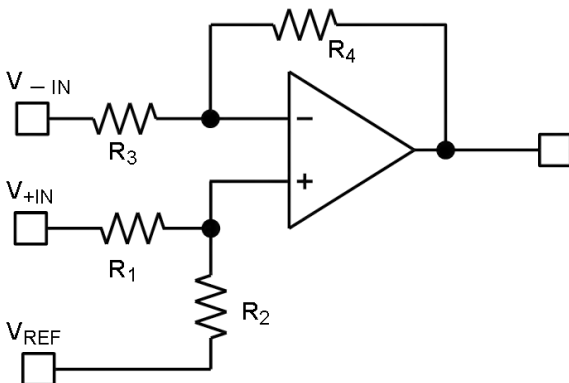


図 2. ディファレンス・アンプの基本構成 (TNJ-035 図 14 再掲)

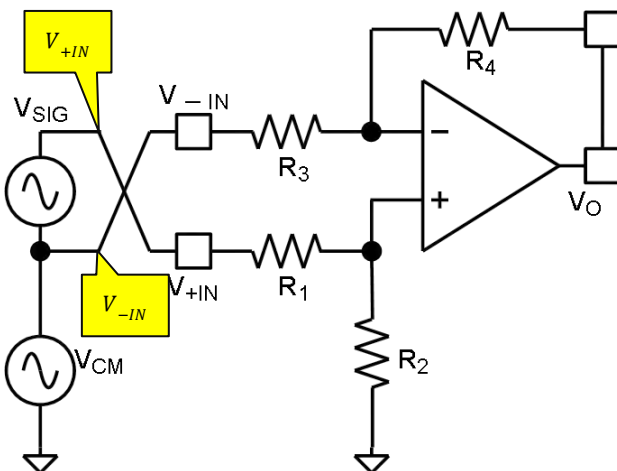


図 3. ディファレンス・アンプの入力電圧関係

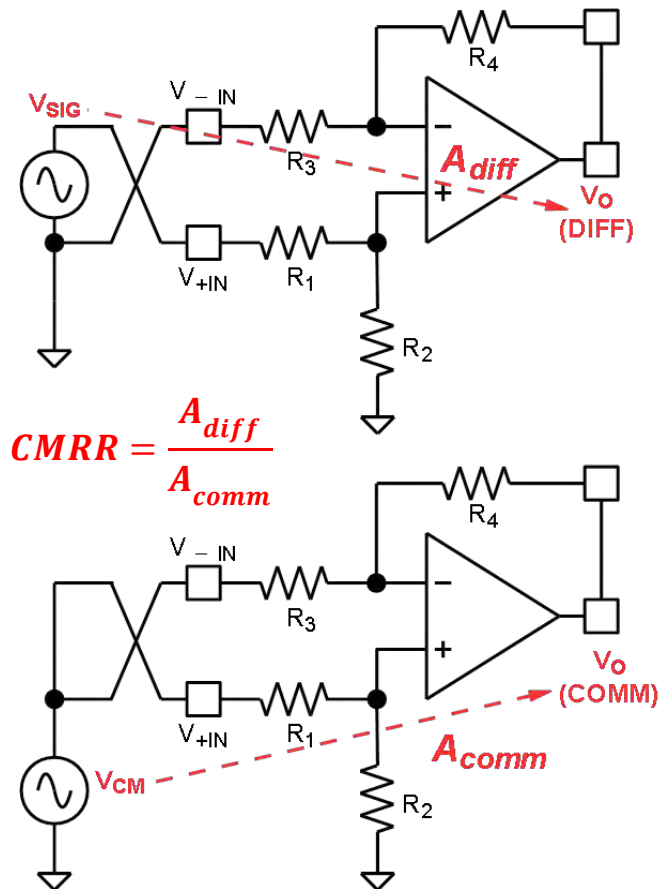


図 4. CMRR の定義

ディファレンス・アンプはコモンモード電圧をどれだけ抑制できるかが重要

さて前回の図 14、あらためて図 2 に再掲するディファレンス・アンプは、「ディファレンス (Difference; 差分)」のとおりに、入力端子間の差分量、つまり差電圧を検出できるものです。この差電圧検出は、図 3 のような電圧関係で差電圧 V_{SIG} を

$$A_{diff} = \left. \frac{V_O}{V_{SIG}} \right|_{V_{CM}=0}$$

として増幅するものです。この式表現を説明すると、「|」より右は、以下に示す「コモンモード電圧 $V_{CM} = 0$ の条件で」という意味です。

しかし現実には、差電圧 V_{SIG} 「のみ」を理想的に検出することはできず、本来影響を受けてはいけない「コモンモード (同相モード) 電圧」 V_{CM} により出力が変化してしまう状態 (問題) が生じます。つまりディファレンス・アンプとしては「コモンモード電圧 V_{CM} をどれだけ抑制できるか」が重要だということです。これはよく使う計装アンプでも同じです。

これまでこの技術ノート・シリーズで何度も出てきましたが、コモンモード電圧 V_{CM} は「共通／同相」という意味のとおりに、ふたつの入力端子に共通に加わる電圧です。端子間電圧を引き算して差電圧として検出するディファレンス・アンプでは、キャンセルされるべきものです。

アナログ電子回路技術ノート

TNJ-036

コモンモード除去比を定義する

ディファレンス・アンプがコモンモード電圧 V_{CM} を抑制できる能力を「コモンモード（同相モード）除去比」 Common Mode Rejection Ratio (CMRR) と呼びます。これは図4のように V_{SIG} が出力に増幅される増幅率 A_{diff} と、本来出力に現れてほしくない V_{CM} が出力に現れてしまう率 A_{comm} （考え方からすれば A_{diff} と同じ増幅率ですが、抑圧率とも呼べるでしょう）

$$A_{comm} = \left. \frac{V_o}{V_{CM}} \right|_{V_{SIG}=0}$$

との比

$$CMRR = \frac{A_{diff}}{A_{comm}}$$

として表されます。理想的には $A_{comm} = 0$ ですから、 $CMRR = \infty$ になります。しかしこれが回路構成などの不完全性により、出力に現れてほしくないコモンモード電圧 V_{CM} が出力に漏れ出してしまいうわけです。この漏れ出しがノイズになったり検出信号に誤差を与えたりすることになります。

このようすを引き続きみてみましょう。

コモンモード除去比が有限値になる理由を考えてみる

ディファレンス・アンプとして出力に現れる電圧 V_o は

$$V_o = \frac{R_4 + R_3}{R_3} \cdot \frac{R_2}{R_1 + R_2} V_{+IN} - \frac{R_4}{R_3} V_{-IN}$$

です。ここで V_{+IN} , V_{-IN} はそれぞれの入力端子の電圧です。さらにここで

$$R_1 = R_3, R_2 = R_4$$

として構成しますので、

$$V_o = \frac{R_4}{R_3} (V_{+IN} - V_{-IN})$$

となるわけですが、この

$$R_1 = R_3, R_2 = R_4$$

が「曲者」なわけです。少なくとも「それぞれ異なる素子」ですから、ぴったりイコールにはなりません…。

外部素子による CMRR 低下のようすをシミュレーションで確認してみる

OP アンプ・モデルを数学モデル Laplace Transfer Function にしてみた

ディファレンス・アンプにおける CMRR の劣化を、シミュレーションを使って考えてみましょう。純粋な理論的状态を確認するため、使用する OP アンプのモデルは実際の OP アンプ・モデルを使わず、ADIsimPE に内蔵されている Laplace Transfer Function という数学モデルを使います。このモデルでの伝達関数をラプラス変換のかたちで

$$H(s) = \frac{1 \times 10^8}{\frac{s}{6.283} + 1}$$

としてみました。これはオープンループ DC ゲインが 1×10^8 、

GB 積は 100MHz、-3dB の周波数が 1Hz（角周波数で 2π rad/sec = 6.283 rad/sec）となるものです。「ホントかいな？」ということで、図5のように組んでオープンループ・ゲインのシミュレーションをしてみました。このシミュレーションは Laplace Transfer Function という理想的モデルだからできるもので、実際の OP アンプの場合は、このようにループを開いたかたちでのシミュレーションはできません（入力オフセット電圧などで出力が振り切れるため）。

実際の OP アンプの場合のシミュレーション方法は、これまでこの技術ノートなどでも何度かご紹介した「ミドルブルック法 [3]」というものを用いる必要があります。

図6のシミュレーション結果から、OP アンプ・モデルとして正しく構成されていることが分かりました。

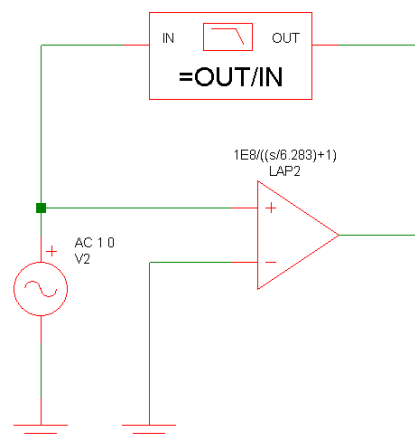


図5. Laplace Transfer Function で作った OP アンプ・モデルのオープンループ・ゲインをシミュレーションしてみる（普通の OP アンプ・モデルでは出来ないシミュレーション方法）

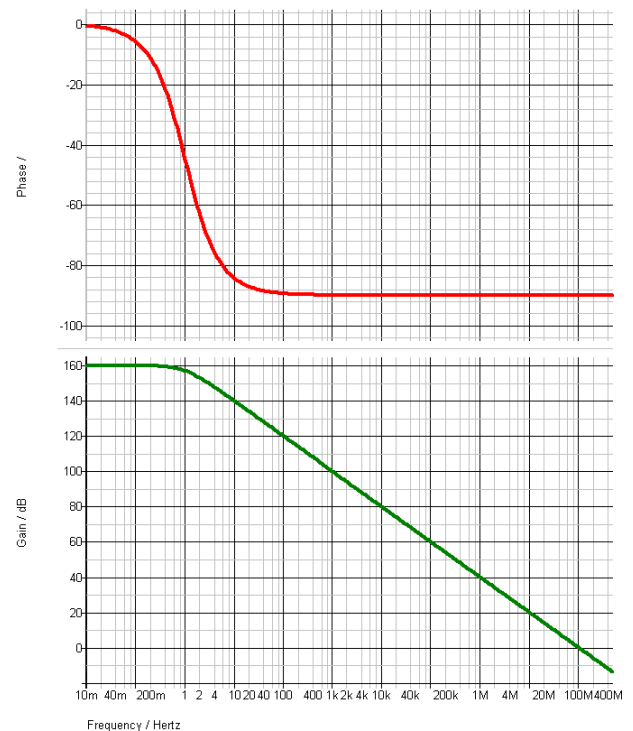


図6. Laplace Transfer Function で作った OP アンプ・モデルの周波数特性（上：位相、下：ゲイン。10mHz～500MHz）

アナログ電子回路技術ノート

TNJ-036

この OP アンプ・モデルを使って CMRR をシミュレーションできる回路を作ってみた

ひとつのシミュレーション・ファイルで CMRR を求めることができる回路を図 7 に示します。外部素子による純粋な理論的特性を確認するため、さきの Laplace Transfer Function OP アンプ・モデルを利用しています。またちょっと捻ったかたちで、ボード・プロッタを使ってこんな回路を組んでみました。

AC 信号源の振幅を上下それぞれ 1V/0V にして、そこから個々に V_{SIG} と V_{CM} のみを供給します。これによって A_{diff} と A_{comm} が得られるので、それをそれぞれボード・プロッタ IN と OUT に接続することで、等価的に CMRR の計算を可能にしています。

この回路でシミュレーションしてみました。しかしこのままではシミュレーション・エラーになってしまいます。「**Error : Arguments out of range for operator '/'**」というメッセージが出ます…。これはボード・プロッタで計算するとき「分母がゼロ」になるからです。この分母は A_{comm} であり、理想状態であれば $A_{comm} = 0$ です。これでは「ゼロ除算」になってしまい、値が得られないわけですね。

そこで R_{c1} (下側の OP アンプ・モデルの非反転入力につながっている抵抗。図 7 にも赤字で示します) をプラス $1m\Omega$ として、 $1.000001k\Omega$ にしてシミュレーションしてみました。そうすると CMRR 値として 142.3dB 程度が得られ、シミュレーション回路として正しく動作していることが確認できました。

とはいえ抵抗が「たった」1ppm ずれるだけで、CMRR が 140dB 程度 (なお A_{diff} は 20dB あります) に低下してしまうわけですね…。

コモンモード電圧の電圧源抵抗は CMRR には影響を与えない

前回の技術ノート TNJ-035 で「信号源側から見ると入力抵抗が異なっているので駆動には注意が必要」というトピックと、「長くなりそうなので、次の技術ノートのお話として取り上げてみたい」ということをお話ししました。

そこで以降のストーリー [おっとここでは「リー」で長音つきですね (汗)] として、まずはコモンモード電圧 V_{CM} の電圧源抵抗 (以降「コモンモード電圧源抵抗 R_{CM} 」と呼びます) の影響、つづいて差電圧 V_{SIG} の信号源抵抗 (以降「差電圧源抵抗 R_{DIF} 」と呼びます) の影響というように進めていきたいと思います。

まずはコモンモード電圧源抵抗 R_{CM} の影響をみてみましょう。すでに図 7 で CMRR のシミュレーション回路を紹介しましたが、この回路図での電圧源抵抗値をみてみると、

$$R_{CM} = 1k\Omega, \quad R_{DIF} = 0\Omega$$

としてありました。この条件で CMRR のシミュレーション結果が「ゼロ除算」、つまり無限大だったわけなので、コモンモード電圧源抵抗 R_{CM} は CMRR に影響を与えないだろうことが予測できます。

これをどのように考えればよいかを、図 2 や図 7 からの変形として図 8 でみてみましょう。 $V_{SIG} = 0V$, $R_{DIF} = 0\Omega$ とすれば、 V_{+IN} と V_{-IN} の間がショートとなります。

コモンモード電圧源抵抗 R_{CM} の大きさや電圧 V_{CM} 自体が如何様 (「いかよう」です。この漢字も **Refrain** の話題同様「いかよう」、「イカサマ」のどちらの読みもあるのですね!) には関係なく、このショートされた点の電圧を V_N と定義してみます。

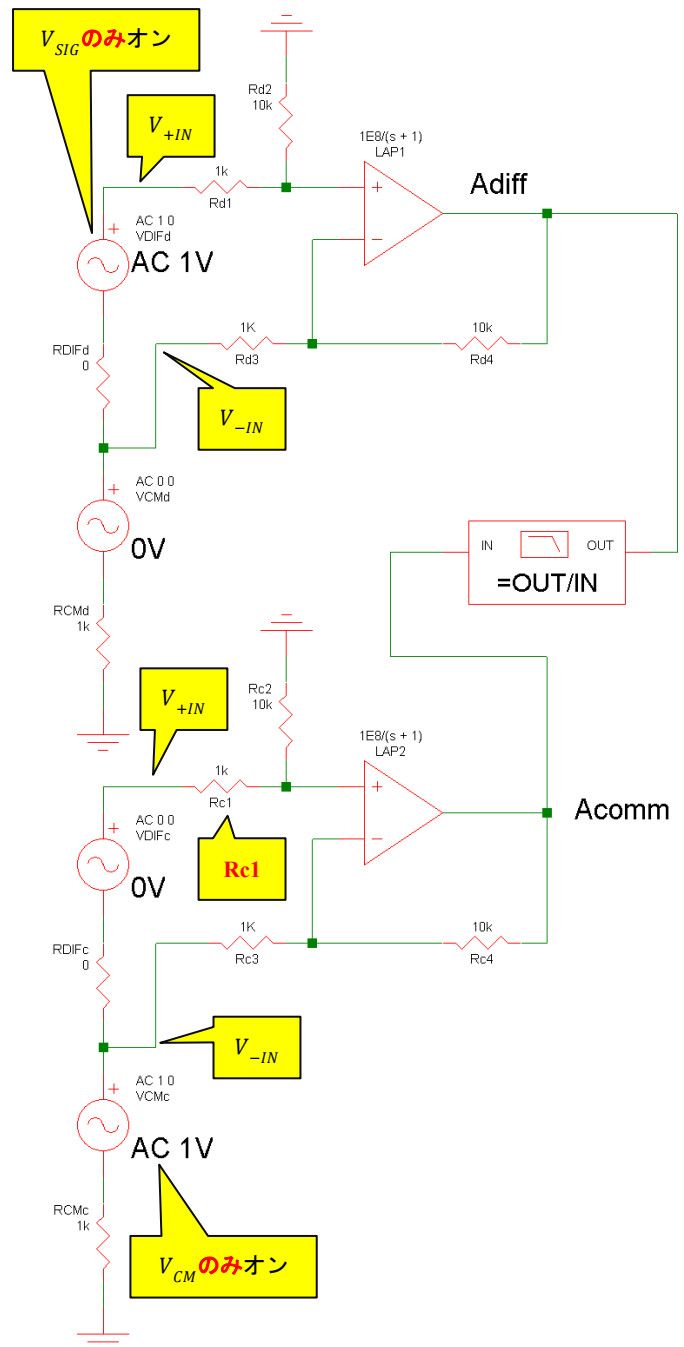


図 7. CMRR をシミュレーションしてみる回路

OP アンプの入力は仮想ショートになりますので、 R_1 と R_3 には V_N から同じ電流が流れることになります ($R_1 = R_3$ であるため)。

この電流が R_2 と R_4 に流れていくことになりますが、ここでも $R_2 = R_4$ であり、それぞれに流れる電流量も同じです。 R_2 で生じる電圧降下 (回路全体としては出力電圧が上昇する方向に生じる) と R_4 で生じる電圧降下 (同じく出力電圧が下降する方向に生じる) が相互に打ち消しあい、OP アンプ出力には電圧は現れない、つまり $A_{comm} = 0$ となるわけです。

つまり「コモンモード電圧の電圧源抵抗は CMRR には影響を与えない」ということです。

アナログ電子回路技術ノート

TNJ-036

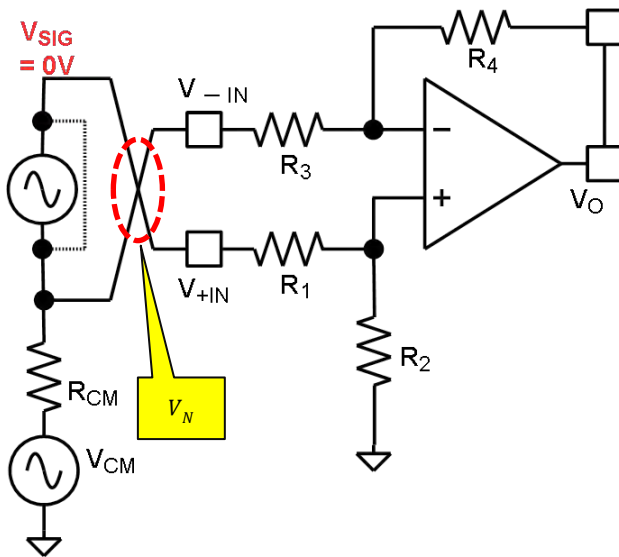


図 8. コモンモード電圧源抵抗が影響を与えないことを検証してみる回路

差電圧源抵抗のほうは CMRR に影響がでくる

つづいて差電圧源抵抗 R_{DIF} の影響を考えてみましょう。まずはシミュレーションで確認してみます。図 7 の回路の R_{DIFd} と R_{DIFc} をそれぞれ 100Ω として、 R_{CMd} と R_{CMc} はももとの $1k\Omega$ のままで CMRR をシミュレーションしてみます。

さて……。なんと $CMRR = 42.3dB$ となります！なんと「たった $40dB$ 程度」になってしまうわけですね。なお A_{diff} は $20dB$ ありますから $A_{comm}@sim$ (シミュレーション結果からの値として $@sim$ を添え字します) は $-22.3dB$ しかないわけです…。本来増幅してはいけないコモンモード電圧が 10% くらいまでにしか抑圧できないということです。

なぜ差電圧源抵抗が CMRR を低下させるか

さきの $A_{comm}@sim = -22.3dB$ の原因、コモンモード電圧の抑圧率が低下する理由を探ってみましょう。上記の説明 (R_{CM} が CMRR に影響を与えない) を繰り返すような単純な計算ですが、式にしてみましょう。

図 2 や図 7 からの変形として、図 9 のように $V_{SIG} = 0V$, $R_{DIF} = 100\Omega$ とすれば、 V_{+IN} と V_{-IN} の間が 100Ω で接続となります。

ここで V_{-IN} の電圧を $V_{-IN} [V]$ としてみます。OP アンプの入力は仮想ショートになりますので、 $R_1 + R_{DIF}$ と R_3 には同じ電圧が加わります。OP アンプの仮想ショートになっている両入力端子の電圧を V_{VS} とし、非反転入力端子の経路を計算すると、 V_{VS} は

$$V_{VS} = \frac{R_2}{R_1 + R_{DIF} + R_2} V_{-IN}$$

となります。 $R_1 = 1k\Omega$, $R_2 = 10k\Omega$, $V_{-IN} = 1V$ としてそれぞれ数値を代入してみると、 $V_{VS} = 901mV$ です。

R_3 に流れる電流は

$$I_3 = \frac{V_{-IN} - V_{VS}}{R_3} = \frac{V_{-IN}}{R_3} - \frac{R_2 V_{-IN}}{R_3 (R_1 + R_{DIF} + R_2)}$$

であり、同じ量が R_4 に流れます。 R_4 で生じる電圧降下 (回路全体としては出力電圧が下降する方向に生じるもの) は、

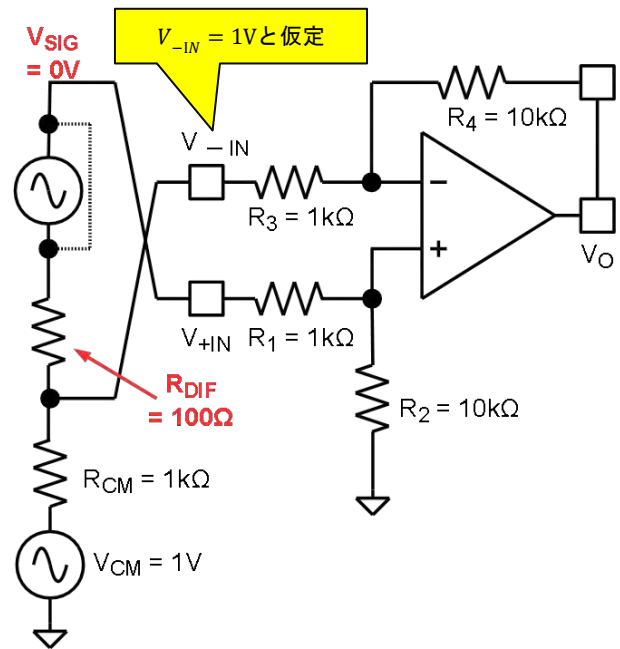


図 9. 差電圧源抵抗が影響を与えることを検証してみる回路

$$V_{R4} = -R_4 V_{-IN} \left[\frac{1}{R_3} - \frac{R_2}{R_3 (R_1 + R_{DIF} + R_2)} \right]$$

となります。ここで V_{VS} と V_{R4} が相互に打ち消しあうて欲しいのですが、 V_{VS} と V_{R4} を足し算して、出力に現れる電圧 V_O を計算してみると

$$V_O = V_{VS} + V_{R4} = \frac{R_2}{R_1 + R_{DIF} + R_2} V_{-IN} - R_4 V_{-IN} \left[\frac{1}{R_3} - \frac{R_2}{R_3 (R_1 + R_{DIF} + R_2)} \right]$$

ここで $R_1 = R_3$, $R_2 = R_4$ であり、ここでも $R_1 = 1k\Omega$, $R_2 = 10k\Omega$, $V_{-IN} = 1V$ とし、それぞれ数値を代入してみると、 $V_O = -0.0901V$ になります。これは $A_{comm} = -20.9dB$ に相当します。これを $A_{comm}@calc$ としましょう。

差電圧信号源の増幅率も変化している！

でも $A_{comm}@calc$ は、CMRR のシミュレーション結果から計算された V_{CM} の出力抑圧率 $A_{comm}@sim = -22.3dB$ とはぴったり合いませんね…。

これは電圧 V_{-IN} が $1V$ ではなく、 $R_1, R_2, R_3, R_4, R_{CM}$ により $V_{CM} = 1V$ が分圧されるためです。計算せずにシミュレーション ($R_{CM} = 1k\Omega$ とします) の結果からみると $V_{-IN} = 0.841V$ であり、これは $-1.5dB$ に相当します。この大きさを式での計算結果を補正すると「 $A_{comm}@calc = -22.4dB$ 」です…。まだ合いません (汗)。

この理由は、 V_{SIG} が出力に増幅される増幅率 A_{diff} (差動ゲイン) も 10 から少し低下しているからです。このとき $A_{diff} = 9.848$ となっており低下率は $-0.13dB$ です。ここも低下するのですね…。

アナログ電子回路技術ノート

TNJ-036

CMRR のシミュレーション結果から計算された $A_{comm}@sim = -22.3dB$ というのは、 $A_{diff} = 9.848$ の状態だったのですね。つまりシミュレーションでは A_{diff} が $-0.13dB$ 低下しているわけです。

式での計算結果 $A_{comm}@calc = -22.4dB$ は $A_{diff} = 10$ だと考えていました。シミュレーションで A_{diff} が $-0.13dB$ 低下していたこと、そのぶん $A_{comm}@sim = -22.3dB$ を補正 (A_{comm} の分担分が $0.13dB$ 大きかったとして補正) すれば、 $A_{comm}@sim = -22.4dB$ となり、「 $A_{comm}@calc = -22.4dB$ 」とぴったり正しく整合することになります。

差電圧源抵抗が CMRR を低下させるようすを式から考えてみる

ここまでで分かったことは、意外と知られていない／気づかないこととして「差電圧源抵抗 R_{DIF} が CMRR を低下させる」ということです。差電圧源抵抗は、ディファレンス・アンプが実際に検出すべき電圧量 (信号) です。その信号源抵抗で CMRR が変化することは知っておくと良いことです。

差電圧源抵抗 R_{DIF} の影響度を求めるため、上記に示した出力に現れる電圧 V_O の式を、 $R_1 = R_3, R_2 = R_4$ の条件で式変形していくと

$$\begin{aligned} V_{VS} + V_{R4} &= \frac{R_2}{R_1 + R_{DIF} + R_2} V_{-IN} \\ -R_2 V_{-IN} \left[\frac{1}{R_1} - \frac{R_2}{R_1 (R_1 + R_{DIF} + R_2)} \right] \\ &= \frac{R_2}{R_1 + R_{DIF} + R_2} V_{-IN} \\ &\quad - \frac{R_2 V_{-IN} \left[\frac{(R_1 + R_{DIF} + R_2) - R_2}{R_1 + R_{DIF} + R_2} \right]}{R_1} \\ &= \frac{R_1 R_2 V_{-IN}}{R_1 (R_1 + R_{DIF} + R_2)} - \frac{R_2 V_{-IN} \left[\frac{R_1 + R_{DIF}}{R_1 + R_{DIF} + R_2} \right]}{R_1} \\ &= \frac{R_2 V_{-IN}}{R_1} \left[\frac{R_1 - (R_1 + R_{DIF})}{R_1 + R_{DIF} + R_2} \right] \\ &= \frac{R_2 V_{-IN}}{R_1} \left[\frac{-R_{DIF}}{R_1 + R_{DIF} + R_2} \right] \end{aligned}$$

この式から分かることは、CMRR を向上させるためには抵抗比として $R_{DIF} \ll R_1, R_2$ ($R_1 = R_3, R_2 = R_4$) とすべきということです。

ディファレンス・アンプのひとつ電流検出アンプは入力抵抗が高い

ディファレンス・アンプの応用として、「電流検出アンプ」というものがあります。一例として AD8217 (図 10) を挙げてみました。この IC は電源を電流検出の非反転入力 V_{+IN} から取るという面白い製品です。AD8217 は、

AD8217: 電流シャント・モニタ、高分解能、ゼロ・ドリフト

<http://www.analog.com/jp/ad8217>

【概要】

AD8217 は、高電圧、高分解能の電流シャント・アンプです。特長としては $20V/V$ のゲインを設定でき、全温度範囲でのゲイン誤差は最大で $\pm 0.35\%$ を備えています。バッファされた出力電圧は、ほとんどの標準的なコンバータに直接インターフェースすることができます。AD8217 は $4.5V \sim 80V$ にわたって優れたコモンモード除去を提供し、高電圧レールからこのデバイスに直接電源を与えるための内部 LDO を内蔵しています。

(後略)

電流検出アンプで用いられている内部抵抗値は大きめになっている

AD8217 のデータシートを見ると、図 10 の抵抗値は $R_1 = R_2 = 75k\Omega$ 、 $R_3 = R_4 = 1.5M\Omega$ となっています。また 0.01% でマッチングしていることもデータシートに記載されています。抵抗値として高めになっていますね。

これは、ひとつは $80V$ (AD8217 の場合) という高い入力コモンモード電圧範囲を実現していることがあります。もうひとつとして、上記にも説明した「CMRR を向上させるためには抵抗比として $R_{DIF} \ll R_1$ とすべき」ということとも符合しているといえるわけです。

AD8217 は DC での $CMRR(typ) = 100dB$ です。差電圧源抵抗を $R_{DIF} = 100\Omega$ として、また $V_{-IN} = 1V$ として上記の式で計算してみると、出力には $1V$ のコモンモード電圧が $1.27mV$ として現れ、 $A_{comm} = -58dB$ となり、これから CMRR は $[26dB - (-58dB)] = 84dB$ 程度と計算できます。

つまり差電圧源抵抗が 100Ω 程度のオーダであれば実用レベルでの CMRR が実現できることになります。いっぽうこれまでのこの技術ノートの検討から、差電圧源抵抗と CMRR との関係を設計時に把握しておくべきこともお分かりいただけたのではないのでしょうか。

実際にはこの技術ノートでご紹介したような方法で SPICE シミュレーションを用いて CMRR を計算することをお勧めします。それでも使用する電流検出アンプの SPICE モデルが、内部抵抗誤差や周波数上昇による CMRR の劣化を適切にモデル化しているか微妙なところもあるでしょう。そのような場合には、この技術ノートの図 7 で示したような、他の影響を排除したかたちで理想モデルを組み上げ、理想状態でどのように CMRR が低下するかを「まず最初に基本状態として」シミュレーションして把握しておくとう良いでしょう。

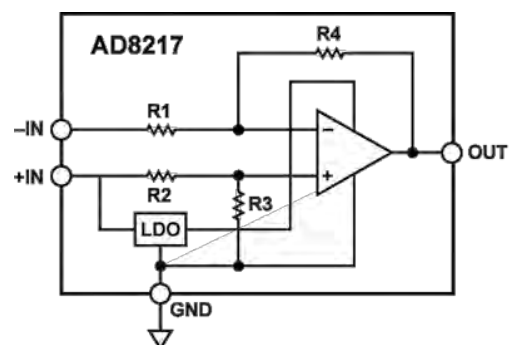


図 10. 電流検出アンプの例 (AD8217)

アナログ電子回路技術ノート

TNJ-036

まとめにかえて「では電圧源抵抗を考慮しなくてもよい構成というのがあるのか」

ヨタ話も含めて技術ノートを書いていくと、あっという間にページも埋まってしまいます(汗)。

ここまでのお話しから「電圧源に内在する抵抗が CMRR に影響を与えることは分かった」「ではどうすればその内在抵抗を考慮しなくてもよい回路が構成できるのか?」という疑問が生じてくると思います。

これを解決できるのが完全差動構成の「計装アンプ」

CMRR を改善するには「抵抗比として $R_{DIF} \ll R_1, R_2$ とすべき」ということをずっと申し上げてきました。

極論からすれば、図 2 において

$$R_1 = R_3 = \infty \text{ (ただし } R_1 = R_3, R_2 = R_4 \text{)}$$

とすればよいだろうことは、これまでの議論からイメージできることでしょう。

これを実現できるのが「計装アンプ (Instrumentation Amp; In-Amp)」と呼ばれるものになります。この回路構成を図 11 に示します。これを「完全差動型」と呼んだりします。この構成で V_{+IN}, V_{-IN} は、初段のそれぞれの OP アンプの非反転入力端子に入力されます。この非反転入力端子がハイインピーダンス端子であることから、上記の $R_1 = R_3 = \infty$ (理想 OP アンプだと考えてれば) の構成を実現できることになるわけです。

また 2 段目の OP アンプは、これまで考えてきたディファレンス・アンプ (差電圧アンプ; 電流検出アンプ) の構成になっていることもわかりますね。

アナログ・デバイセスでも計装アンプの技術資料として、図 12 のような「計装アンプの設計ガイド 第 3 版 (全 128 頁)」という本当に素晴らしいもの[4]があります。これは必読と私も思いますので、是非ご覧ください。図 11 でご紹介した回路構成は、この資料の図 1-3b から引用したものです。

本来であればもっといろいろ探求したかったが

最初にお話ししたように、もともと「ディファレンス・アンプの使い方、そしてその限界、さらにその限界をブレイクスルーする計装アンプ」というストーリーでこの技術ノートを考えていました。

概ねご説明できたかなとは思いますが、本来はここまでご説明した以外にも、より多く探求したいことがあったのです…。それは(まだ続く)次の技術ノートであらためて…。

参考・引用文献

- [1] A S Hornby; Oxford Advanced Learner's Dictionary of Current English, Seventh Edition, Oxford University Press, 旺文社
- [2] [https://ja.wikipedia.org/wiki/スーパーインポーズ_\(映像編集\)](https://ja.wikipedia.org/wiki/スーパーインポーズ_(映像編集))
- [3] R. D. Middlebrook; Measurement of Loop Gain in Feedback Systems, International Journal of Electronics, Vol. 38, Issue 4, pp. 485-512, 1975.
- [4] <http://www.analog.com/jp/education/education-library/dh-designers-guide-to-instrumentation-amps.html>

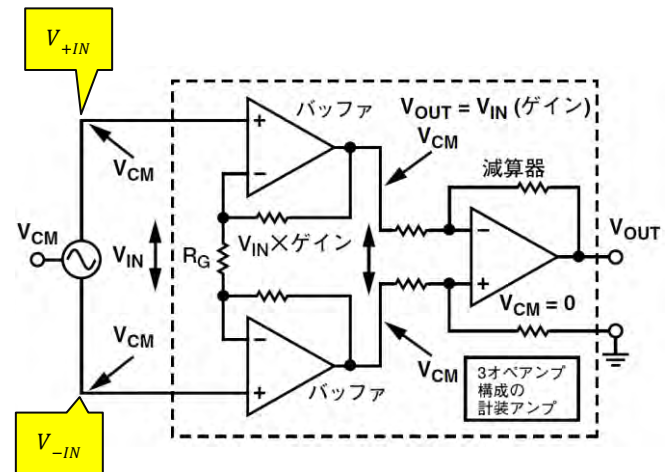


図 11. 計装アンプの基本構成



図 12. 計装アンプの設計ガイド 第 3 版