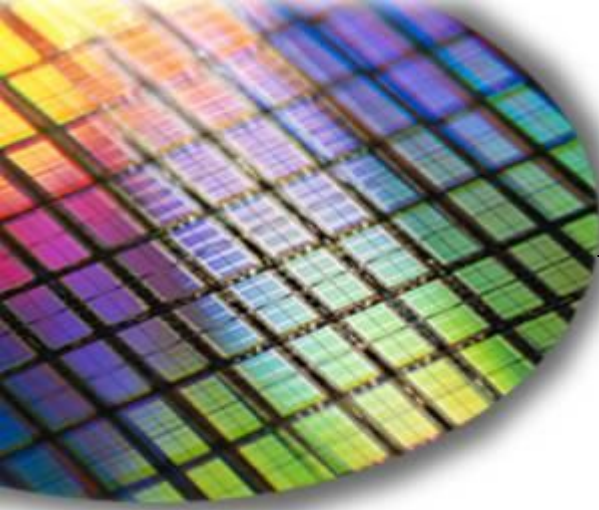




The World Leader in High Performance Signal Processing Solutions



PLLアン・ドゥ・トロア(その1) **PLL**(位相ロック・ループ)回路の 基本と各部動作

アナログ・デバイセズ株式会社
石井 聡



PLLアン・ドゥ・トロア 3部作の構成

1. **PLL**(位相ロック・ループ)回路の基本と各部動作
2. 設計ツール**ADIsimPLL**(**ADIsimCLK**)を用いた**PLL**回路構成方法
3. **PLL**(位相ロック・ループ)回路でのトラブルとその解決技法

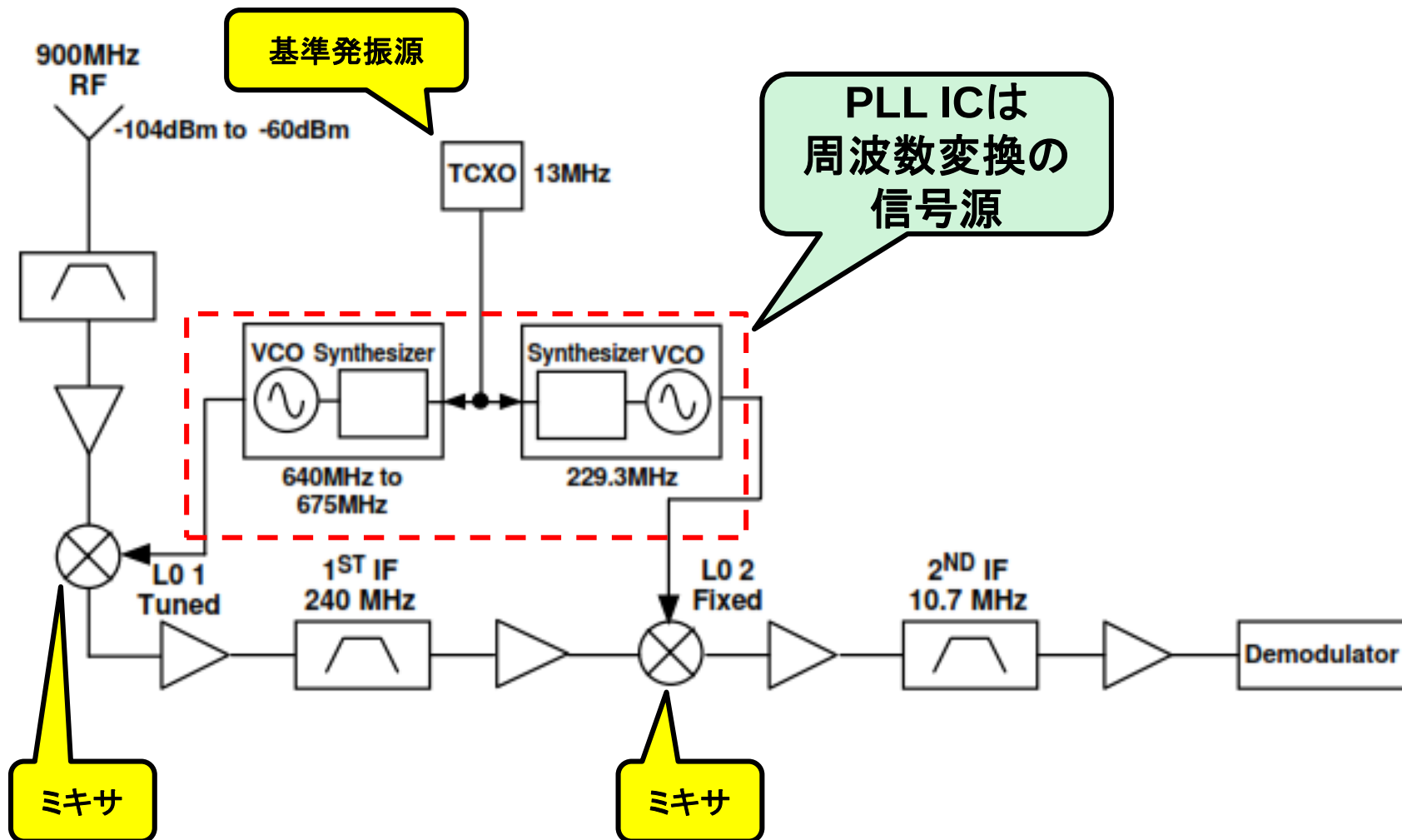
—その1— Agenda

1. **PLL**の使われ方
2. **PLL**の基本構成
3. **VCO**と**N**分周カウンタ
4. **PFD**(位相比較器)とチャージ・ポンプ
5. 応答特性を決定づける**Loop Filter**
6. **PLL**の周波数構成: インテジャー**N**とフラクショナル**N**

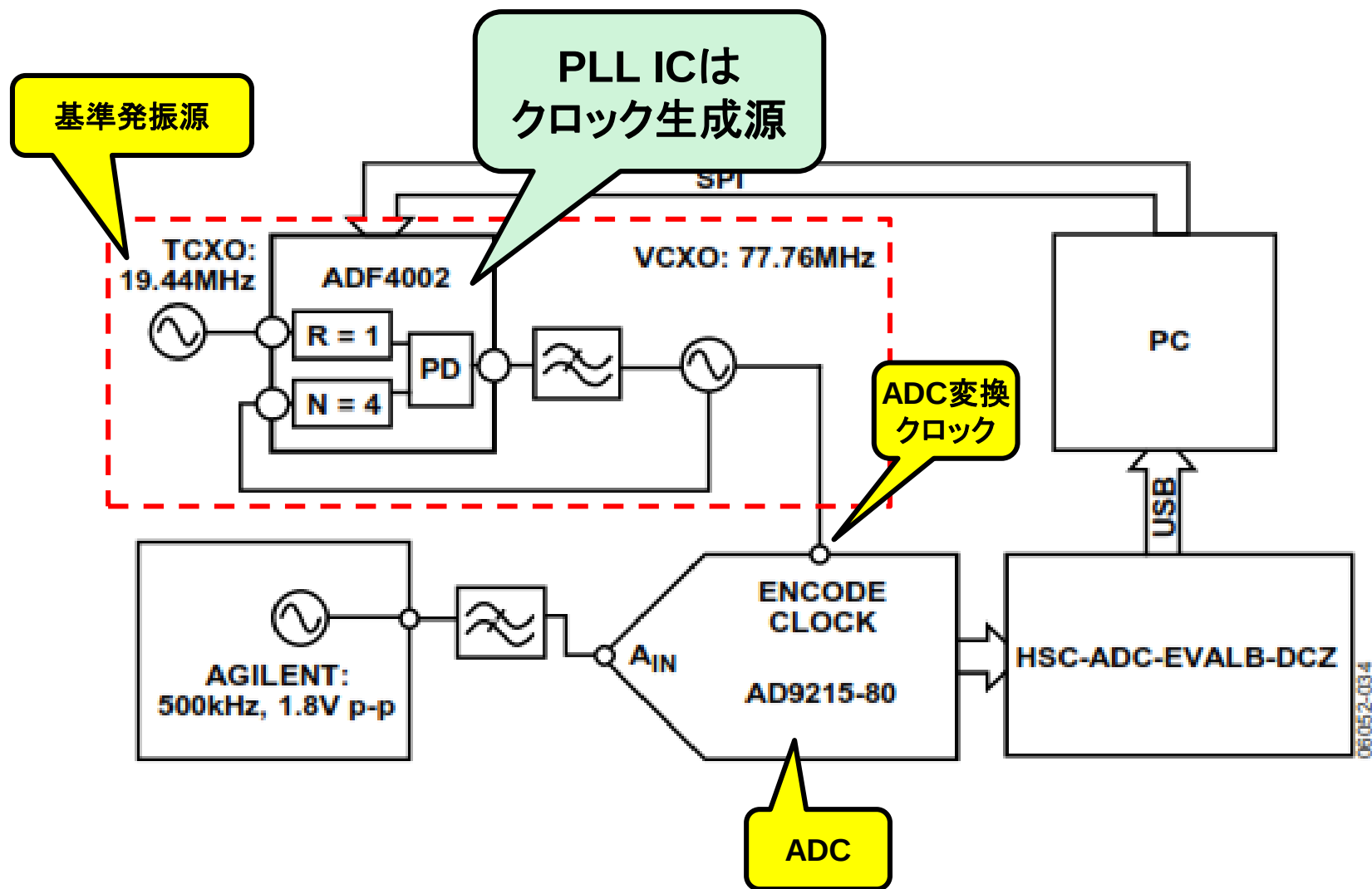


1. PLLの使われ方

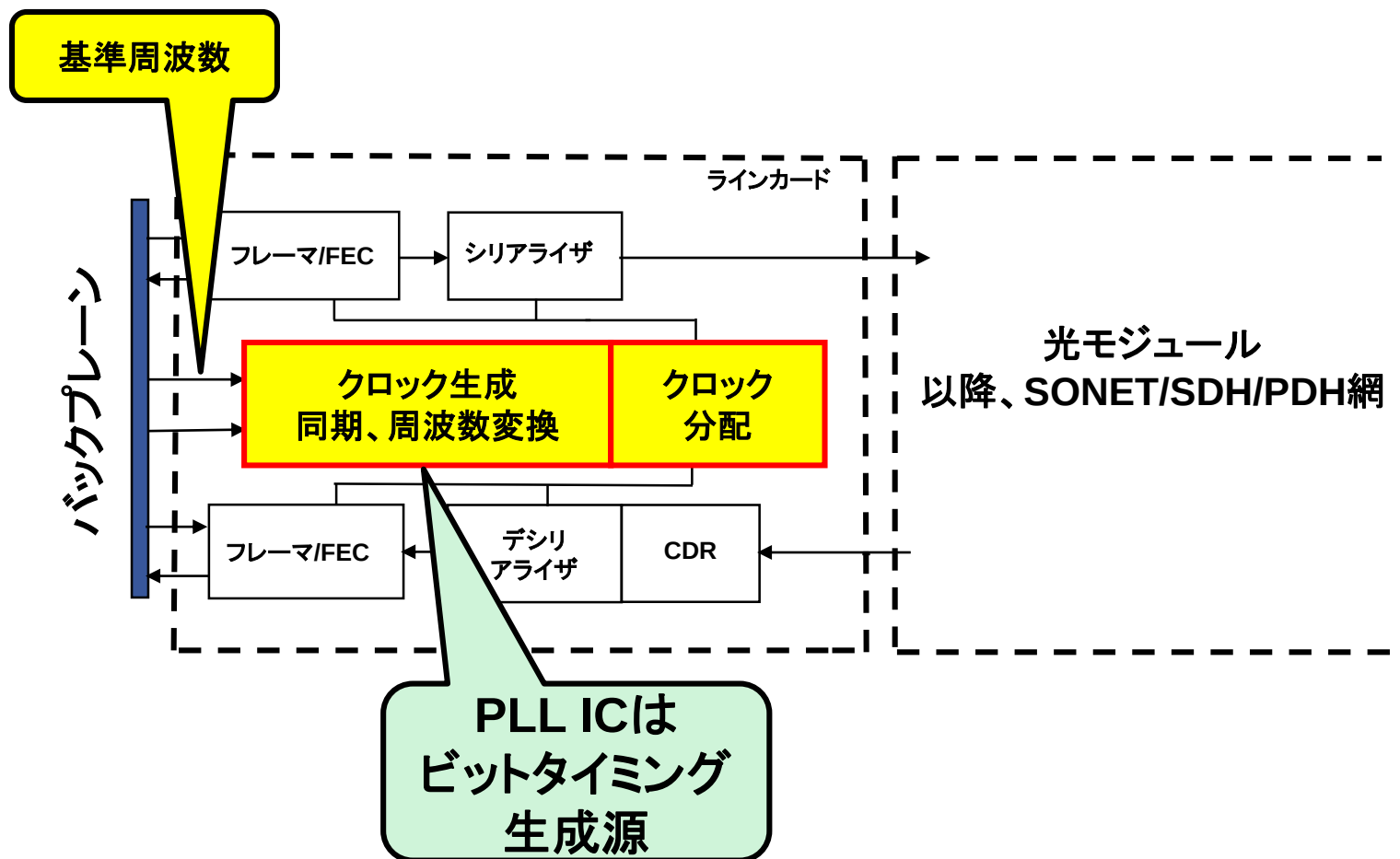
PLLの使われ方: 無線通信



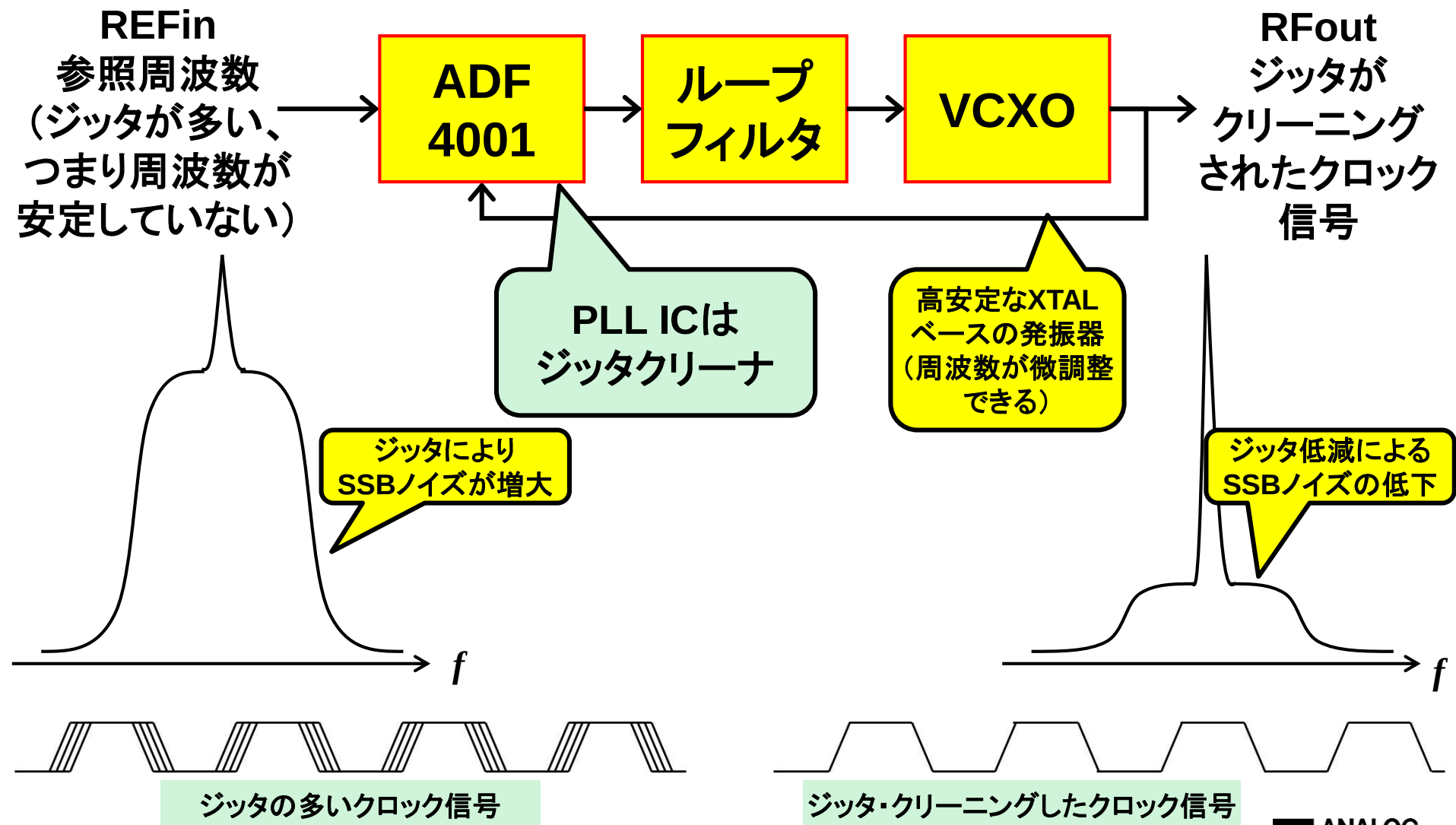
PLLの使われ方: AD/DAコンバータのクロック



PLLの使われ方: 光ネットワークのラインカード



PLLの使われ方: ジッタのクリーニング





2. PLLの基本構成



PLLの一番基本的な考え方

PLL Phase Locked Loop

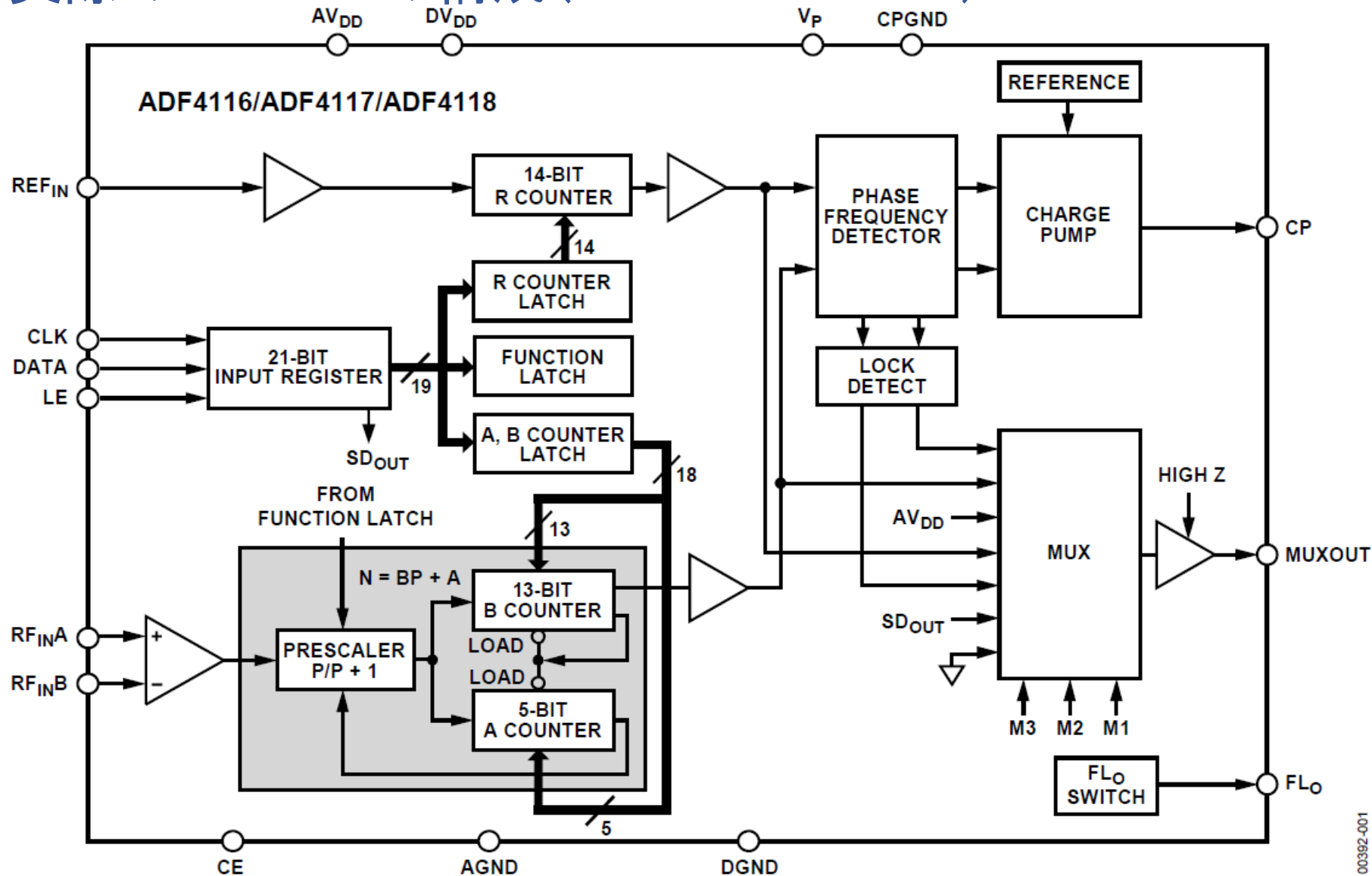
位相ロックループ

OPアンプはフィードバック(帰還回路)で出力
電圧を「入力電圧で制御」する

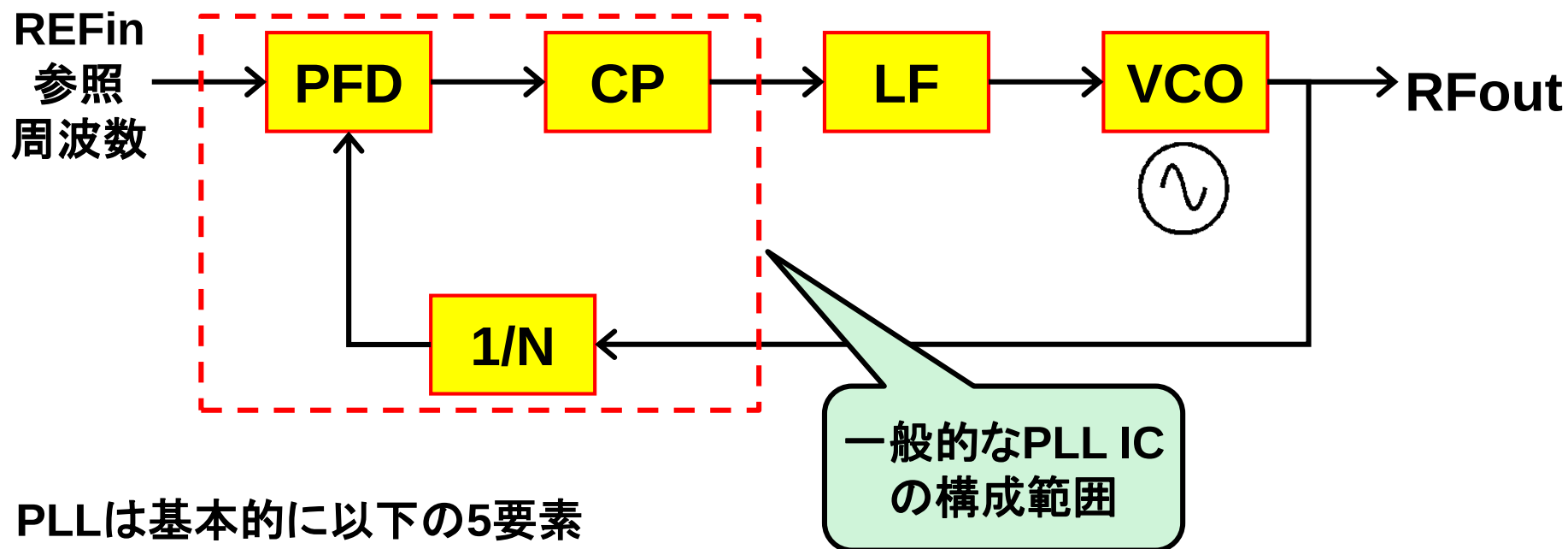
PLLもフィードバック(帰還回路)で出力
周波数を「入力周波数で制御」する

「帰還システム」とみれば同じシステム

実際のPLL ICの構成 (ADF4116/7/8)



PLL (Phase Locked Loop) の基本的な構成



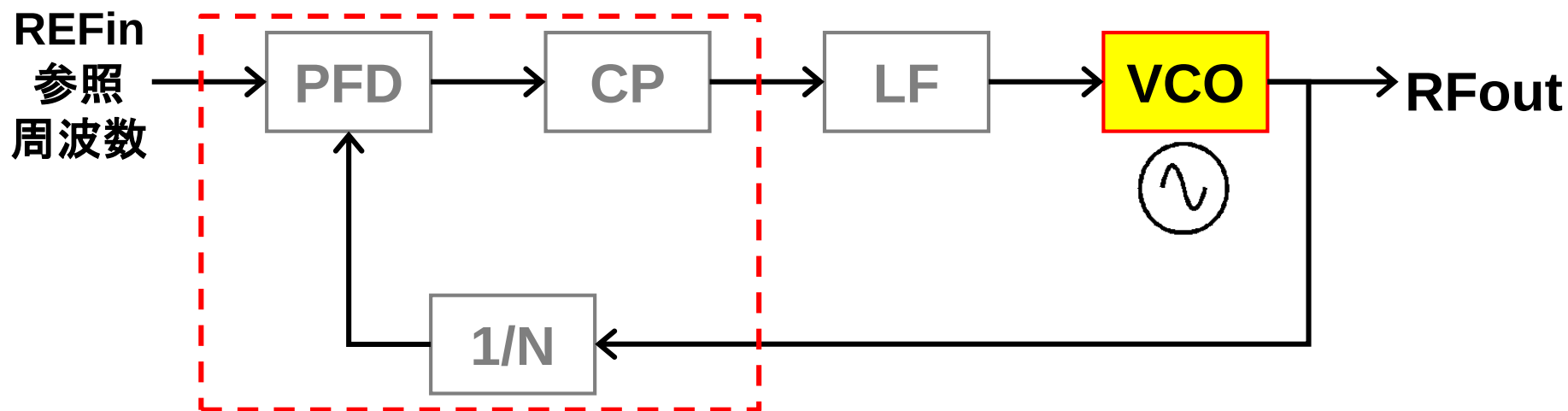
PLLは基本的に以下の5要素

1. VCO : Voltage Controlled Oscillator (電圧制御発振器)
2. N Divider (プログラマブル分周器)
3. PFD : Phase Frequency Detector (位相比較器)
4. CP : Charge Pump (チャージ・ポンプ)
5. LF : Loop Filter (ループ・フィルタ)



3. VCOとN分周カウンタ

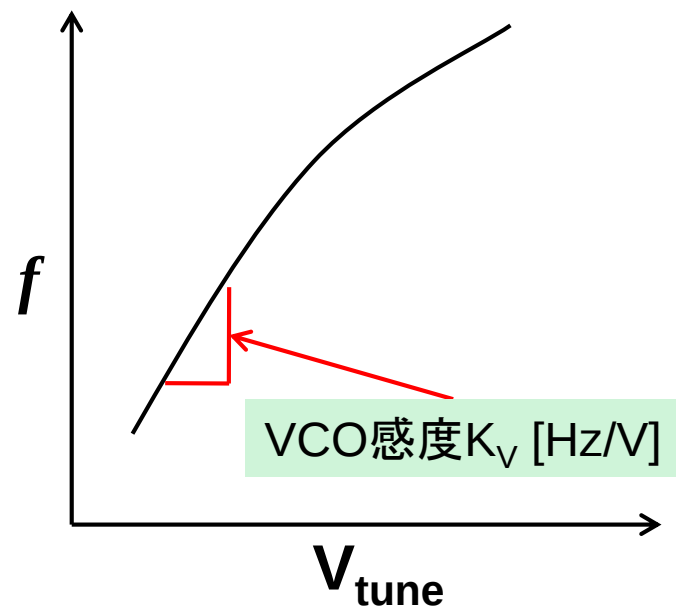
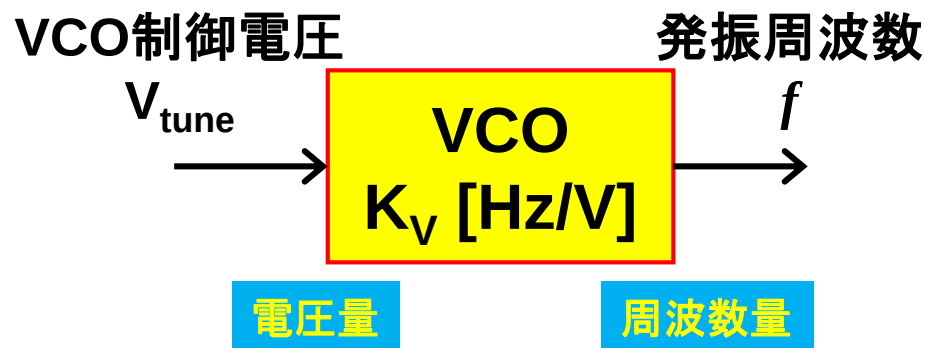
高周波信号を発生させる**VCO**(電圧制御発振器)



PLLは基本的に以下の5要素

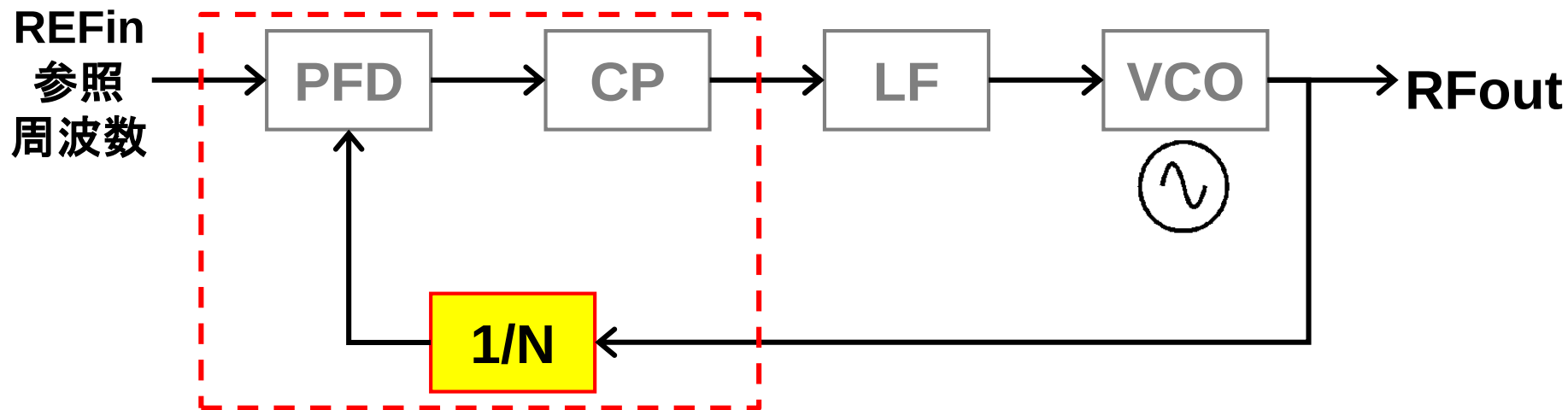
1. VCO : Voltage Controlled Oscillator (電圧制御発振器)
2. N Divider (プログラマブル分周器)
3. PFD : Phase Frequency Detector (位相比較器)
4. CP : Charge Pump (チャージ・ポンプ)
5. LF : Loop Filter (ループ・フィルタ)

高周波信号を発生させる**VCO**(電圧制御発振器)



- 電圧で出力周波数を制御
- 入出力特性が直線に近い方がPLL設計が容易
- **伝達関数**として $K_V \Rightarrow \text{Hz/V}$ (周波数/電圧) が得られる

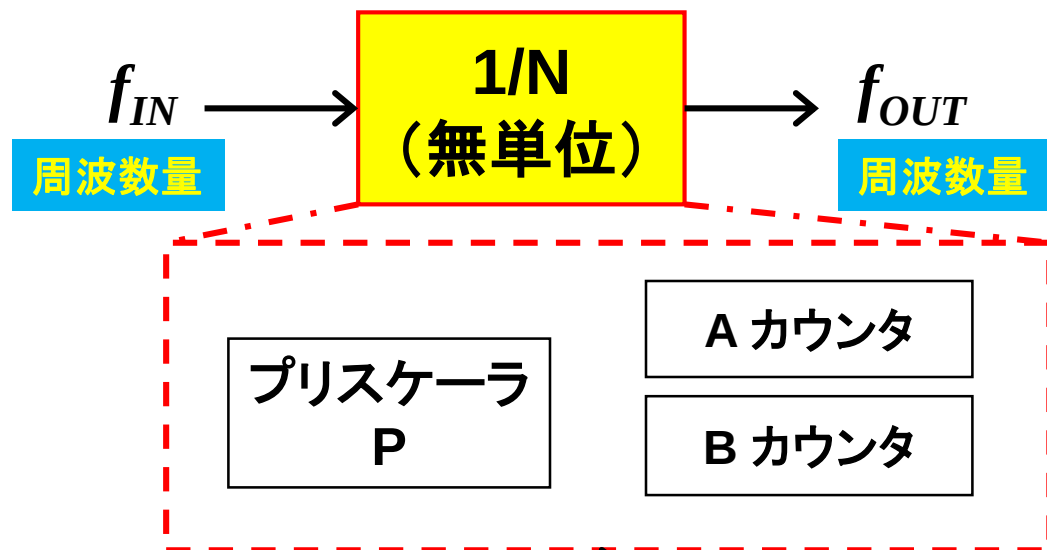
周波数を $N(=PB+A)$ だけ分周する N 分周器



PLLは基本的に以下の5要素

1. VCO : Voltage Controlled Oscillator (電圧制御発振器)
2. N Divider (プログラマブル分周器)
3. PFD : Phase Frequency Detector (位相比較器)
4. CP : Charge Pump (チャージ・ポンプ)
5. LF : Loop Filter (ループ・フィルタ)

周波数を **$N(=PB+A)$** だけ分周する **N** 分周器



パルス・スワロー
分周器と呼ばれる
構成

$$N = PB + A$$

$$F_{OUT} = F_{in} \times (PB + A)$$

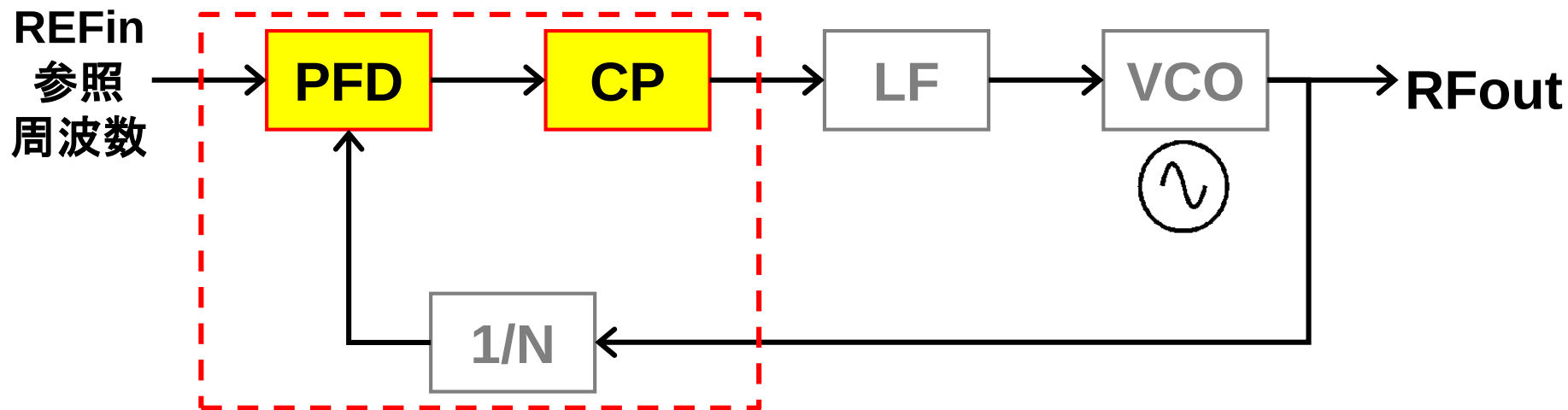
ただし $B > A$

伝達関数として $1/N$ (分周比・無単位) が得られる



4. PFD(位相比較器)と チャージ・ポンプ

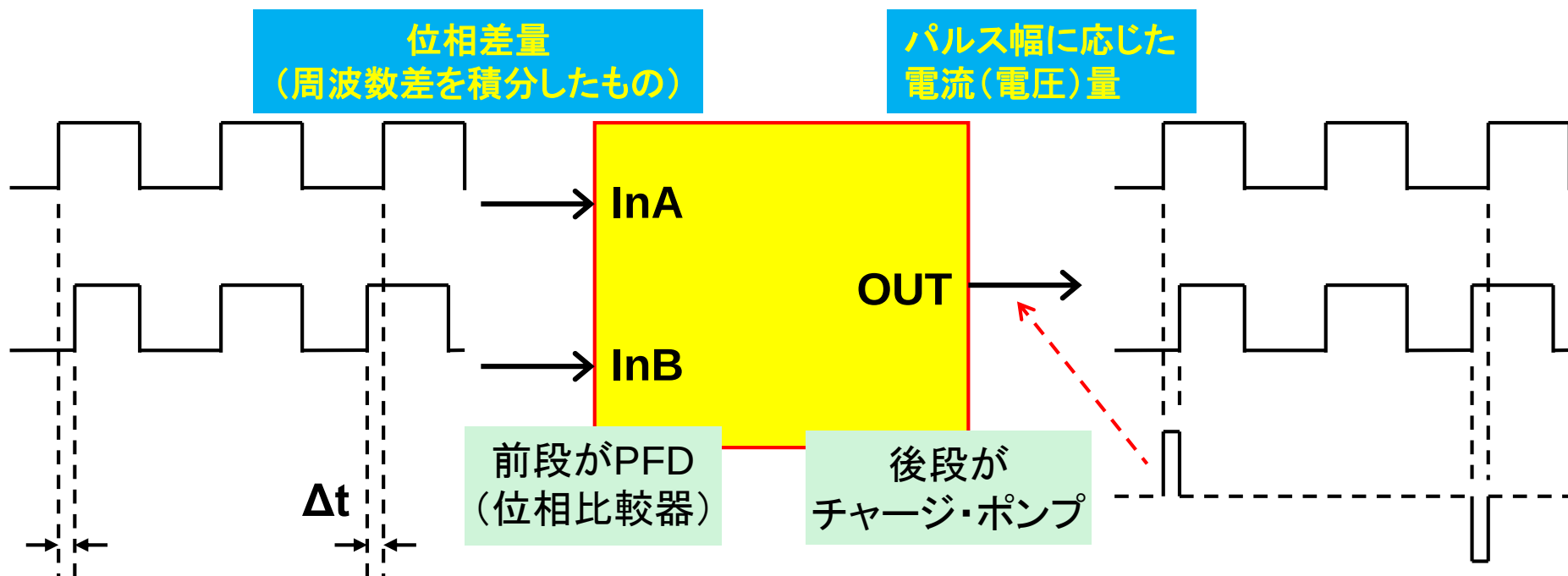
PFD (Phase Frequency Detector; 位相比較器) とチャージ・ポンプ



PLLは基本的に以下の5要素

1. VCO : Voltage Controlled Oscillator (電圧制御発振器)
2. N Divider (プログラマブル分周器)
3. PFD : Phase Frequency Detector (位相比較器)
4. CP : Charge Pump (チャージ・ポンプ)
5. LF : Loop Filter (ループ・フィルタ)

位相を比較し、位相差に比例したパルスを出力



PFD (Phase Frequency Detector)

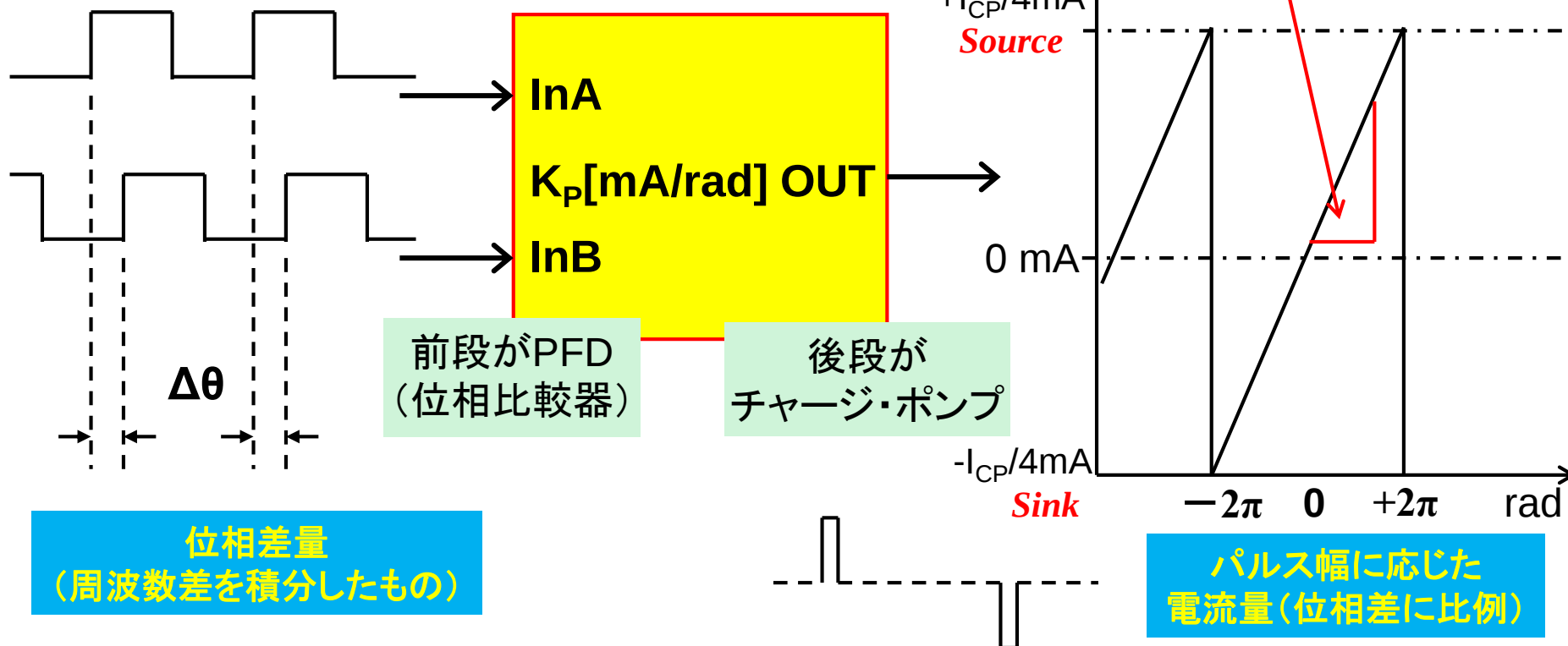
位相比較器は、2つの入力信号の位相を比較し差分を出力

チャージ・ポンプ

PFDの位相差に比例した電圧(または電流)を出力 (ADI製品は電流出力)

パルス平均量は位相差に比例する(位相差は周波数差の積分量)

$$\Delta\theta = 2\pi \cdot \Delta f \cdot \text{fin}$$

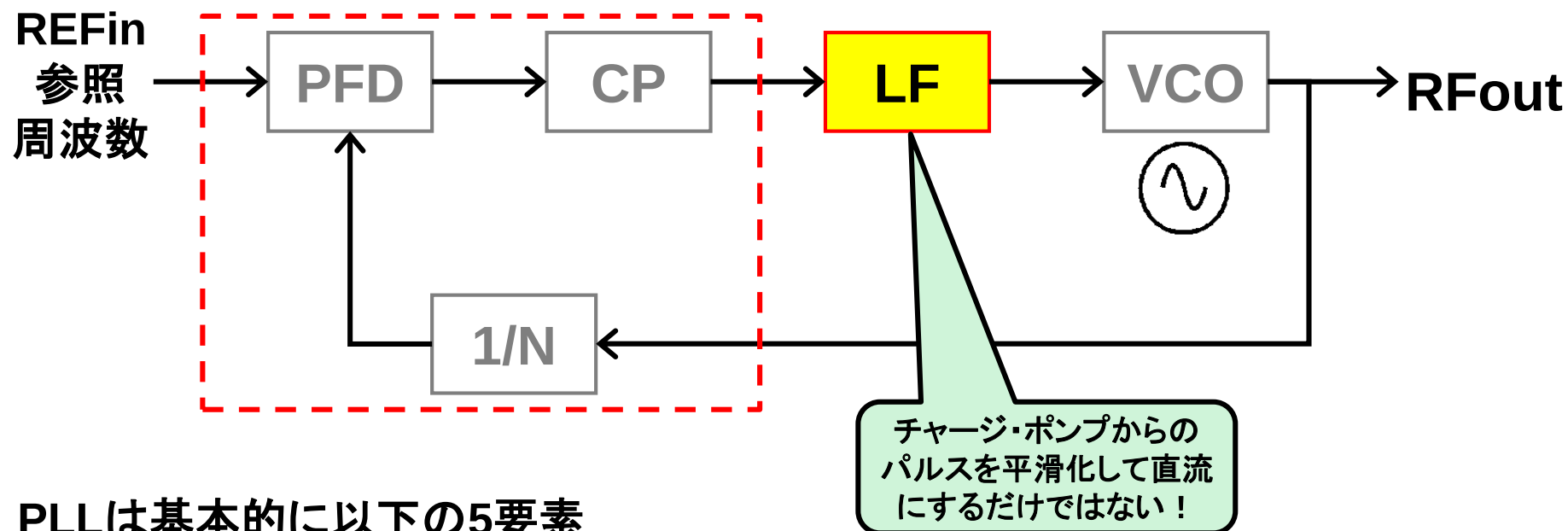


伝達関数として $K_p \Rightarrow \text{mA/rad}$ (電流/位相) が得られる
位相差に比例: 理論解析では「周波数差」でなく「位相差」に着目する



5. 応答特性を決定づける Loop Filter

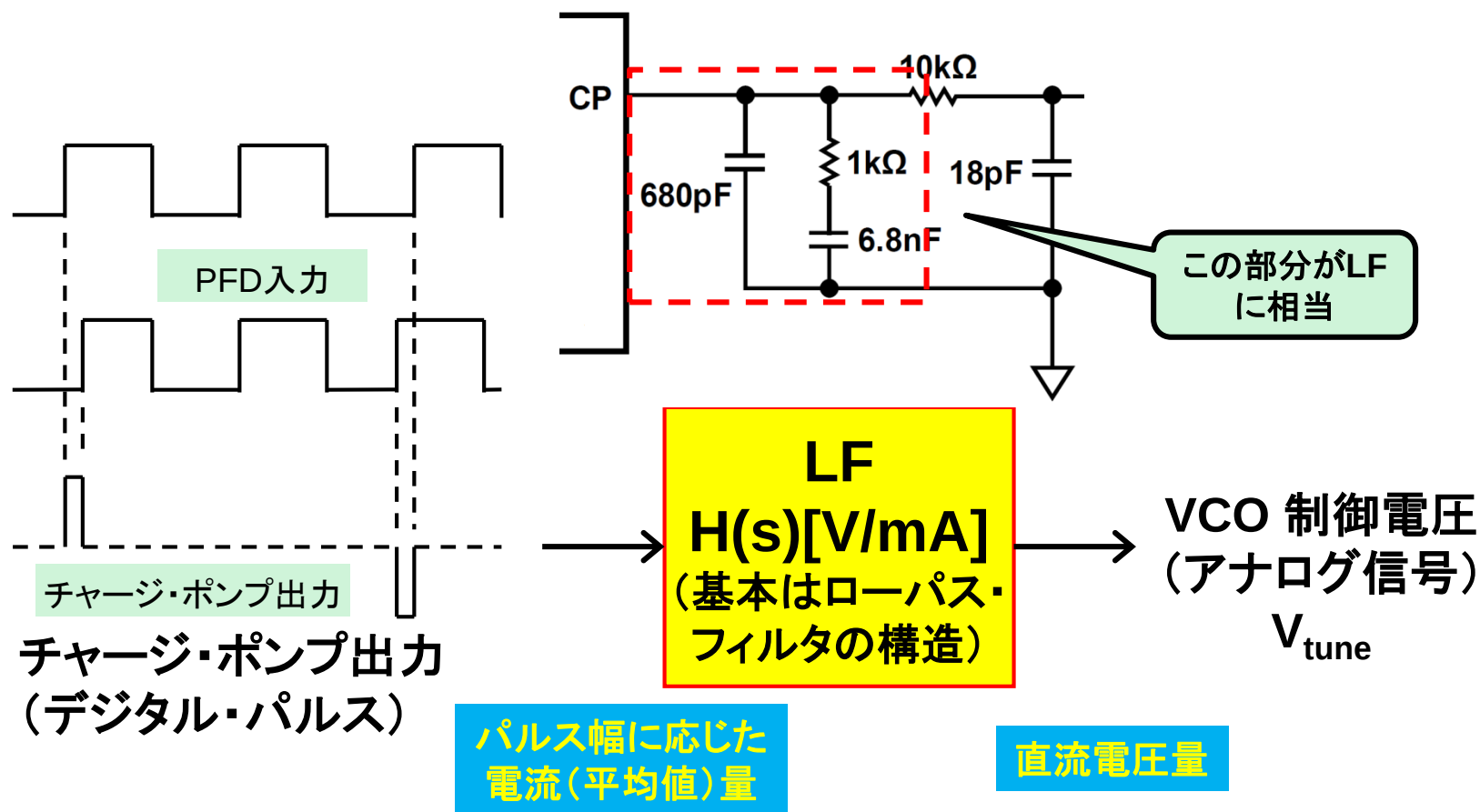
閉帰還応答特性を決定づける**Loop Filter**



PLLは基本的に以下の5要素

1. VCO : Voltage Controlled Oscillator (電圧制御発振器)
2. N Divider (プログラマブル分周器)
3. PFD : Phase Frequency Detector (位相比較器)
4. CP : Charge Pump (チャージ・ポンプ)
5. LF : Loop Filter (ループ・フィルタ)

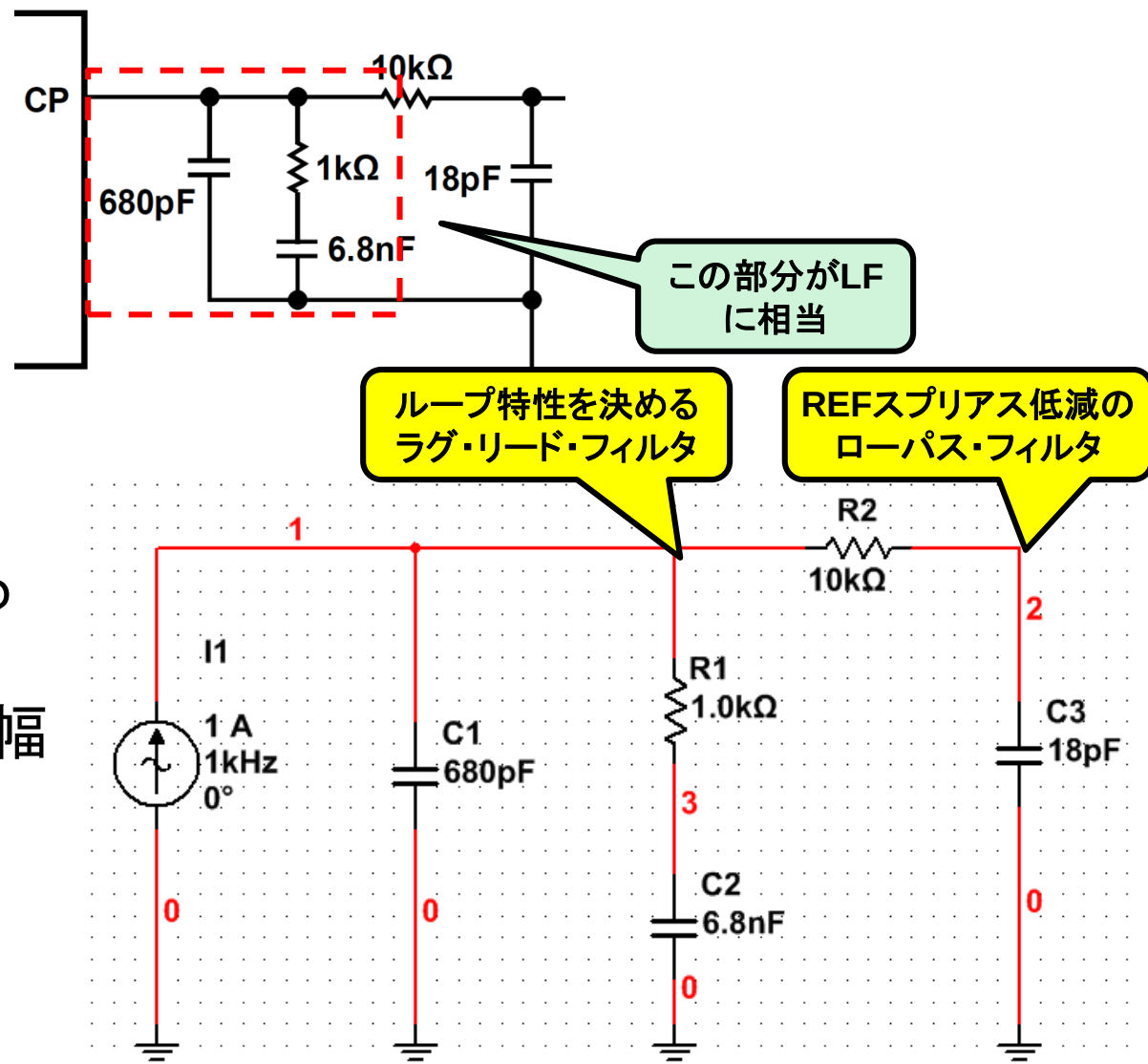
閉帰還応答特性を決定づける**Loop Filter**



位相比較器パルス出力をVCO制御電圧 V_{tune} に変換
基本的には位相特性が補償されたLPF

伝達関数として $H(s) \Rightarrow V/mA$ (電圧/電流) が用いられる

閉帰還応答特性を決定づける**Loop Filter**(つづき)



伝達関数として得られる
 $H(s) \Rightarrow V/\text{mA}$ (電圧/電流) は、周波数特性 (振幅と位相) がある

【ご紹介程度】Loop Filterの周波数特性(振幅)

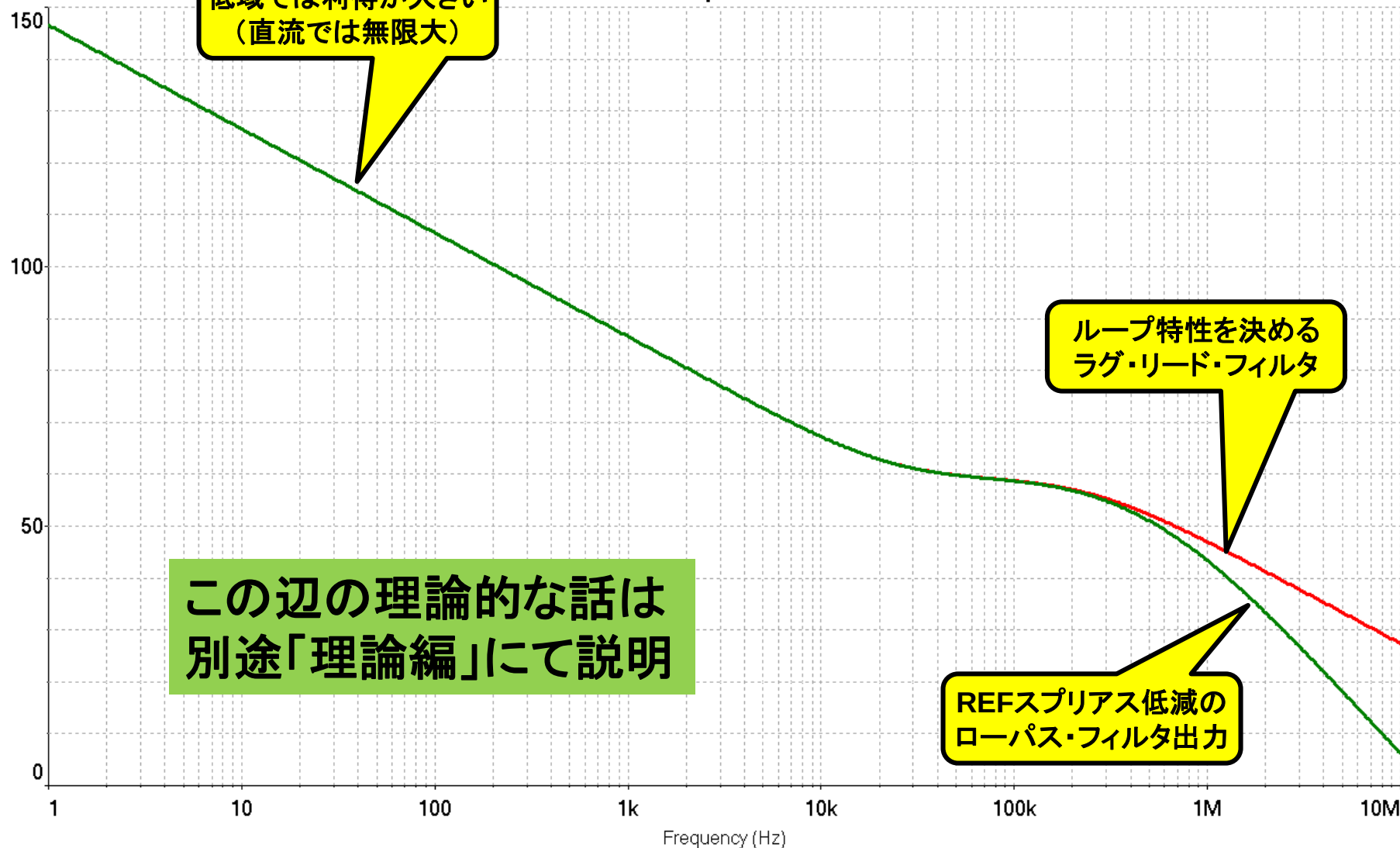
AC Analysis

低域では利得が大きい
(直流では無限大)

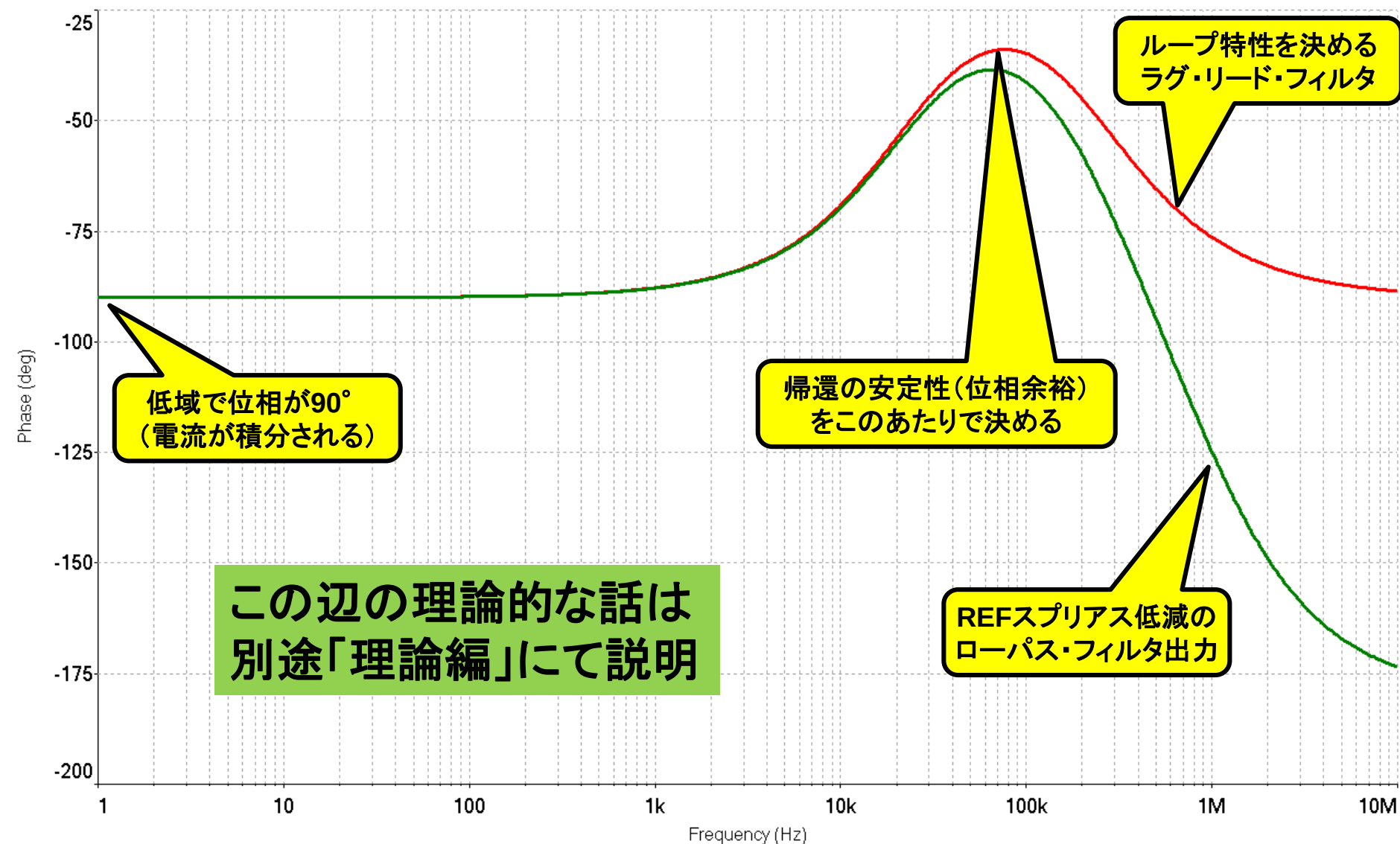
ループ特性を決める
ラグ・リード・フィルタ

この辺の理論的な話は
別途「理論編」にて説明

REFスプリアス低減の
ローパス・フィルタ出力



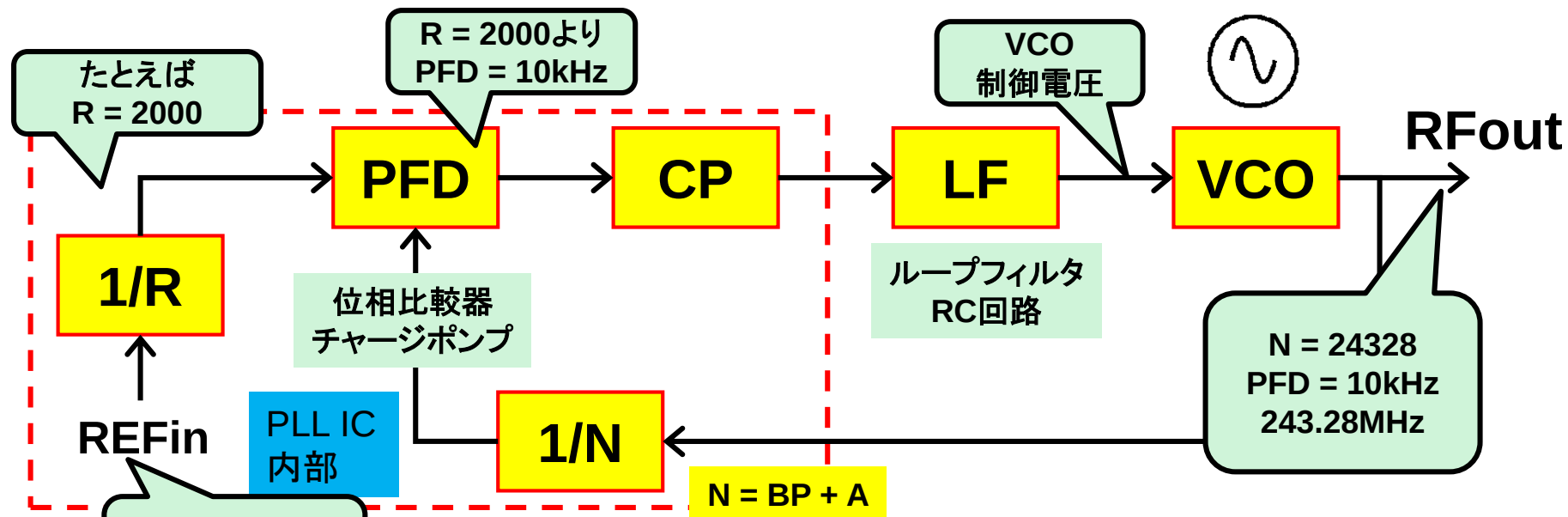
【ご紹介程度】 Loop Filterの周波数特性(位相)





6. PLLの周波数構成 インテジャーNとフラクショナルN

PLLの周波数関係(インテジャーN型)



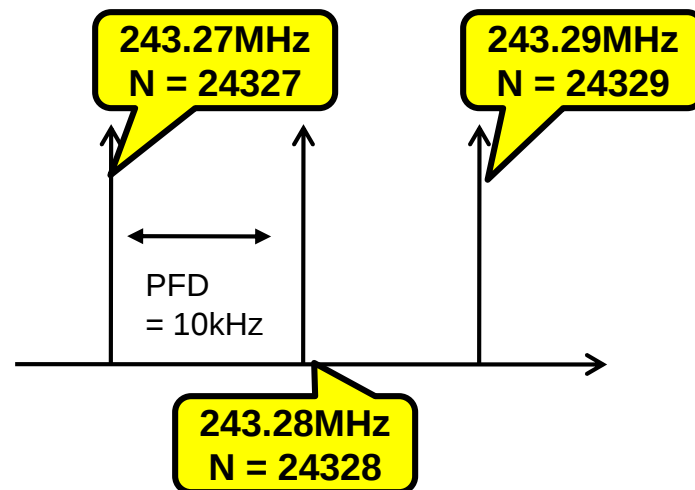
$$N = PB + A$$

$$PFD = REFin / R$$

$$RFout = REFin / R \times N$$

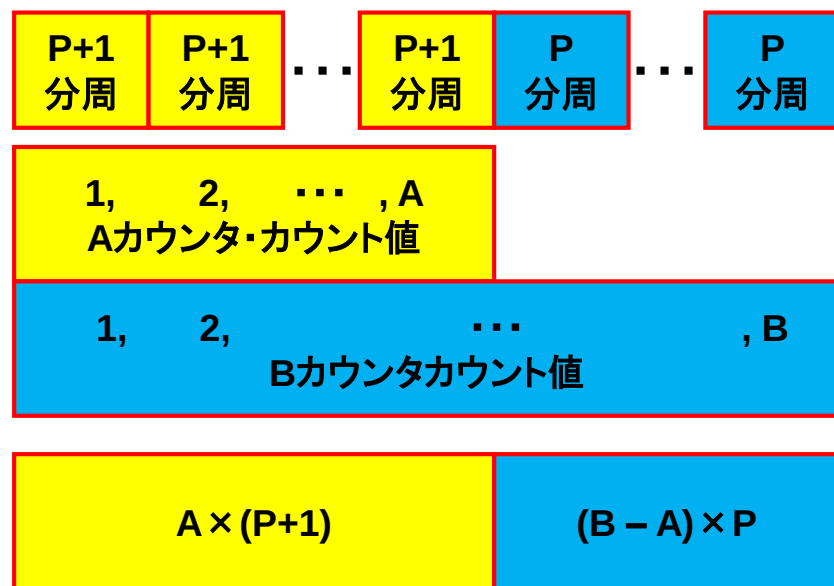
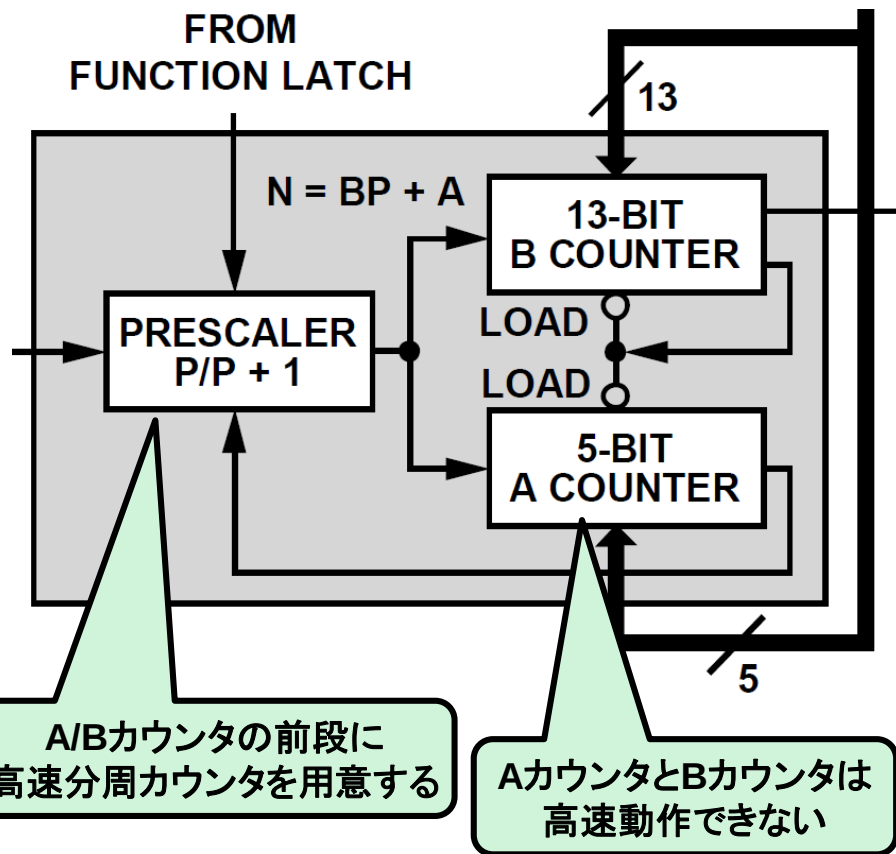
$$= REFin / R \times (PB + A)$$

$$\therefore RFout = PFD \times (BP + A)$$



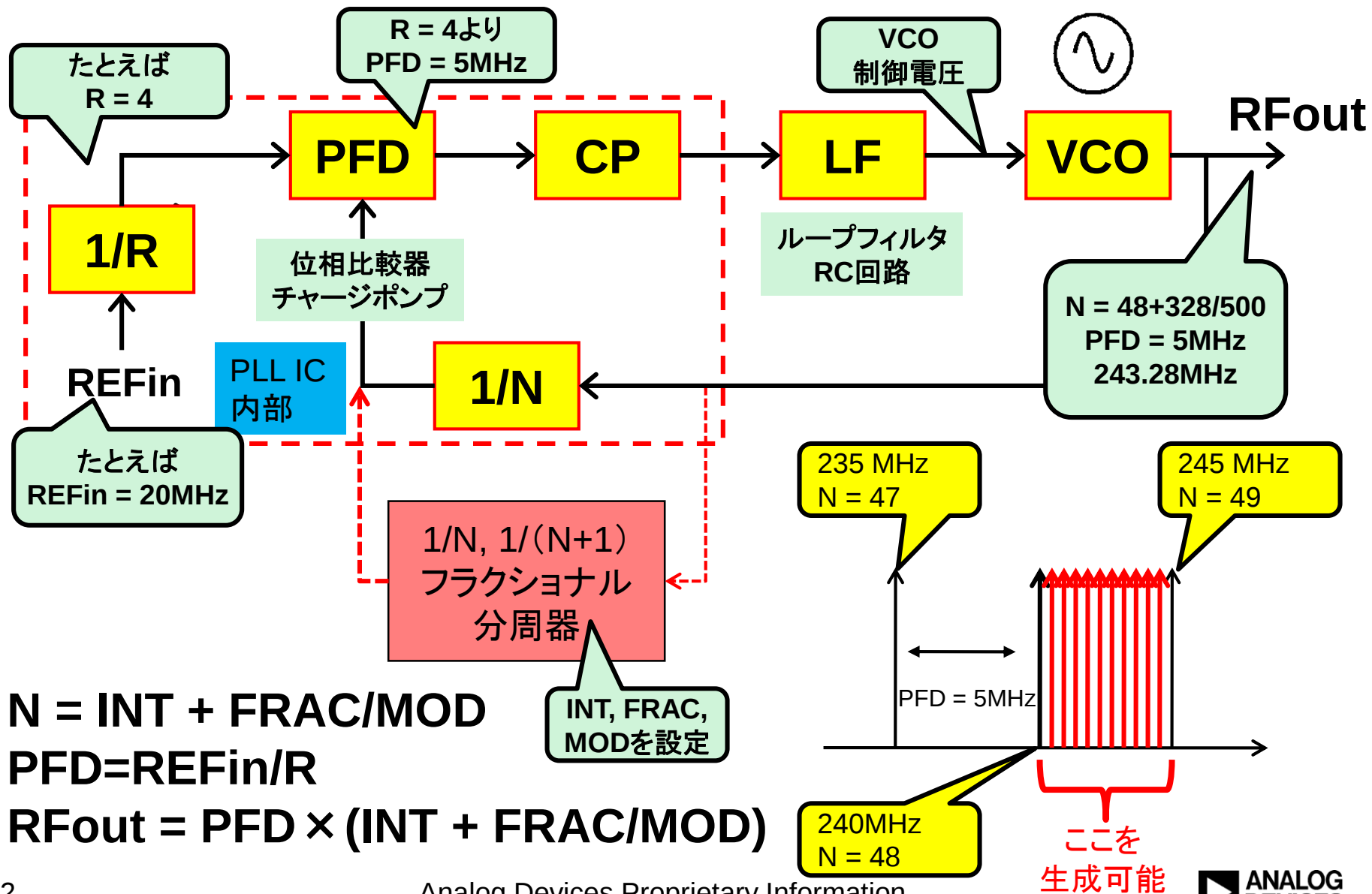
インテジャーNのパルス・スワロー・カウンタの動作

ただし $B > A$

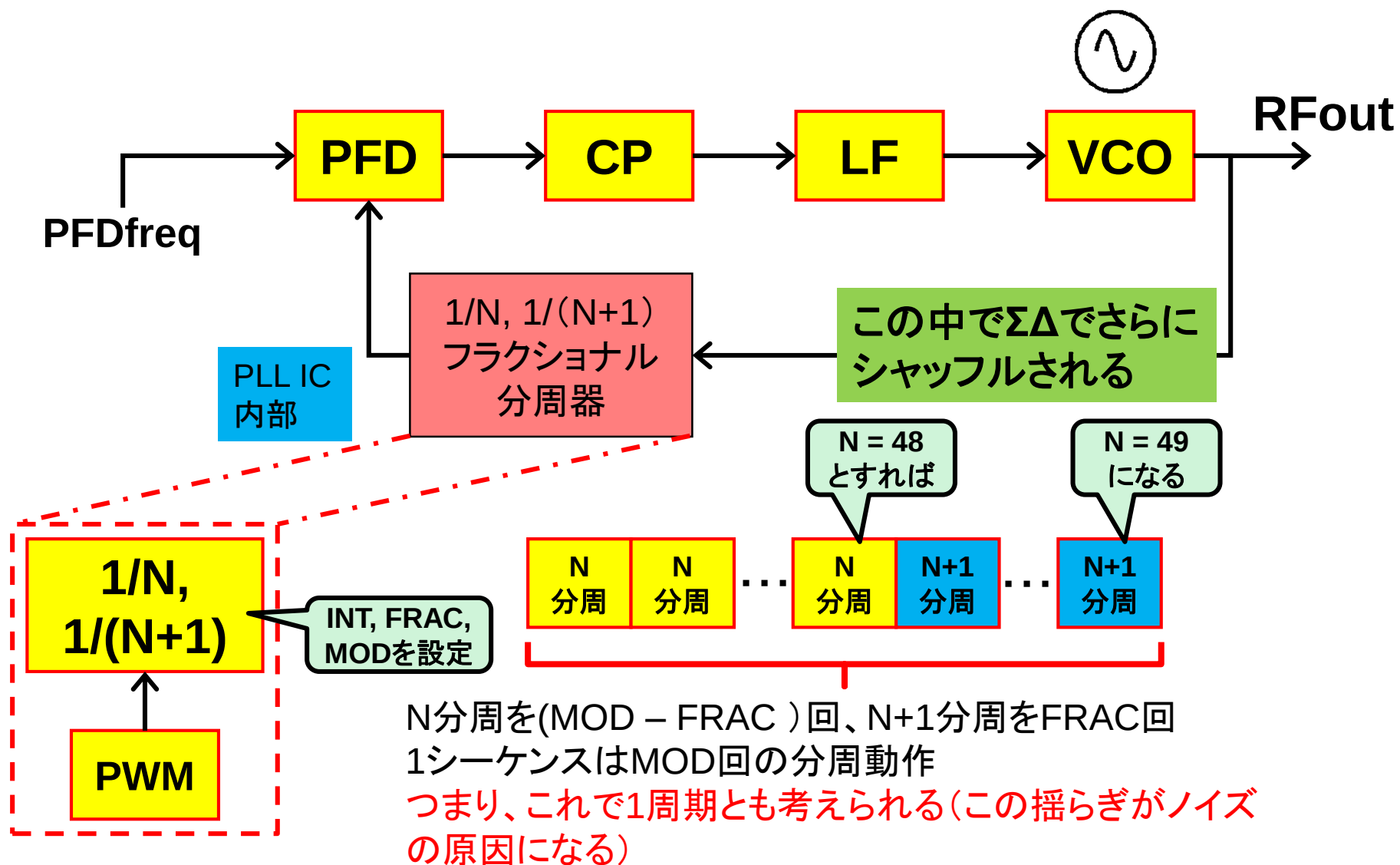


$$N = AP + A + BP - AP = BP + A$$

PLLの周波数関係(フラクショナル・・・端数のN型)



フラクショナル(端数の)**N**型**PLL**シンセサイザの動作



フラクショナルN分周器の動作

この中でΣΔでさらにシャッフルされる

N = 48
とする



PFD = 5MHzとする

FRAC = 328とする

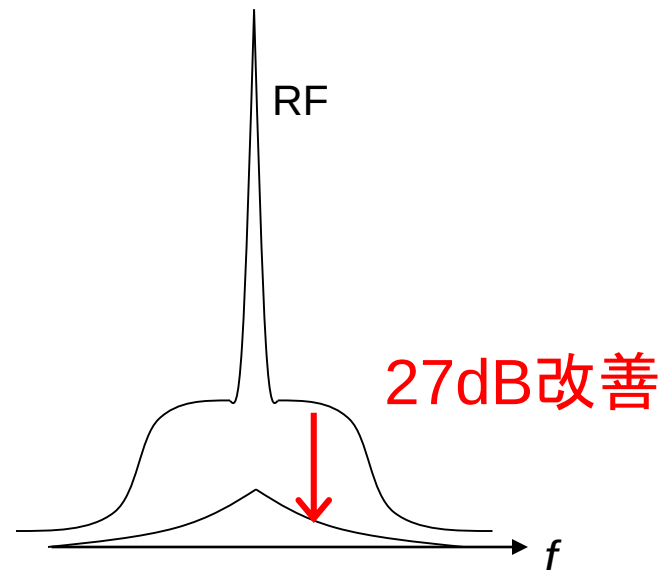
MOD = 500とする

$$\text{DIV} = \frac{N \times (\text{MOD} - \text{FRAC}) + (N + 1) \times \text{FRAC}}{\text{MOD}}$$

$$= N + \text{FRAC}/\text{MOD} = 48 + 328/500$$

PFD = 5MHzでRFout = 243.28MHzが得られる

位相ノイズ = ノイズ・フロア + 10log f_{PFD} + 20log Nから
 INT-N PFD = 10k & N = 24328 ⇒ **+127.7dB**
 FRAC-N PFD = 5M & N = 48.656 ⇒ **+100.6dB**
 でノイズ・フロアが上昇 (FRAC-Nの方が小さい)



- ◆ 位相ノイズ量が低減
- ◆ 比較周波数が高く設定可能
- ◆ ループ帯域幅はRF周波数ステップに依存しない(広く取れる)

ループ帯域を $> f_{\text{STEP}}/10$ にできる



フラクショナルNよりインテジャーN型が良好なケース

- ◆ 非常に低いスプリアス・レベルが要求される場合
 - フラクショナルN型特有のスプリアス・ノイズが出てくる
- ◆ 周波数固定で位相雑音が重要な場合
 - 位相雑音性能(ノイズ・フロア)は、ADF4106/7/8/ADF4150が最高(2013年12月時点)
- ◆ 多チャネル用途では、位相(SSB)ノイズ特性はフラクショナルNの方が比較的良好(フラクショナルNにはノイズ・シェーピング機能もある)
- ◆ 大切な公式
 - 位相(SSB)ノイズ = ノイズ・フロア + $10\log f_{\text{PFD}}$ + $20\log N$

位相雑音性能
データシートに記載



まとめ

- ◆ PLLはフィードバック(帰還回路)で出力周波数を「入力周波数で制御」する
- ◆ PLLの各ブロック要素を説明した
- ◆ インテジャーN型PLLとフラクショナルN型PLLがある
- ◆ それぞれの周波数設定の考え方を示した

