

The World Leader in High Performance Signal Processing Solutions



FPGA時代の 高速データ・コンバータの クロッキング

アナログ・デバイセズ株式会社
石井 聡

アジェンダ

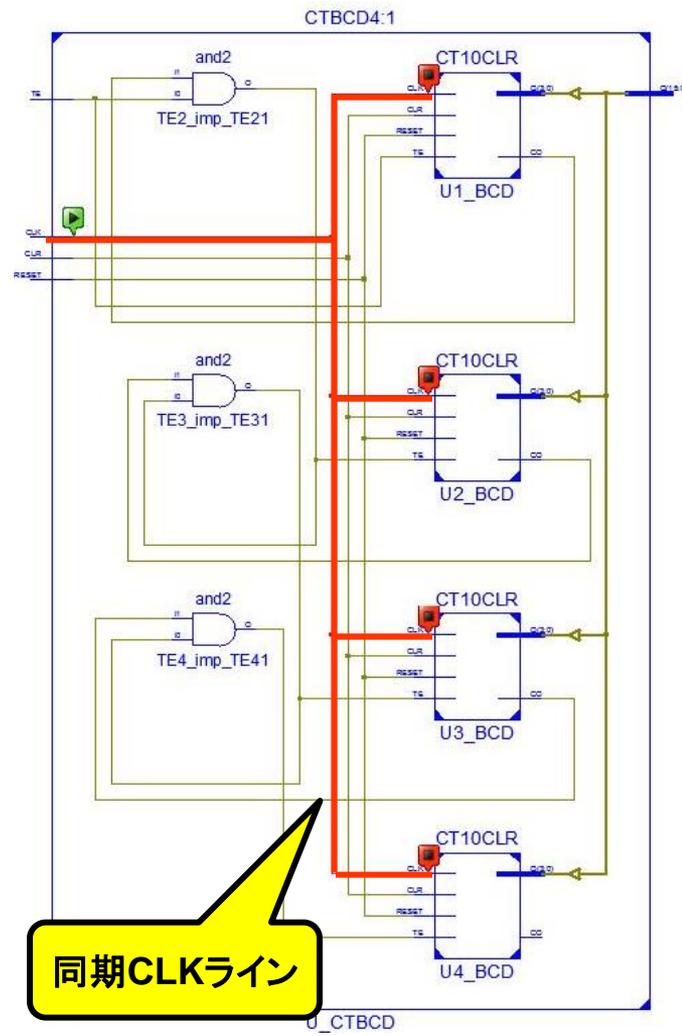
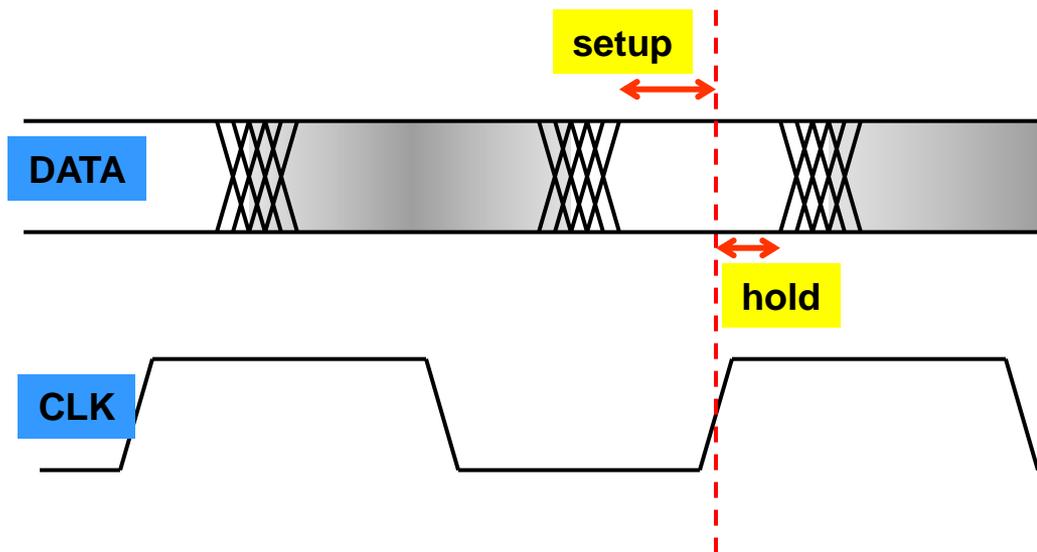
- ◆ ミックスド・シグナルのクロッキングの問題点
- ◆ クロック・ジッタの考え方と時間ドメインと周波数ドメイン
- ◆ ミックスド・シグナルでのシステム・クロッキングに対する適切な設計アプローチ



1. イントロダクション

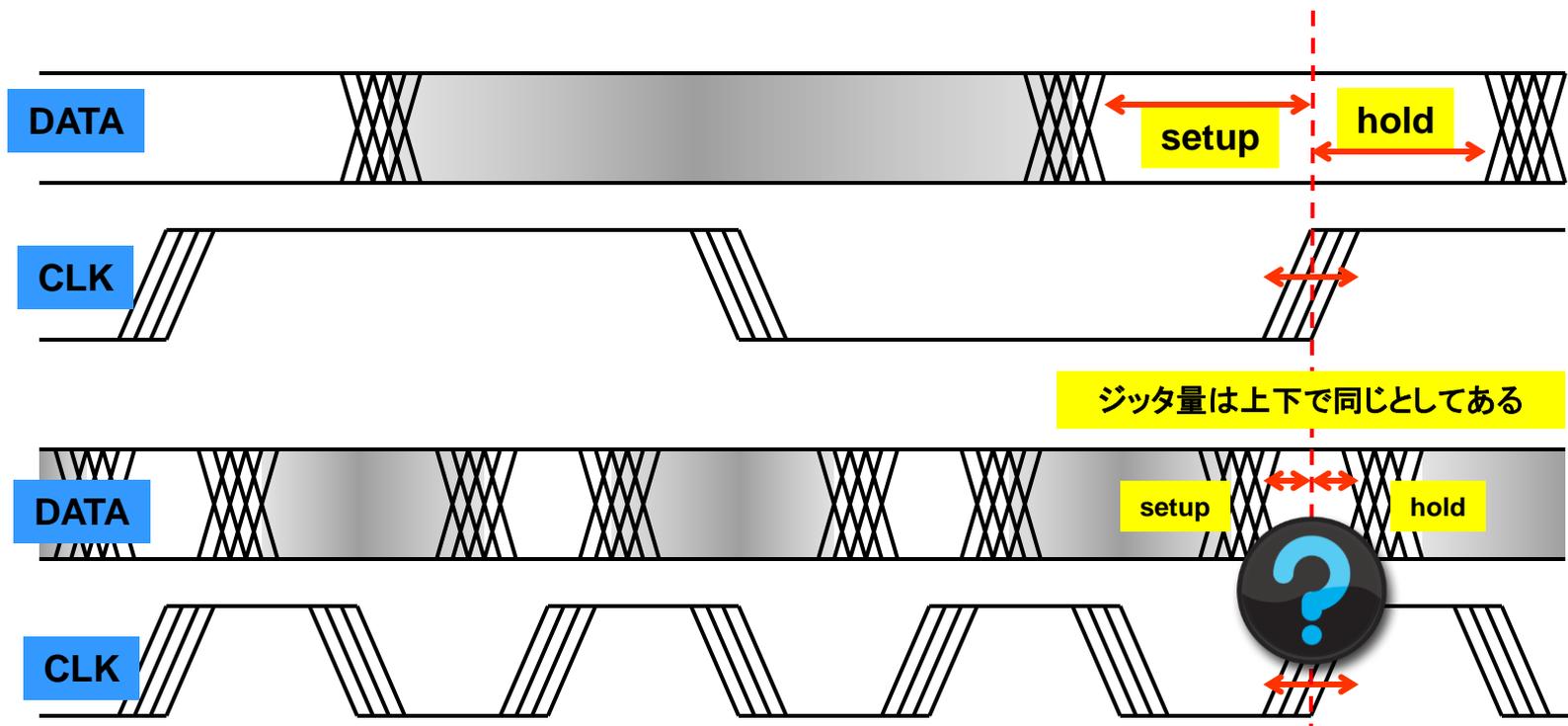
ちょっと前までの論理回路同期クロッキングの概念

- ◆ 内蔵クロックバッファ、CTS (Clock Tree Synthesis) などを利用して、クロックが同期していればよかった
- ◆ F/F間はセットアップ・ホールドが満足していればよかった



近年の論理回路クロッキング問題点

- ◆ クロック速度が高速になってきたので、いままで無視できていた**クロック・ジッタが無視できなくなってきた!**
- ◆ タイミング予測のうえでクロックの不確定性 (pk - pkジッタ) が問題になってきている



近年のミックスド・シグナルのクロッキングとデータ変換の問題点

- ◆ 取り扱うアナログ周波数が広帯域化（Wideband）、高周波化（High Frequency）している
- ◆ ADCを駆動するクロックのジッタ（純度の低さ）によりADCのSNR（ダイナミック・レンジ）が低下してしまう！
- ◆ 論理回路を動作させるに十分なジッタ量よりもさらにシビアな（高純度）な低ジッタのクロックが必要

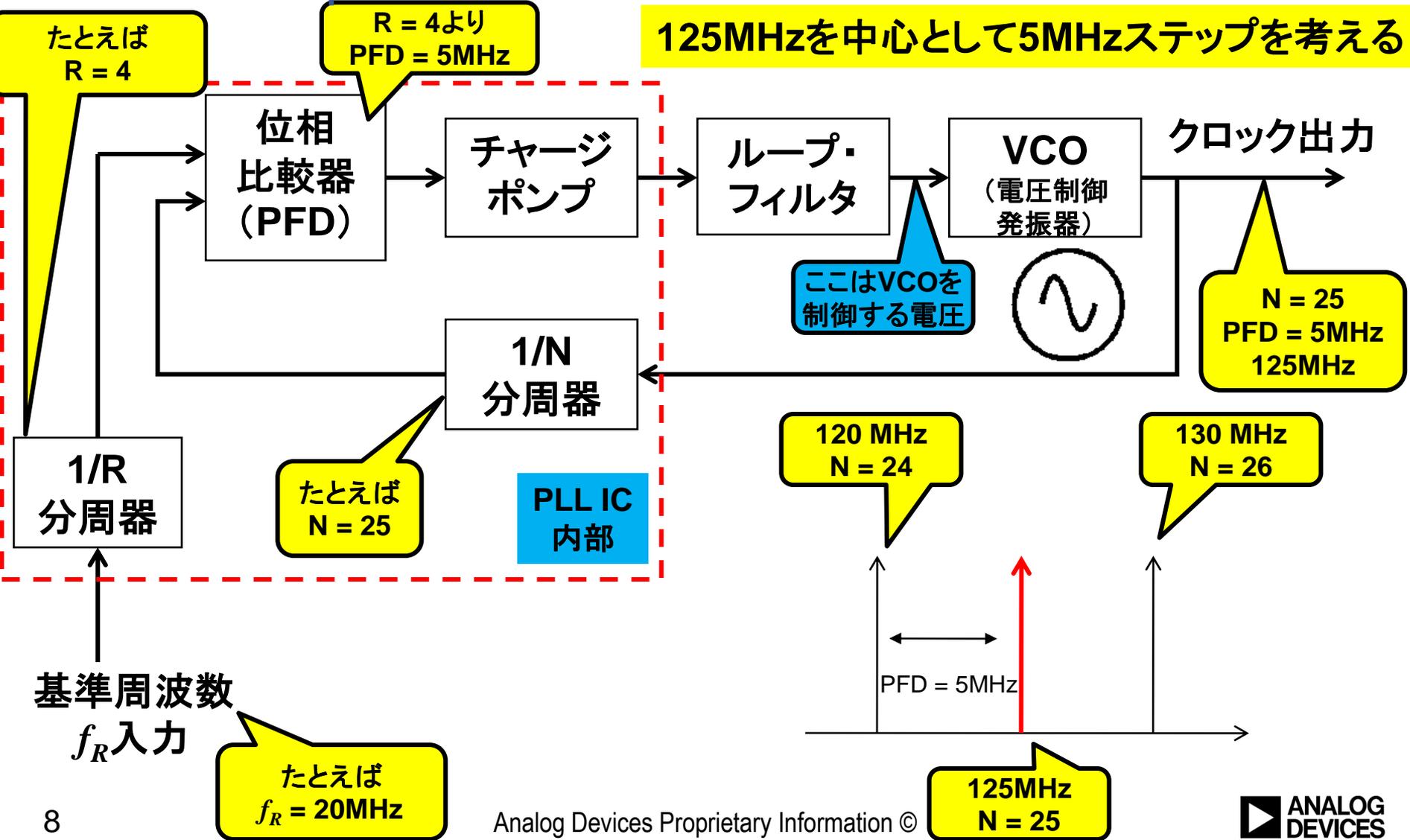


2. クロック・ジッタ（時間軸）と **SSB**ノイズ（周波数軸） とを比較してみる



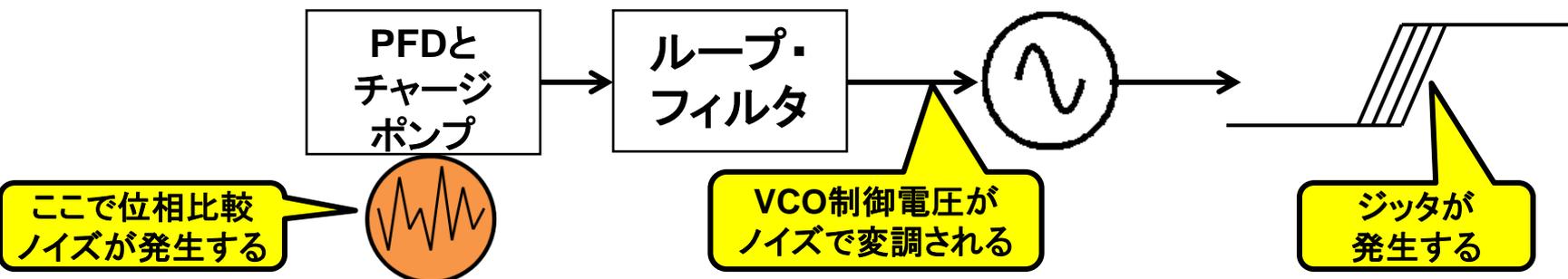
現代の高速クロッキングを実現するPLL (Phase Locked Loop) システム

125MHzを中心として5MHzステップを考える

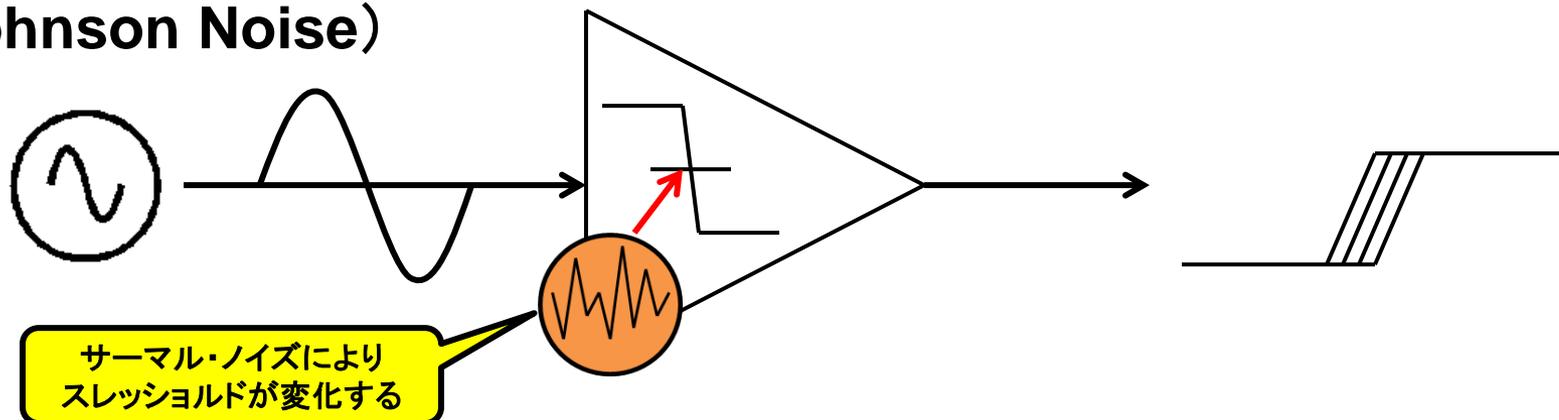


クロック・ジッタが生じるしくみ

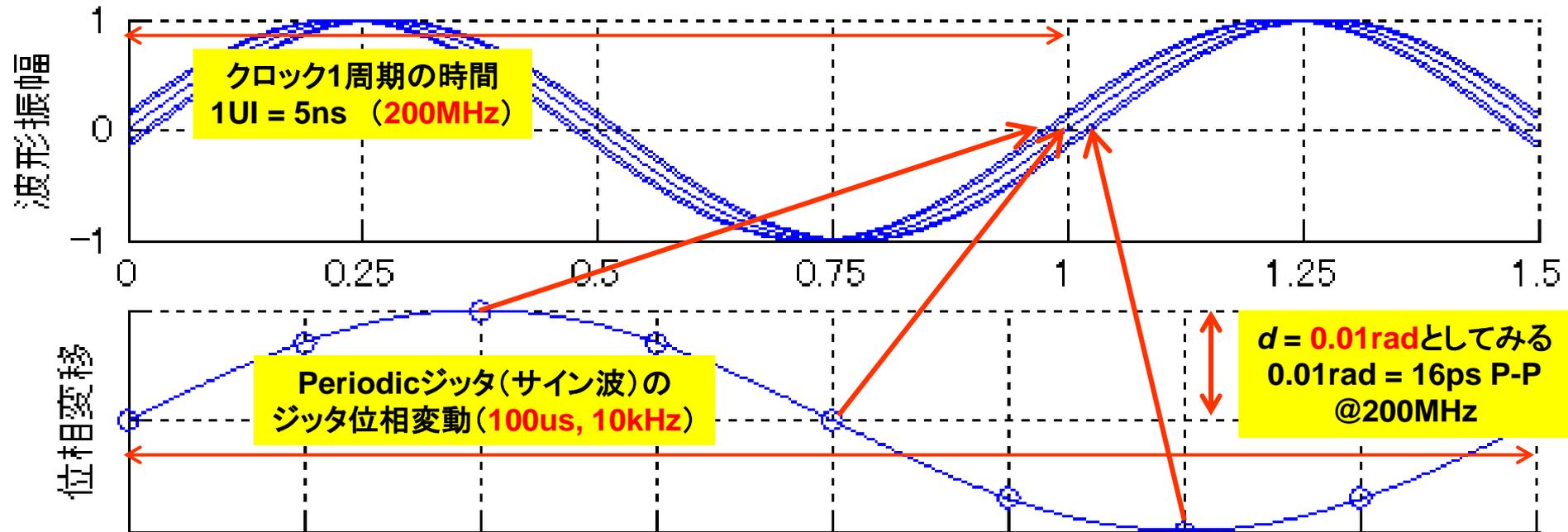
◆ PLLシステムで発生する位相ノイズ (Phase Noise)



◆ コンパレータ・論理ゲートのスレッシュホールド付近でスレッシュホールド・レベルに影響を与えるサーマル・ノイズ (熱雑音、Johnson Noise)



クロック・ジッタの時間ドメインと周波数ドメインの相互関係 (Periodic Jitter時間波形)



$$s(t) = \sin(\omega t + d \sin pt)$$

$$= \sin \omega t + \frac{d}{2} \{ \sin(\omega t + pt) - \sin(\omega t - pt) \}$$

式変形は6節で示す

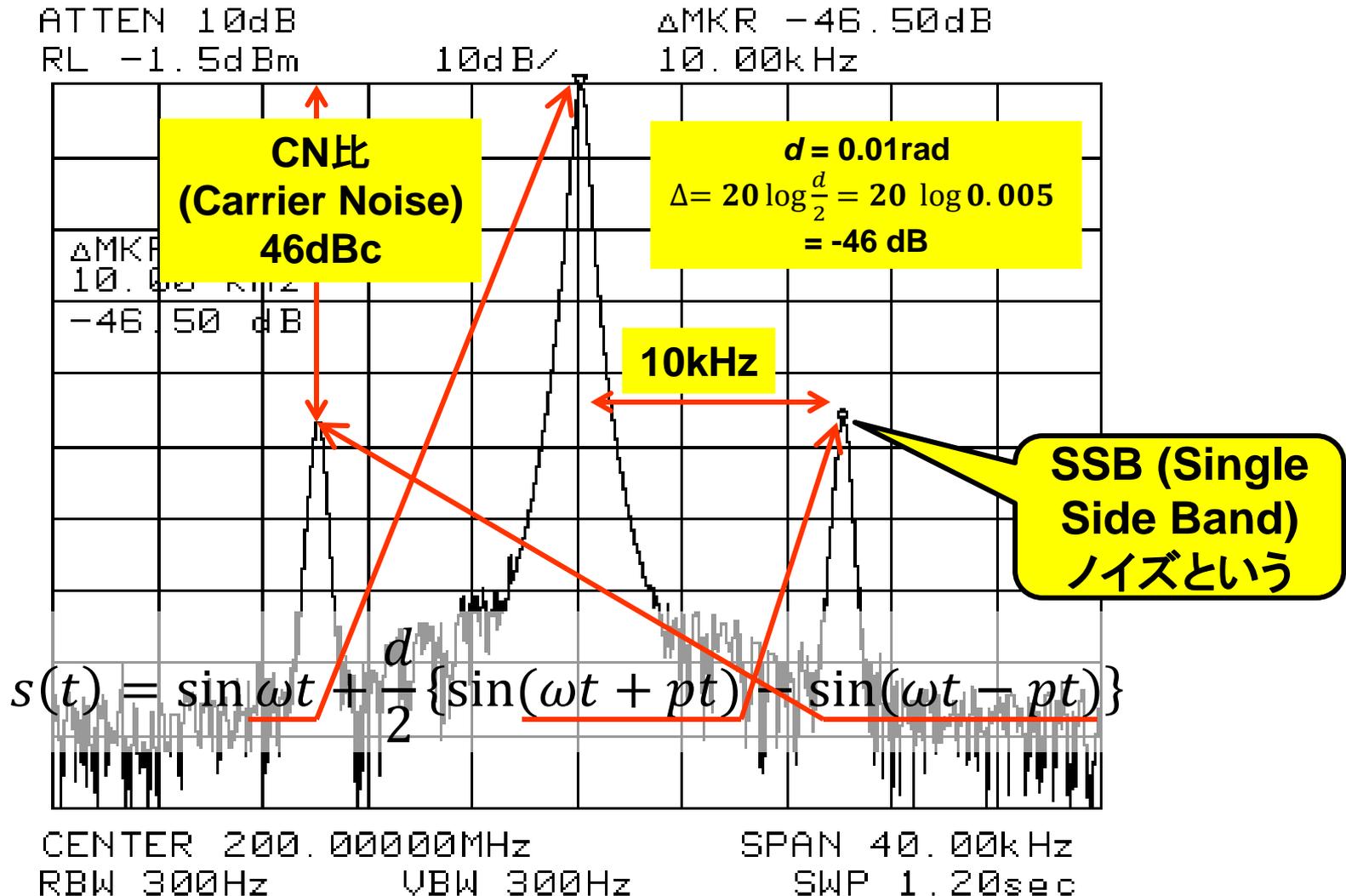
d は位相変移(rad, 上記では0.01rad)

ω はクロックの角周波数(rad/sec, 上記では $2\pi \times 200\text{MHz}$ [rad/sec])

p はジッタ変動の角周波数(rad/sec, 上記では $2\pi \times 10\text{kHz}$ [rad/sec])

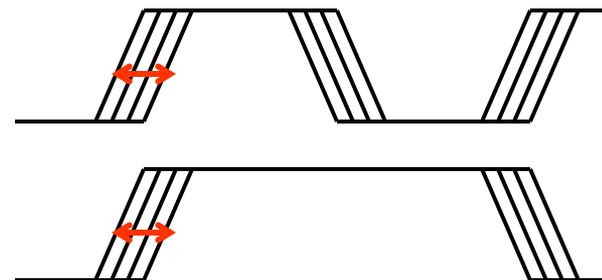
Periodicジッタからrandomジッタ&トータルジッタに話をすすめていく

クロック・ジッタの時間ドメインと周波数ドメインの相互関係 (Periodic Jitterスペクトル)

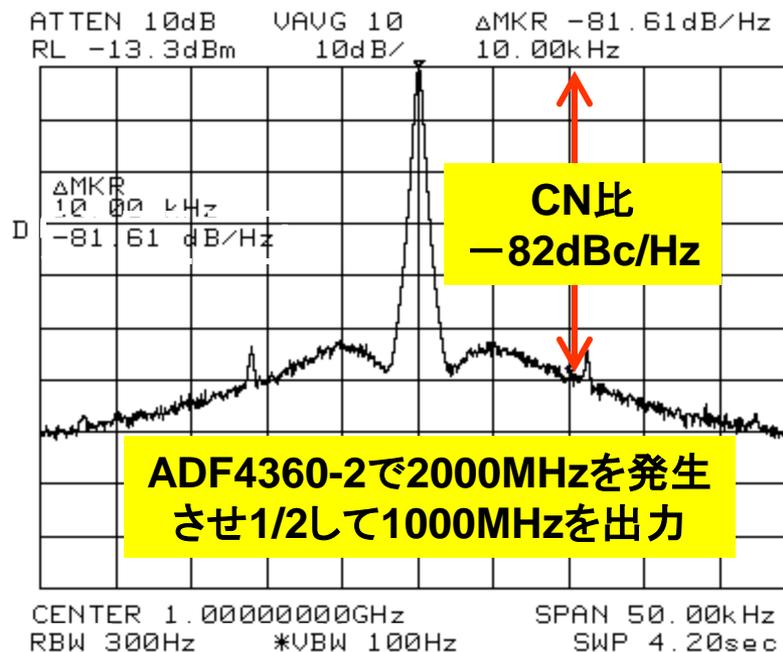
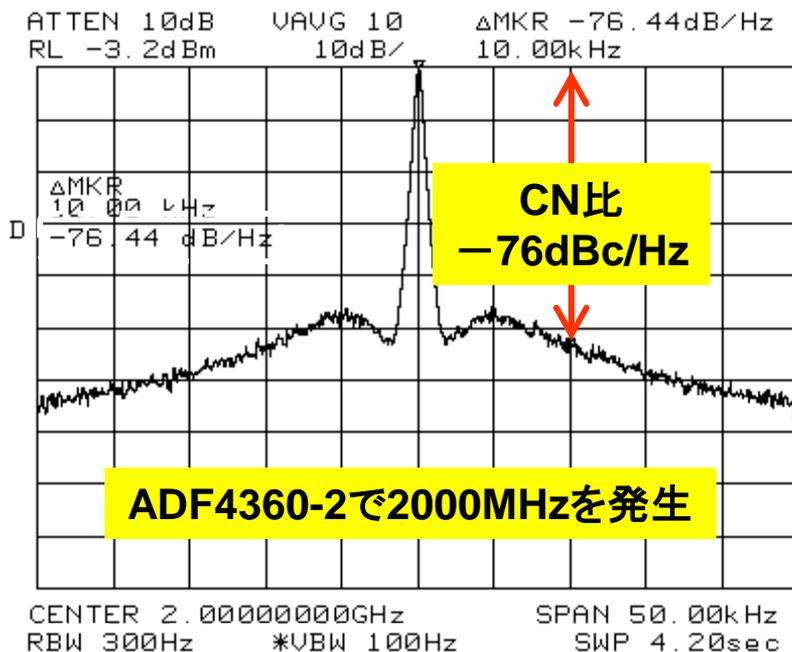


クロック分周とジッタとSSBノイズ

- ◆ クロックを2分周すればSSBノイズは1/2 (-6dB) になる
 - 実際のジッタ量自体は変わらないが
 - 1周期におけるジッタ占有率が減る



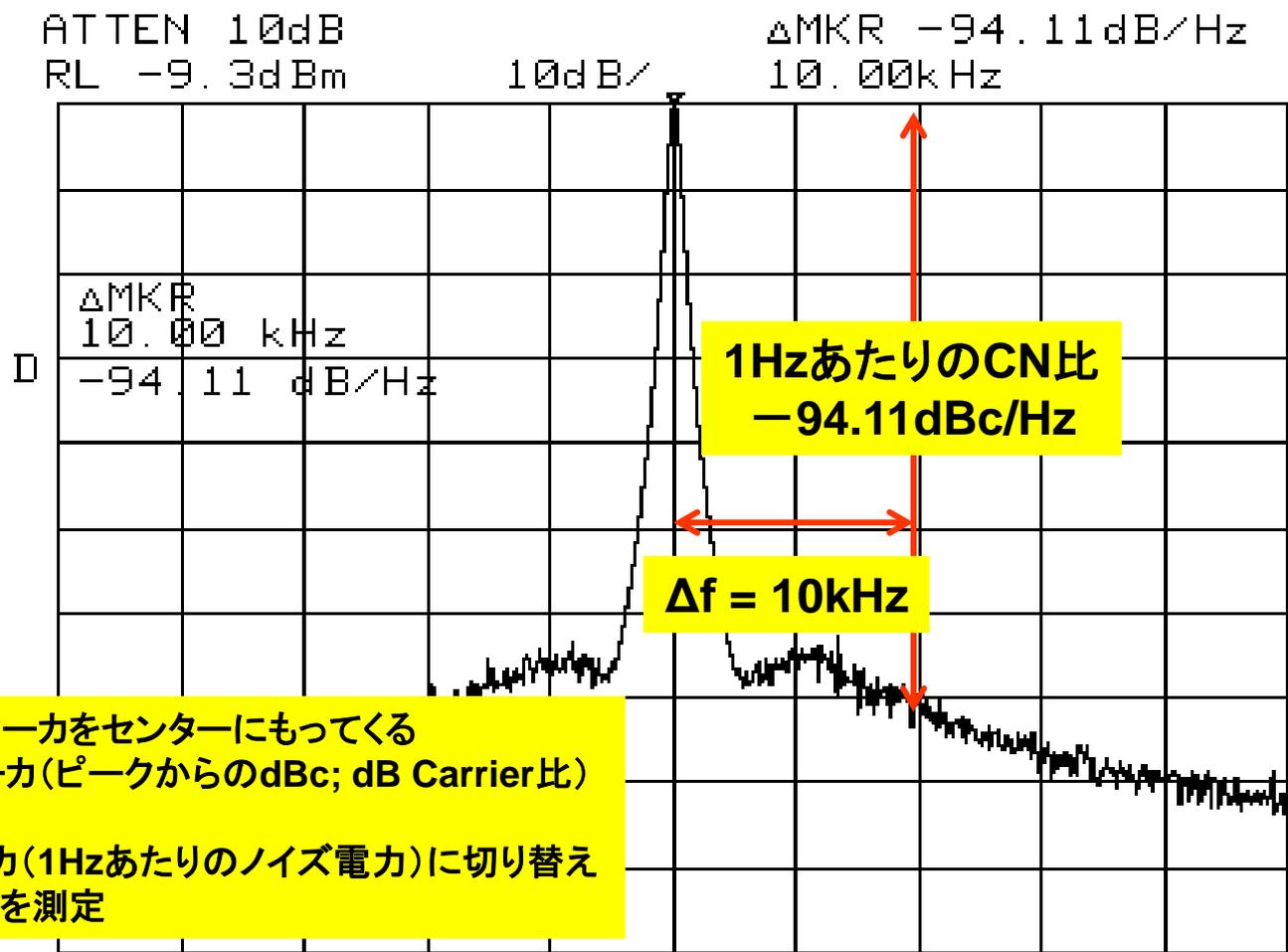
ジッタ量は上下で同じ





3. 周波数ドメインから トータル時間ジッタを求める 「目的は時間ジッタを知りたい」

周波数ドメインからTotal Jitter (rms)を求める ①



- ① ノーマルマーカをセンターにもってくる
- ② デルタマーカ(ピークからのdBc; dB Carrier比)に切り替え
- ③ ノイズマーカ(1Hzあたりのノイズ電力)に切り替え
- ④ これで各点を測定

周波数ドメインからTotal Jitter (rms)を求める ②

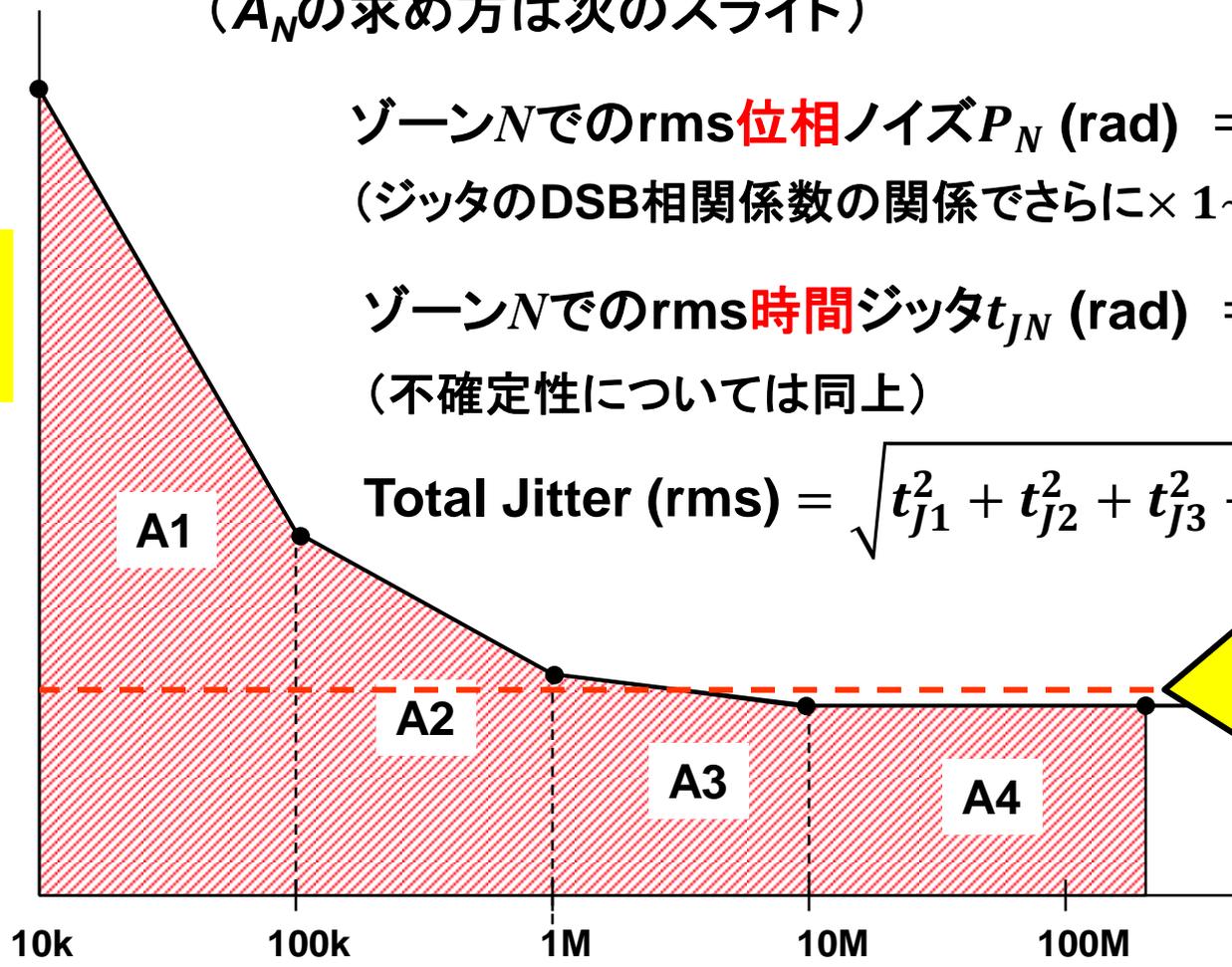
A_N = ゾーンNの位相ノイズvsキャリア比(CN比)の積分値dBc
 (A_N の求め方は次のスライド)

ゾーンNでのrms位相ノイズ P_N (rad) = $\sqrt{2 \times 10^{A_N/10}}$
 (ジッタのDSB相関係数の関係でさらに $\times 1 \sim \times \sqrt{2}$ の不確実性あり)

ゾーンNでのrms時間ジッタ t_{JN} (rad) = $\frac{1}{2\pi f_o} \sqrt{2 \times 10^{A_N/10}}$
 (不確実性については同上)

$$\text{Total Jitter (rms)} = \sqrt{t_{J1}^2 + t_{J2}^2 + t_{J3}^2 + t_{J4}^2}$$

位相
ノイズ
(dBc/Hz)



スペアナのノイズフロアは十分に低くし
 できるだけ広帯域で
 観測する。
 積分値が飽和する
 あたりか、ノイズ
 フロアで積分を
 打ち切る(しかない)

周波数オフセット (Hz)

周波数ドメインからTotal Jitter (rms)を求める ③

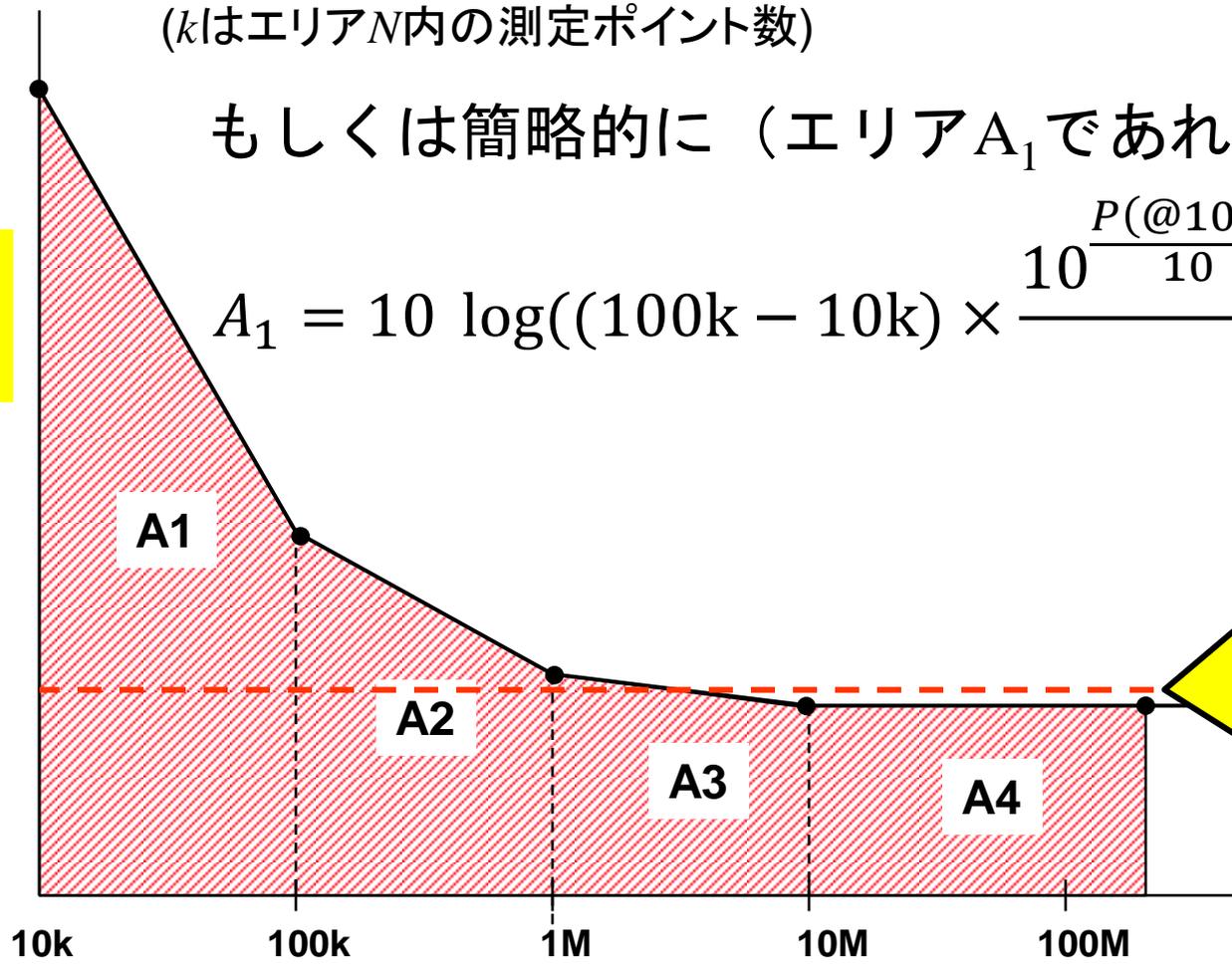
$$A_N = 10 \log(\sum_k 10^{P(k)/10}) + 10 \log(\text{測定スパン[Hz]})$$

(kはエリアN内の測定ポイント数)

もしくは簡略的に (エリアA₁であれば)

$$A_1 = 10 \log((100k - 10k) \times \frac{10^{\frac{P(@10k)}{10}} + 10^{\frac{P(@100k)}{10}}}{2})$$

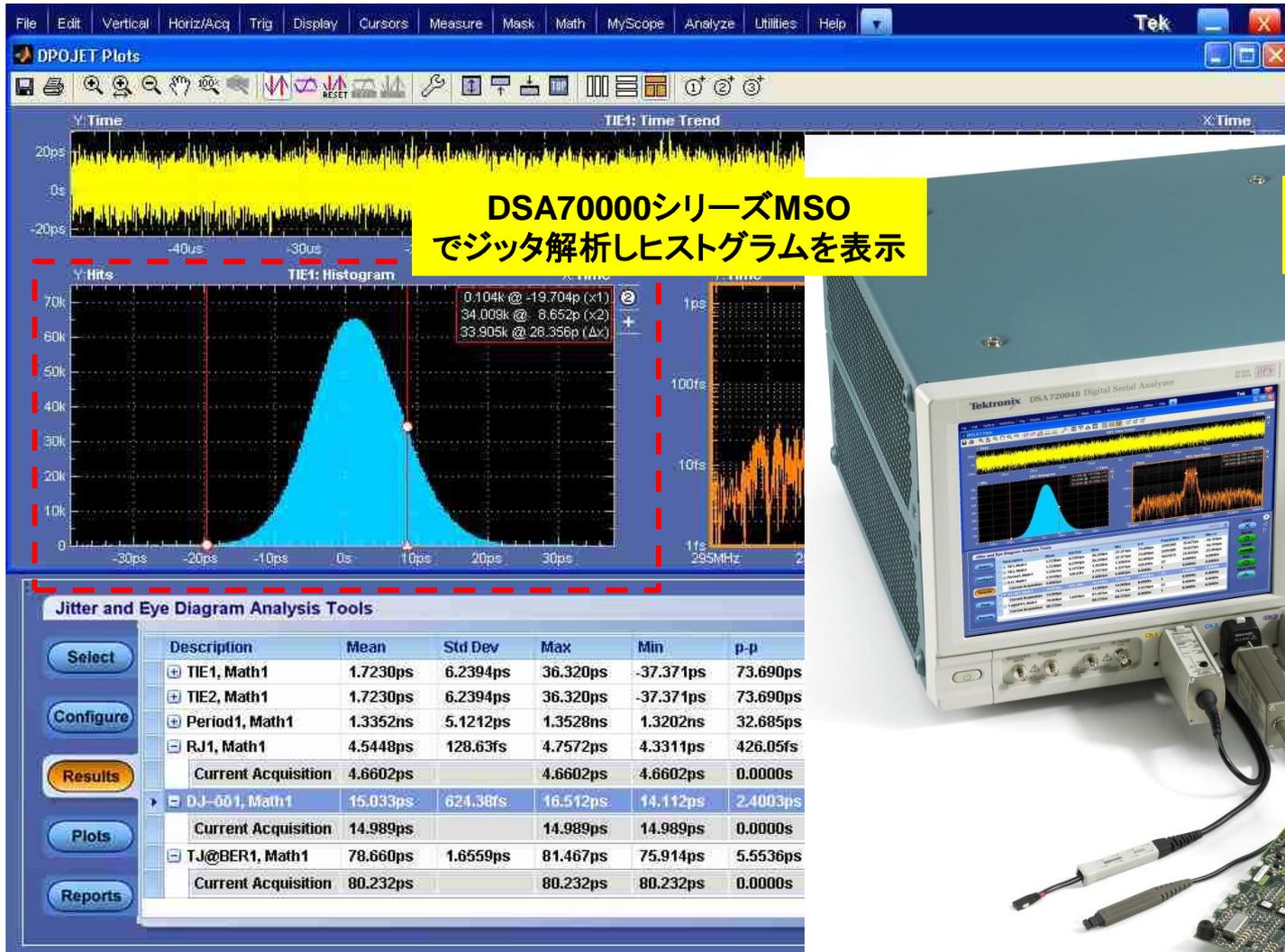
位相
ノイズ
(dBc/Hz)



スペアナのノイズ・フロアは十分に低くし
できるだけ広帯域で
観測する。
積分値が飽和する
あたりか、ノイズ
フロアで積分を
打ち切る(しかない)

周波数オフセット (Hz)

時間ジッタを直接測定するシステムの例



Tektronix様ご提供

得られた答えはrms値。ではピークは？



トータルジッタとしてはランダムな波形なので

正弦波のように $PK = \sqrt{2} \text{ rms}$ にはならない

ガウス分布とすると $PK = 6 \text{ rms}$ 程度まで考慮する

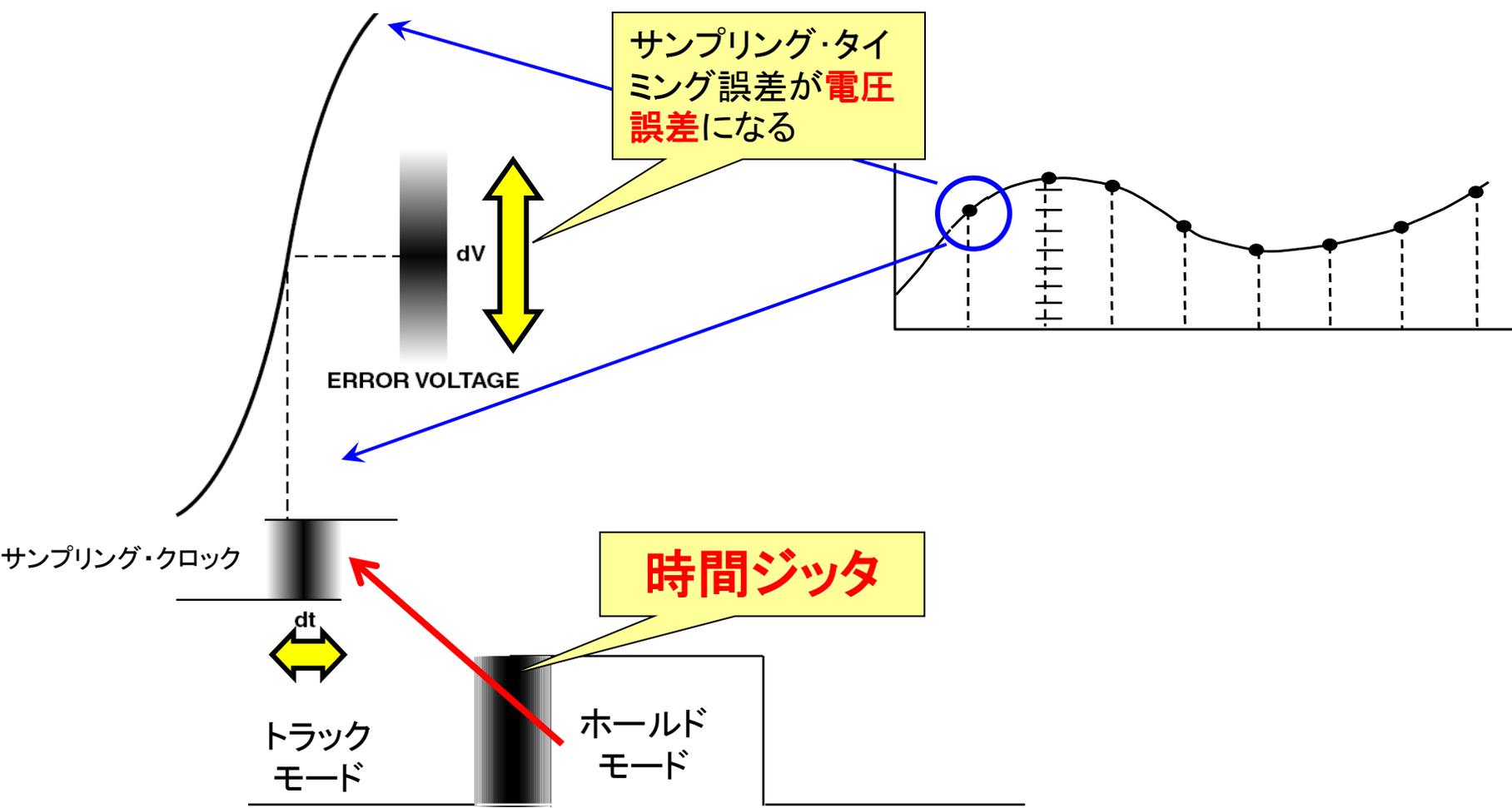
ジッタ自体も(回路内部で自然に)帯域制限されているので、この程度まで考慮すれば一般的には問題ない



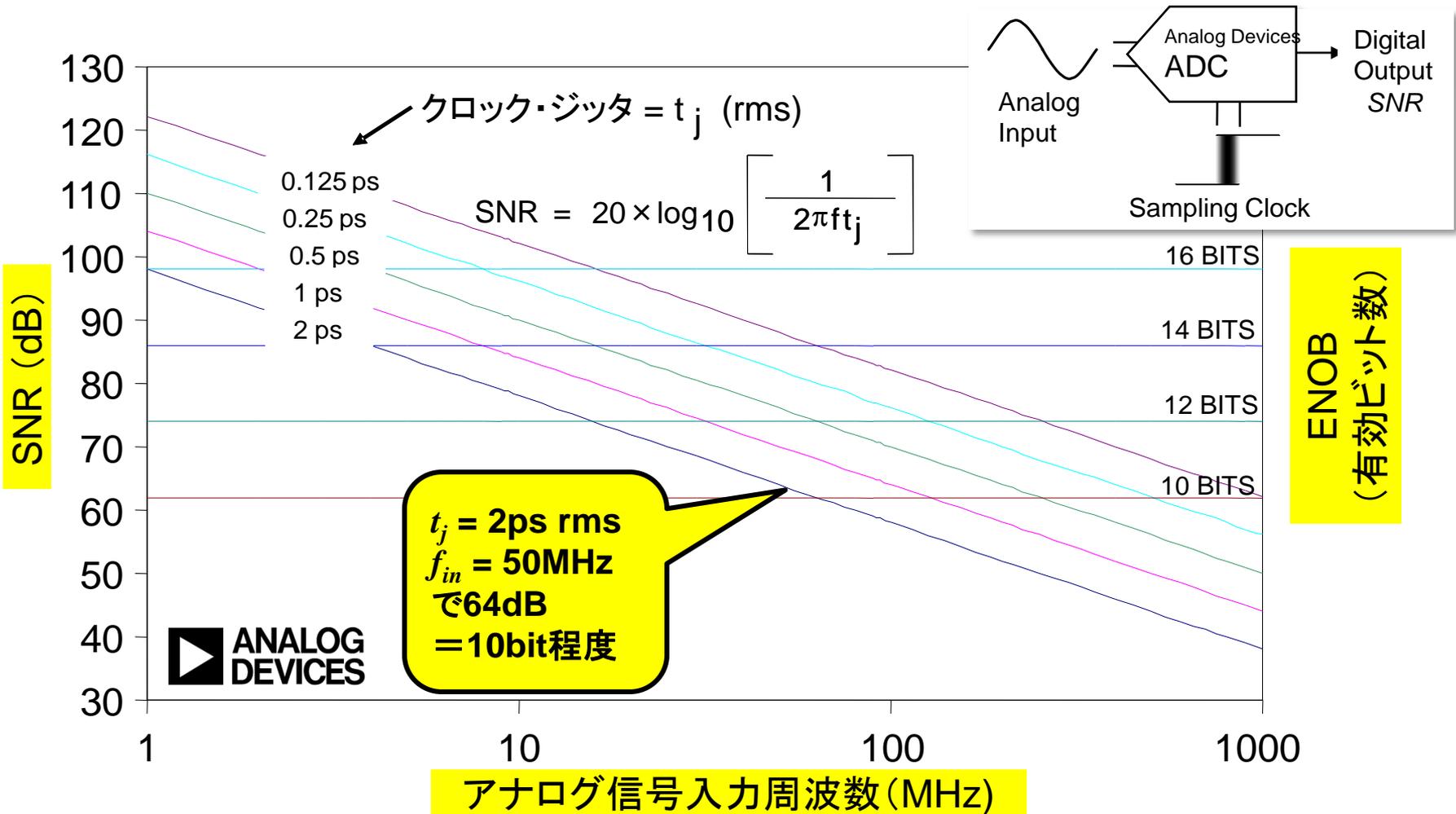
4. AD変換におけるジッタの影響

AD変換におけるジッタの影響 ①

本来精度はSNR(信号対ノイズ比)で決まるが...



AD変換におけるジッタの影響 ②



高速・高精度サンプリング実現には非常に低ジッタのクロックが必要



ADIsimADCを利用したFFTシミュレーション (ジッタ・フリーの条件)

Design Tools: ADIsimADC™ (Full Feature Version)

[Instructions](#) | [Glossary](#) | [Parametric Search](#) | [Request New Model](#) | [Submit Feedback](#) | [Print Results](#)

AD9467_250_2p5V

Powered by National Instruments LabVIEW

STEP 1: Select an ADC Part

Select from Available (Modeled) Parts

16 Bit, 250 MSPS, AD9467_250_2p5V

-- OR --

Perform a Part Search

Encode Rate: MSPS

(optional)

of Bits:

SNR: dB

SFDR: dB

Generate Suggested Parts List

Suggested Parts (Best Fit)

STEP 2: Enter Operating Conditions

FFT Type: Single Tone

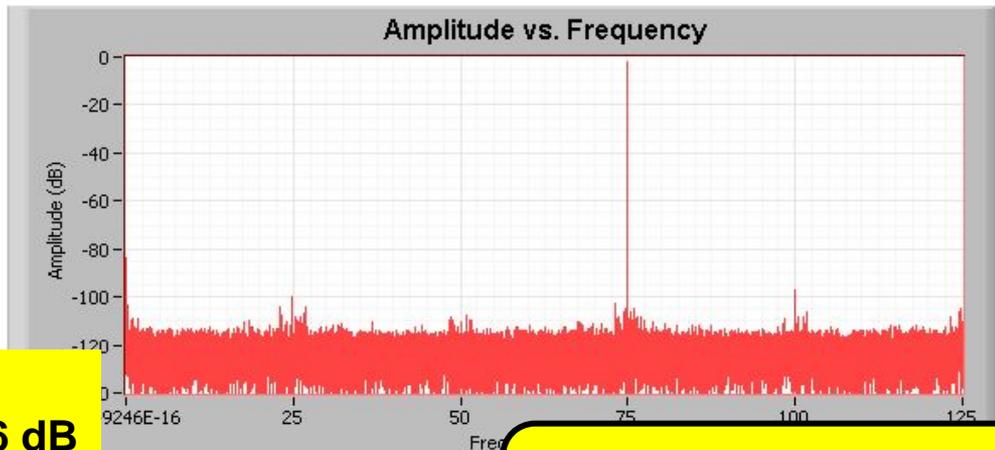
Amplitude: -0.5 dBFS output

Frequency: 75 MHz

Encode Rate: 250 MSPS

Encode Jitter: 0.00 pSec

SNR = 73.56 dB



Results:
SNR: 73.56 dB

Fund: -2.44 dB

SFDR:	94.54 dBc	2nd
SINAD:	73.53 dBc	3rd
THD:	94.86 dBc	4th
ENOB:	11.92 Bits	5th

Log:
No Messages

アナログ・デバイセズの
サイトで検索!

キーワード検索

ADIsimADC

検索



ADIsimADCを利用したFFTシミュレーション (ジッタ = 2ps rms)

Design Tools: ADIsimADC™ (Full Feature Version)

[Instructions](#) | [Glossary](#) | [Parametric Search](#) | [Request New Model](#) | [Submit Feedback](#) | [Print Results](#)

AD9467_250_2p5V

Powered by National Instruments LabVIEW

STEP 1: Select an ADC Part

Select from Available (Modeled) Parts

16 Bit, 250 MSPS, AD9467_250_2p5V

-- OR --

Perform a Part Search

Encode Rate: MSPS

(optional)

of Bits:

SNR: dB

SFDR: dB

Generate Suggested Parts List

Suggested Parts (Best Fit)

STEP 2: Enter Operating Conditions

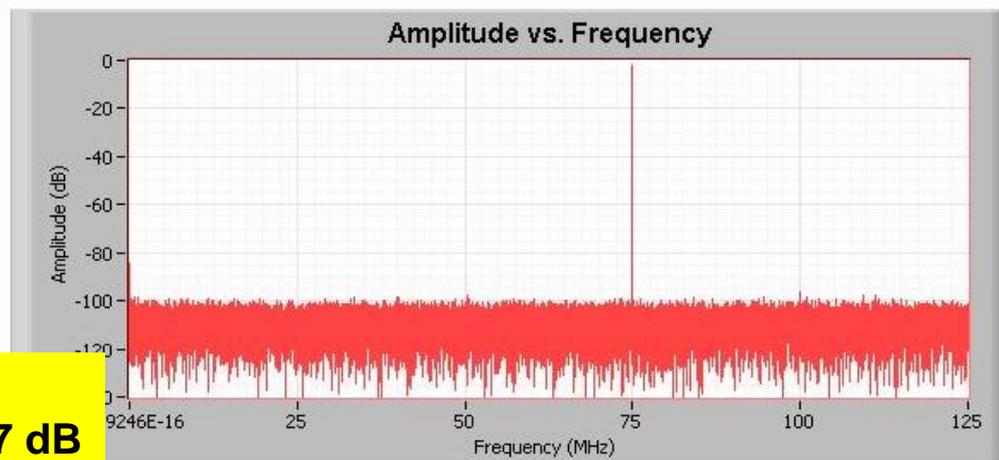
FFT Type: Single Tone

Amplitude: -0.5 dBFS output

Frequency: 75 MHz

Encode Rate: 250 MSPS

Encode Jitter: 2 pSec



SNR = 60.27 dB

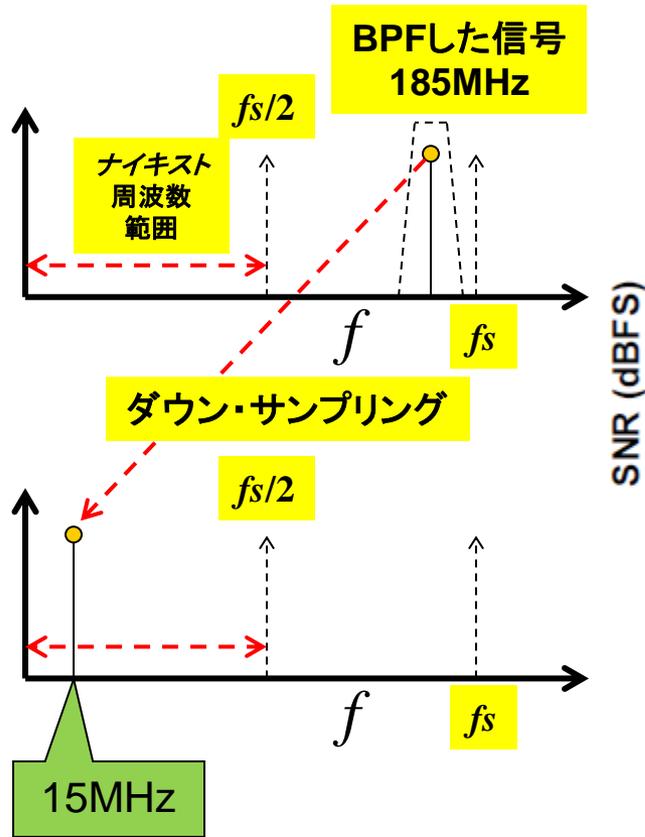
Results:

SNR:	60.27 dB	Fund:	-2.44 dBFS	Worst Other:	-95.34 dBc
SFDR:	97.36 dBc	2nd:	-97.36 dBc	Noise Floor:	-107.87 dBc
SINAD:	60.26 dBc	3rd:	-105.42 dBc		
THD:	94.96 dBc	4th:	-105.42 dBc		
ENOB:	9.72 Bits	5th:	-105.42 dBc		

Log:

No Messages

ミックスト・シグナル・アプリケーションの一例 高速ダウン・サンプリングはジッタに厳しい！



実際はデジタル・フィルタで改善はされるが...

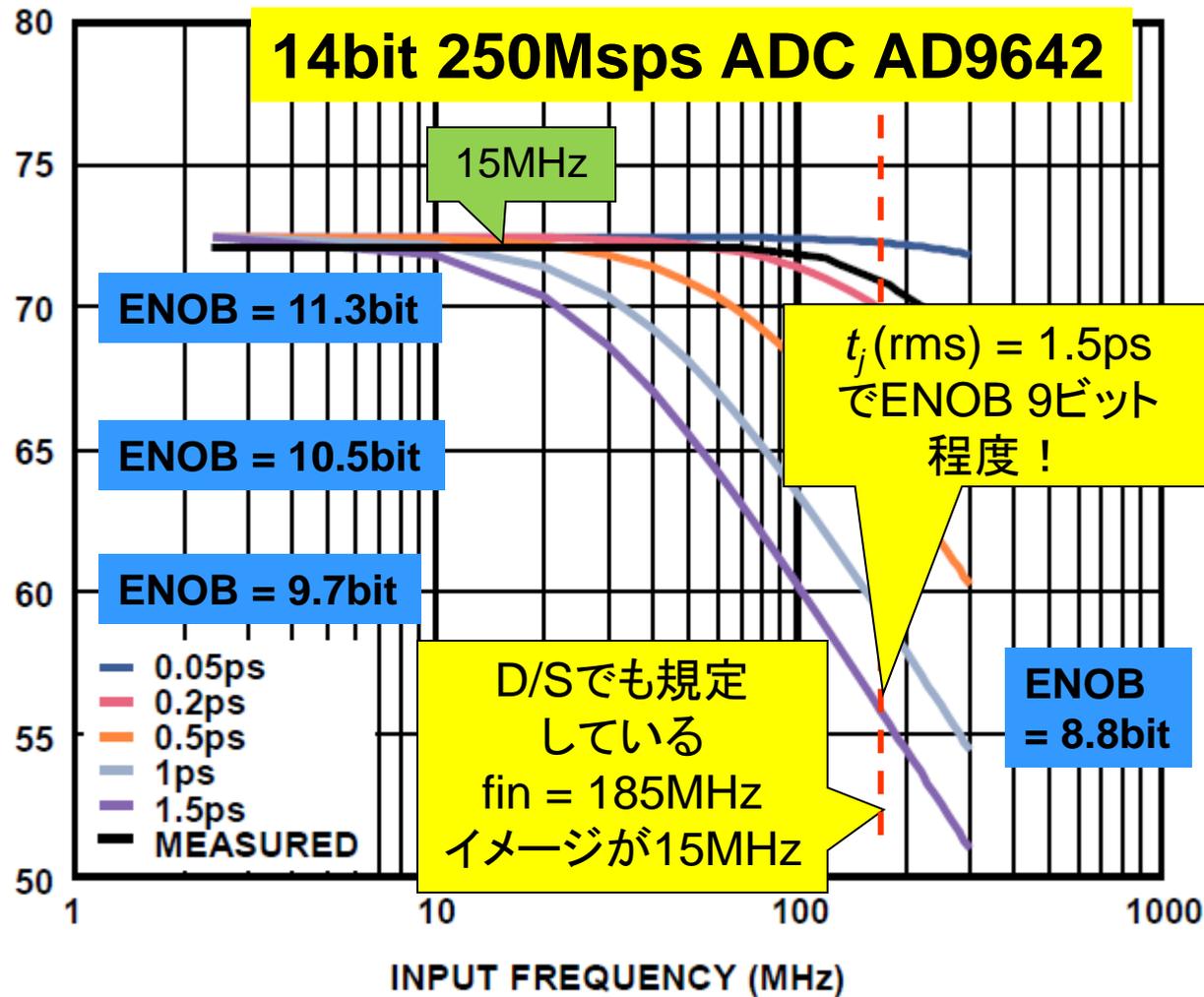


Figure 56. AD9642-250 SNR vs. Input Frequency and Jitter

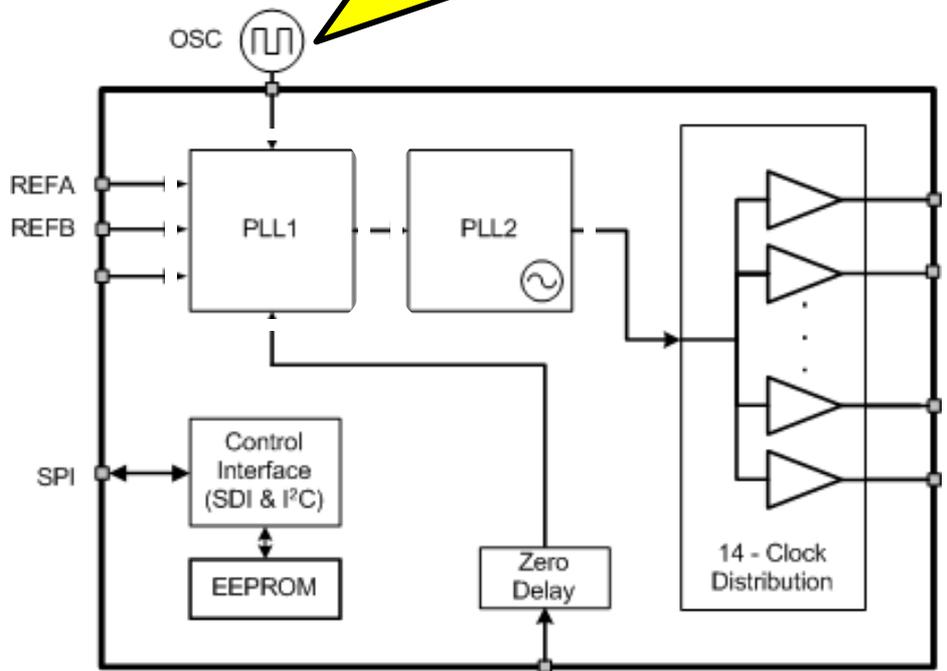


5. アナログ・デバイセズのクロック・ソリューション

AD9523-1 14 出力デュアルPLL クロック・ジェネレータ

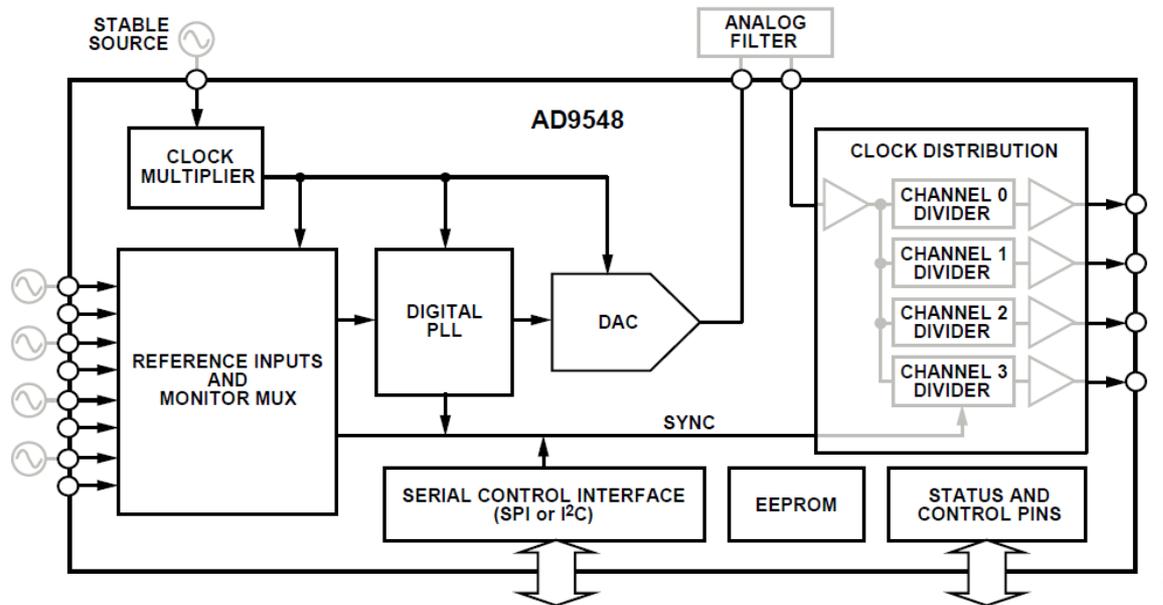
このOSCは
VCXO(水晶振動子)

- PLL1はジッタ・クリーナ
- PLL2で実周波数生成
- HSTL/LVPECL/LVDS/
CMOS
- 2選択入力
- 自動スイッチ・オーバ
- 自動ホールド・オーバ
- シリアル・ポートで設定
- EEPROM内蔵



- 用途:**
- 高速ADCやDACのクロッキング
 - LTEやマルチキャリアGSM基地局
 - 無線や光通信インフラ
 - SONET, 10Gig Ether, 10G Fibre Channel

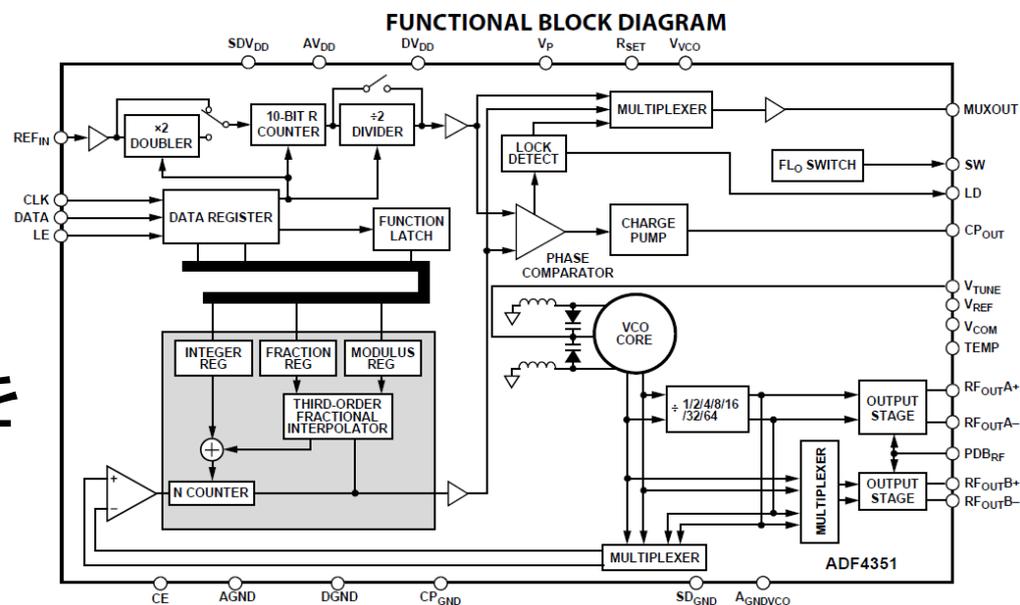
AD9548 DDSベース ネットワーク（網同期） クロック・ジェネレータ／シンクロナイザ



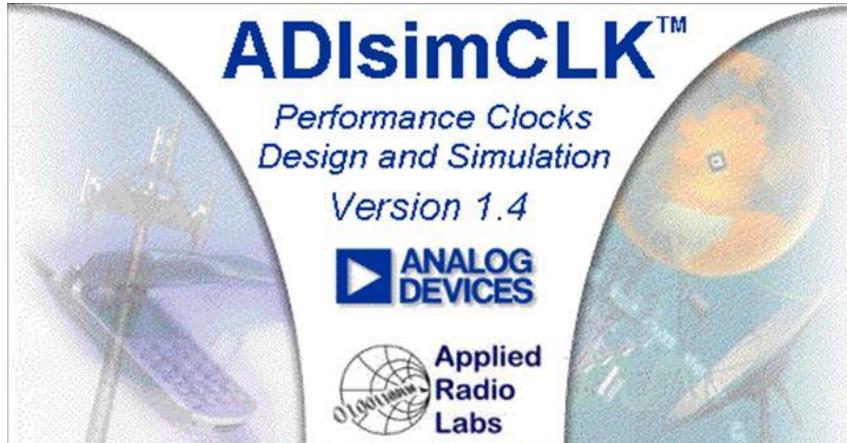
- 参照周波数入力は1Hzから750MHz
- 最大出力周波数は450MHz
- インテジャー30bit、フラクショナル10bitの分周器
- 4入力/4出力あり。シングル・エンド・差動いずれか設定可能

ADF4351 VCO内蔵広帯域PLLシンセサイザ

- 出力周波数範囲 35MHz~4400MHz
- フラクショナルN、インテジャーNの分周器両方を内蔵
- 低位相ノイズのVCO内蔵
- 1/2/4/8/16/32/64分周出力をプログラムで設定可能
- ジッタ 0.3ps rms (typ)
- 3線シリアル・インターフェース



ジッタ解析機能もある設計ツールADIsimCLK



【AD9511でシミュレーションしてみた例】

OUT0:

Frequency: 250.000MHz

Broadband Timing Jitter = 238fs rms

SNR = 76.49dB ENOB = 12.75bits

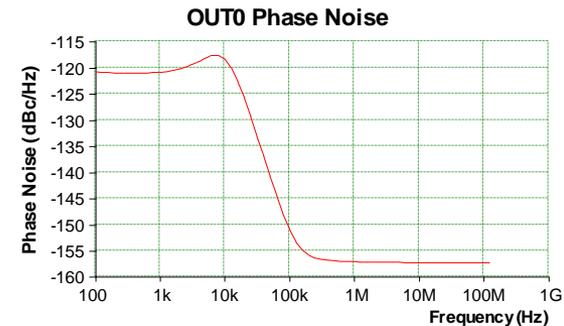
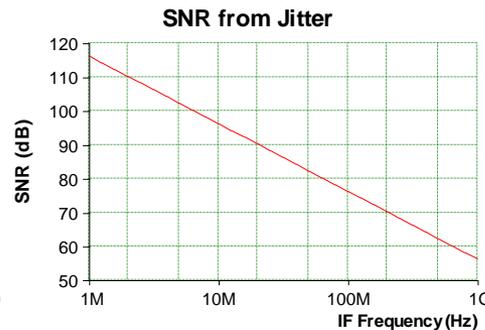
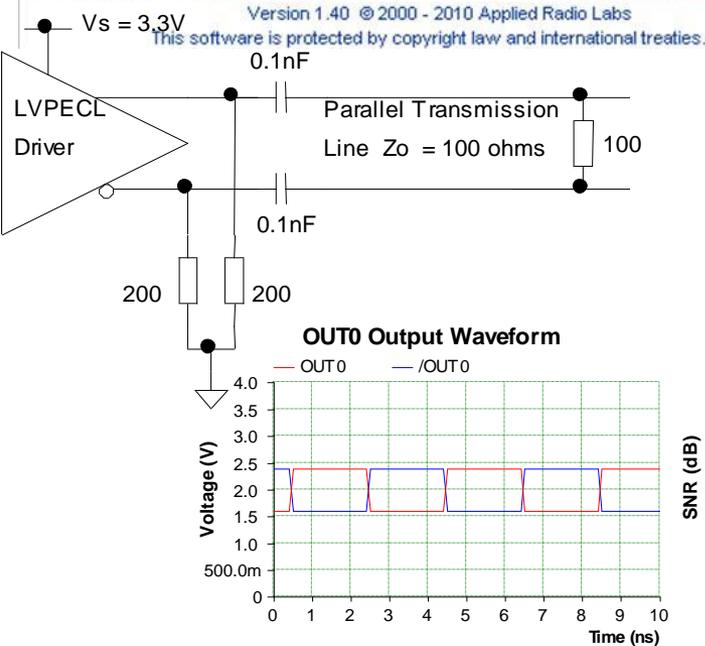
at IF Freq = 100MHz

Integrated Phase Noise from 100kHz to 1.25MHz

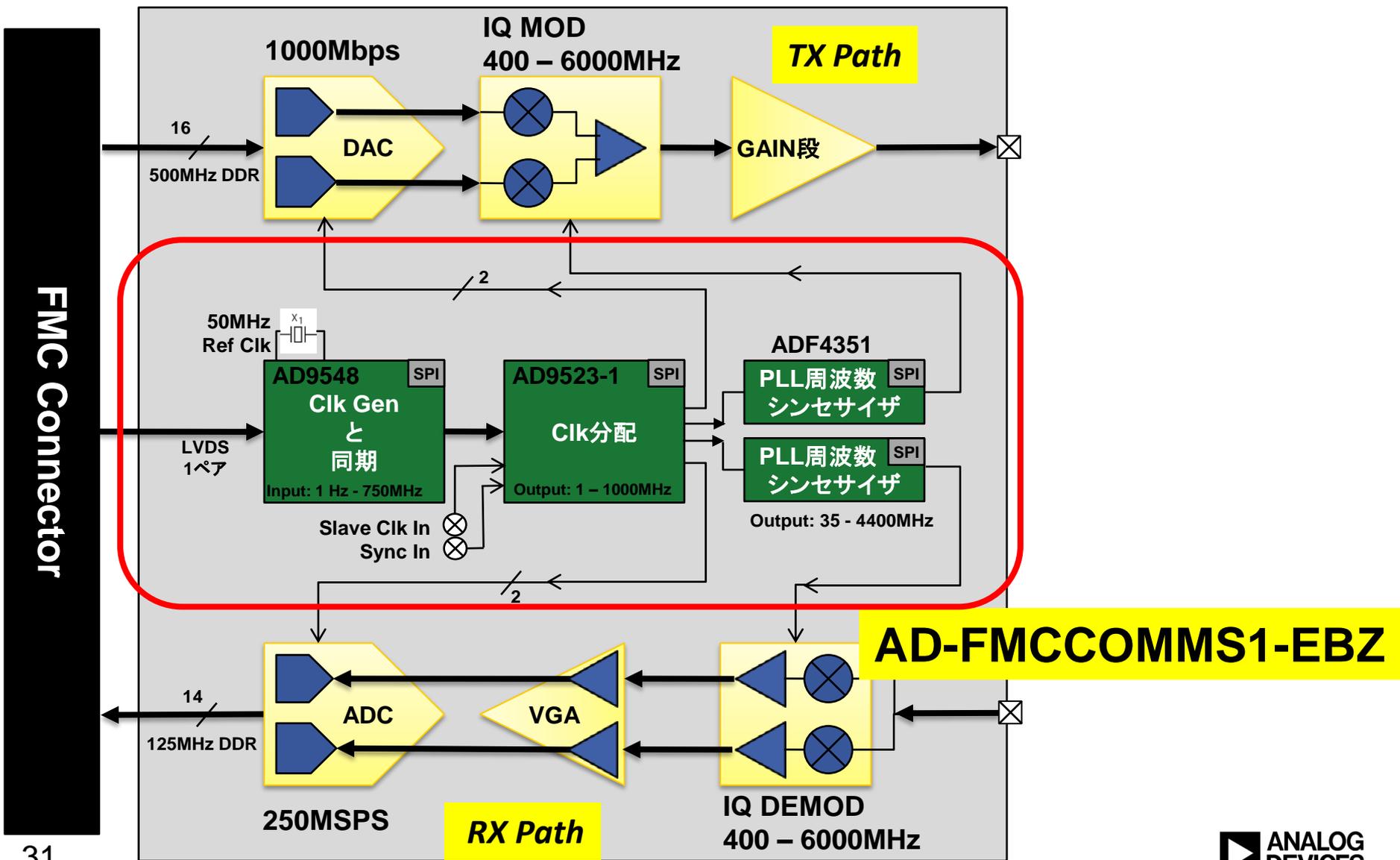
Timing Jitter = 14.5fs rms

Phase Jitter EVM = 0.0023 %rms

Phase Jitter = 0.001 degrees rms



ソフトウェア無線 (SDR) システムの応用例





6. 理論式導出の補足

時間ジッタとSSBノイズの式の導出過程

$$\begin{aligned} s(t) &= \sin(\omega t + d \sin pt) \\ &= \sin(\omega t) \cdot \cos(d \sin pt) + \cos(\omega t) \cdot \sin(d \sin pt) \end{aligned}$$

ここで ω はクロックの角周波数、 d はperiodicジッタ位相変位、 p はperiodicジッタ位相変動周波数

ここで $d \sin pt \ll 1$ なら

$$\begin{aligned} s(t) &= \sin(\omega t) + \cos(\omega t) \cdot d \sin pt \\ &= \sin(\omega t) + \frac{d}{2} \{ \sin(\omega t + pt) - \sin(\omega t - pt) \} \end{aligned}$$

キャリア

上側側波帯(USB)成分

下側側波帯(LSB)成分

d の単位はradian。 Tj_{pk} (peak値) との関係は

$$Tj_{pk} = \frac{d}{\omega} = \frac{d}{2\pi f}$$

時間ジッタとSSBノイズの式（帯域をもった信号に拡張すると）

$$s(t) = \sin(\omega t + d \sin pt)$$

の式を複数のジッタ位相変動周波数 p_n に拡張すれば

$$s(t) = \sin(\omega t + \sum_n d_n \sin p_n t)$$

となる。前のスライドと同じように式変形していけば

$$s(t) = \sin(\omega t) + \sum_n \frac{d_n}{2} \{ \sin(\omega t + p_n t) - \sin(\omega t - p_n t) \}$$

複数の位相ジッタの変動周波数 p_n ごとにUSB, LSBのスペクトルが得られる。このように任意の d_n, p_n に拡張すれば、任意のジッタ(ランダムジッタも)を式で表現でき、そのスペクトル(SSBノイズ)との関連も理解できる。

なおこの式ではスライド16の「ジッタの相関係数の関係でさらに $\times 1 \sim \times \sqrt{2}$ の不確定性」については、「相関係数 = 1」になるので、時間ジッタ量は $\times \sqrt{2}$ の大きさになる。



7. まとめと参考文献

まとめ

- ◆ クロック・ジッタでミックスド・システムの性能が低下
- ◆ 時間軸と周波数軸のそれぞれの波形の関係を理解し、適切にジッタ量をもとめる
- ◆ ジッタ量とアナログ周波数、ADCのSNRを事前に評価する

参考文献

- ◆ **ミックスド・シグナル・システムのクロック・ジッタに関する Analog Devices の文献**
 - AN-756 : サンプル化システムに及ぼすクロック位相ノイズとジッタの影響
 - AN-741 : 位相ノイズの知られざる特性
 - AN-1067 : 位相ノイズとジッタの電力スペクトル密度 : 理論、データ解析、実験結果

- ◆ **最新の位相ノイズの測定器・測定方法**
 - RFワールド No. 18 「新コンセプト測定器の技術フィーチャー」, CQ出版社

