

ディファレンス・アンプと計装アンプでの CMRR 劣化の周波数特性と補償方法を考えてみる

著者: 石井 聡

はじめに

ひとつ前の技術ノート TNJ-036 では、**ディファレンス・アンプ**を現場視点で深くみていき、ディファレンス・アンプの使い方、そしてその限界、さらにその限界をブレイクスルーする「**計装アンプ**」というストーリーで説明してきました。

しかしその TNJ-036 では、電圧源抵抗の存在による CMRR (Common Mode Rejection Ratio; コモンモード除去比) の劣化という点だけしか紙面の都合で言及できませんでした。

この技術ノート TNJ-037 では、ディファレンス・アンプや計装アンプの CMRR 周波数特性のあたりを詳しくみていきたいと思っています。実は当初から、これをやりたかったのです(笑)。

ボストンのトレーニングで再会した計装アンプのアプリケーション・エンジニア

「計装アンプ」という思い出します。私はアナログ・デバイスに入社した2年後、中国の深圳(シンセン; Shenzhen)市で開催されたアジアの FAE トレーニング(図 1)で、SPICE を使ったノイズ解析のプレゼンテーションを行いました。そのトレーニングの別の日、本社(US)の計装アンプ担当のアプリケーション・エンジニアのプレゼンがあったのですが、その人は「石井がやったノイズのセッションが…」と引き合いに出してくれました。それは転職して入社後ちょっとの、まだアナログ・デバイスに不案内な私にとって、とても嬉しいものでした。



図 2. Analog Devices General Technical Conference 2013
in Boston USA

その後数年が経過し、今度はボストンで開催された社内技術開発発表会(図 2. General Technical Conference; GTC)に参加しました。私は開始前に会場の外を、快晴の碧い空のもとを散歩していたのですが、見たことのある欧米人が前から歩いてきました。向こうもこちらを見えています。

アナログ・デバイセズの人間ではないかもしれませんが…。それでも勇気を出して「Hi!」と試してみました。挨拶を返してくれました…。よかったと思い、訊いてみました「たしか中国でお会いしましたよね」。彼は「Ishii-san、覚えていますよ」と言ってくれたのでした。それは例の計装アンプの担当者だったのです! 記憶では中国のときは、その人とは直接話しはしていなかったはずですが、名前を覚えてくれていたこと、今回やりとりが出来たこと、それらは未だなかなか慣れなかった外資の環境にいた私にとって、(これまた)とても嬉しいものでした。

ディファレンス・アンプの入力容量による CMRR の劣化(素子はマッチング状態)

さてこの技術ノートでももう少しディファレンス・アンプ(差電圧アンプ)を考えてみましょう。最初に説明したように、ひとつ前の技術ノート TNJ-036 では、ディファレンス・アンプの電圧源抵抗による CMRR の劣化しか言及できませんでした。

ディファレンス・アンプ自体に内在する容量として入力容量、外部に寄生する容量として浮遊/寄生容量(以降、「寄生容量」とします)があります。この技術ノートでは、まずこれらの容量による CMRR の劣化について考えてみます。実は私も以前から、この寄生容量と、以降に示す補償方法がどのようにつながっているのか、詳細に検討してみたいと思っていたのです。



図 1. Asia FAE Technical Symposium 2011 in Shenzhen China

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2018 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ電子回路技術ノート

TNJ-037

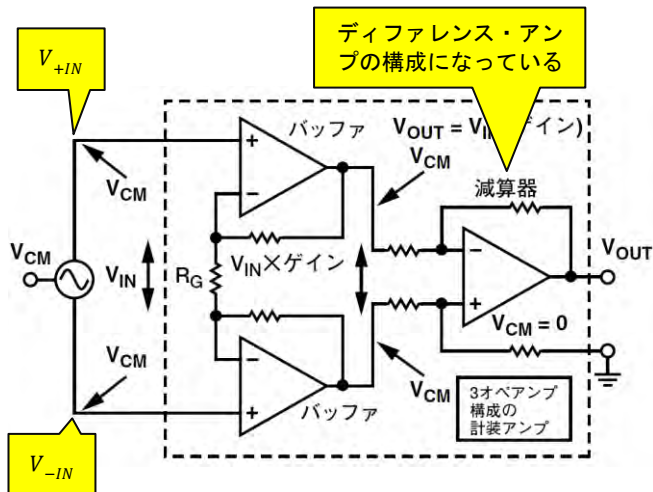
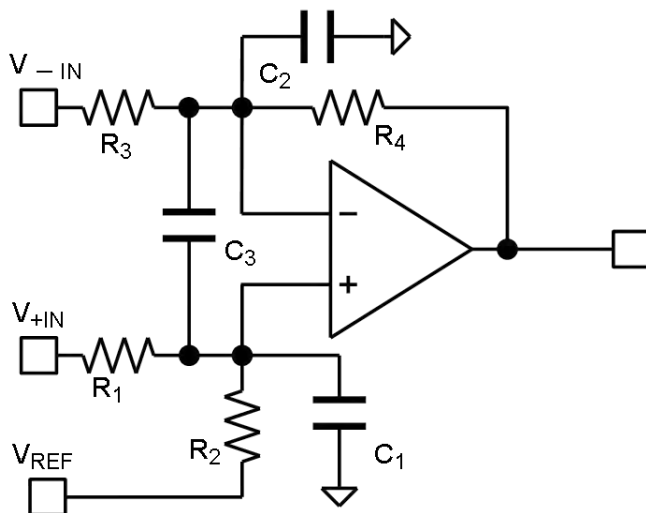


図3. 計装アンプの基本構成 (TNJ-036 の図 11 の再掲)

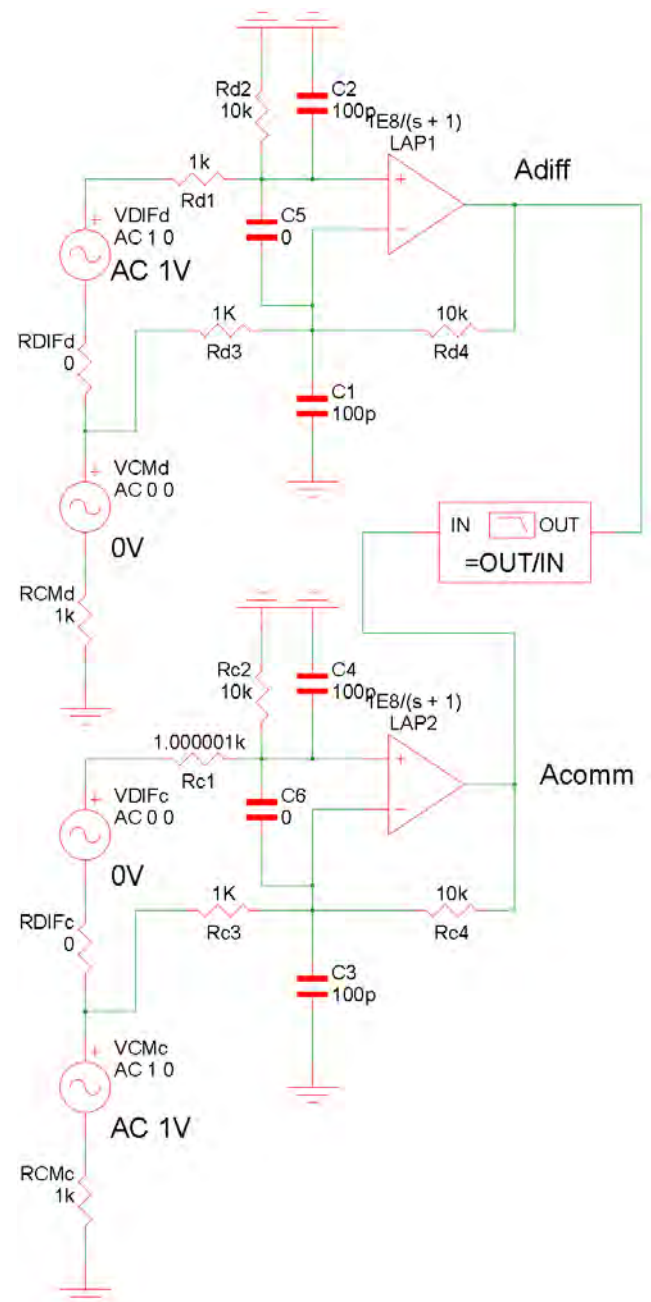
図4. ディファレンス・アンプに
入力容量/寄生容量を付加したモデル
(以下の説明での CR 部品番号はこの図と合わせてある)

この検討はディファレンス・アンプそのもののだけでなく、計装アンプでも活用できるものです。計装アンプを構成する2段目のOPアンプは、ディファレンス・アンプの構成になっているからです。このようすを図3 (TNJ-036 の図 11 の再掲) に示しておきます。

さて、それでは本題に移りましょう。あらためてお話ししておくこと **CMRR が劣化することとは、本来出力に出てほしくないコモンモード電圧が信号出力として観測されてしまう、望ましくない状態** ということです。

図4にディファレンス・アンプ周辺に付帯する入力容量/寄生容量それぞれを、おのおのの端子に対してひとつの等価容量として表現したものを示します。それぞれの入力からグラウンドに接続される $C1, C2$ 、また端子間に接続される $C3$ として、これらの入力容量/寄生容量を表すことができます。

前回の理想状態での **CMRR** のシミュレーション回路 (TNJ-036 の図 7) に、この容量を付加したかたちで、**ADIsimPE** でシミュレーションをしてみます。変更したシミュレーション回路をあらためて図5に示します。

図5. 入力容量がCMRRに与える影響をシミュレーション
してみる回路 (本技術ノートより ADIsimPE ver. 8.0
使用したのでこれまでと画像が若干異なる)

対地静電容量がマッチしているなら CMRR の劣化は限定的

まずグラウンドに接続される静電対地容量 $C1, C2$ (図4の部品番号で説明しています) を $0\text{pF} \sim 100\text{pF}$ 、 20pF ステップで変化させてシミュレーションしてみました。「対地静電容量」…だなんて強電用語を使ってみました (笑)。

入力容量/寄生容量としてはかなり大きい値 (本来なら大体数 pF 程度のもの) ですが、容量の影響度がどれほどあるかというところで、この大きさをシミュレーションしてみました。端子間容量 $C3$ はゼロのままとしてあります。

シミュレーションの結果を図6に示します。 0pF から 20pF ステップで 100pF までを、抵抗のカラーコード (茶・赤・橙・黄・

アナログ電子回路技術ノート

TNJ-037

緑・青)の色分けでプロットしてみました。このシミュレーション結果からみるに、対地静電容量値 $C1$, $C2$ がマッチしているのなら、CMRR の劣化は限定的といえるでしょう。

ともあれこの CMRR の劣化が「差信号 V_{SIG} が出力に増幅される増幅率 A_{diff} 」の低下による影響なのか(図 5 の回路の上半分)、それとも「本来出力に現れてほしくないコモンモード電圧 V_{CM} の抑圧率 A_{comm} 」の低下による影響なのか(同じく図 5 の回路の下半分)を確認するシミュレーションをそれぞれ行ってみました。

差信号増幅率 A_{diff} の低下を図 7 に、コモンモード電圧抑圧率 A_{comm} の低下を図 8 にそれぞれ示します。

増幅率 A_{diff} の変動は、OP アンプ(を模倣した Laplace Transfer Function モデル。詳細は TNJ-036 を参照ください)の非反転入力あたりで構成される、 $R1$, $C1$ (図 4 の部品番号)などでの 1 次 LPF による影響がおおきそうです。

コモンモード電圧抑圧率 A_{comm} の変動は、同じく反転入力あたりで構成される $R3$, $R4$, $C2$ (図 4 の部品番号)などにより、OP アンプの位相余裕が低下するため出るピーキングです(このあたりの話しは結構複雑なので、TNJ-018 などをご参照ください)。これらにより、

$$CMRR = \frac{A_{diff}}{A_{comm}} = A_{diff}[dB] - A_{comm}[dB]$$

として図 6 が得られているわけです。まあここは、「ふん、限定的なのね」というところでご理解いただければと思います。

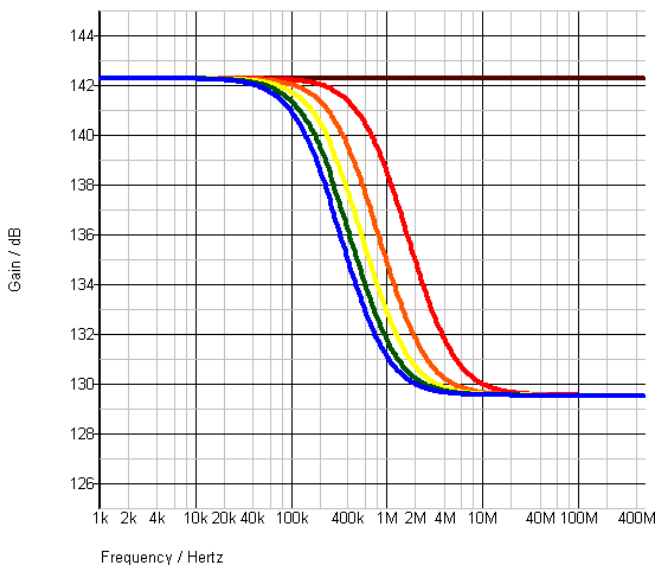


図 6. 静電対地容量を付加したときの CMRR 劣化の周波数特性 (図 4 の $C1$, $C2$ を同値で 0pF から 100pF まで、20pF ステップで変化。 $C3$ は 0pF とした

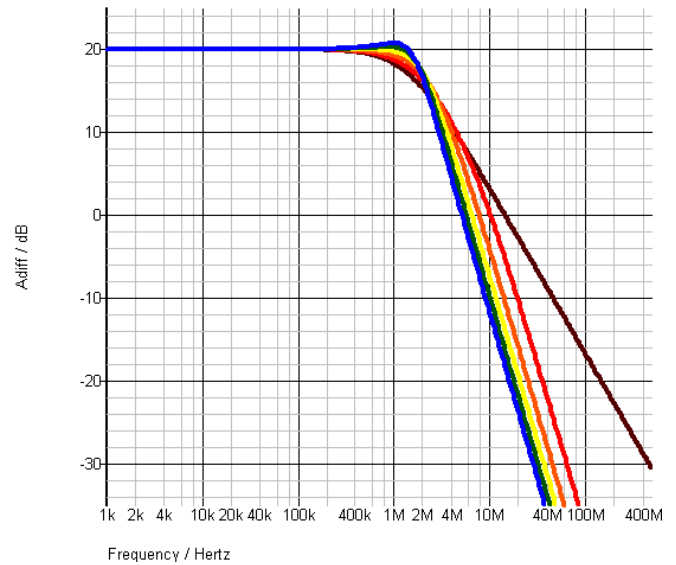


図 7. 静電対地容量を付加したときの差信号増幅率 A_{diff} (シミュレーション条件は図 6 と同じ)

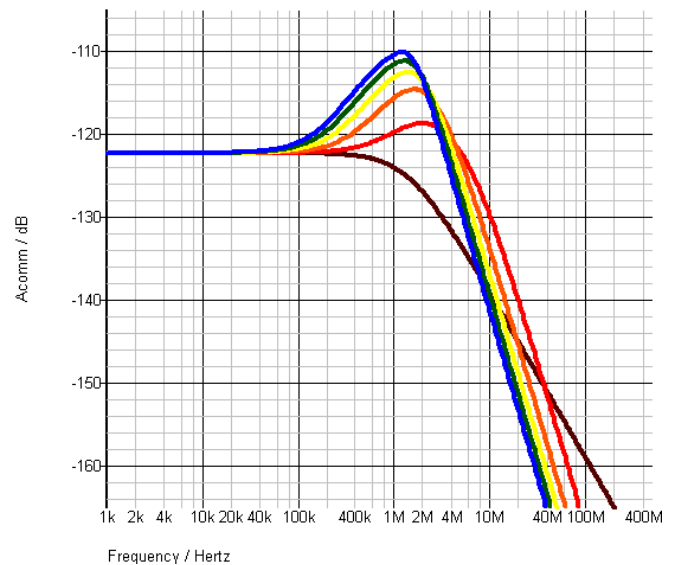


図 8. 静電対地容量を付加したときのコモンモード電圧抑圧率 A_{comm} (シミュレーション条件は図 6 と同じ)

端子間容量は CMRR の低下に影響ない

つぎに端子間容量 $C3$ (図 4 の部品番号)を変化させ、対地静電容量 $C1$, $C2$ (同じく)はゼロのままとしてみました。

シミュレーションの結果を図 9 に示します。ここでも 0pF から 20pF ステップで 100pF まで、抵抗のカラーコードの色分けでプロットしてみました、が…、1dB まで縦軸を拡大しても「重なりあったまま」です。このシミュレーション結果からみるに、端子間容量は CMRR の劣化に影響を与えないことが分かります。

アナログ電子回路技術ノート

TNJ-037

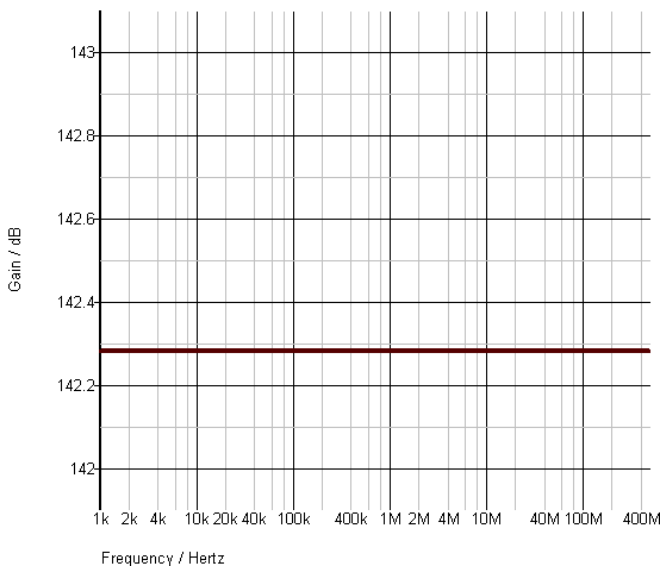


図 9. 端子間容量を付加したときのコモンモード電圧
抑圧率 A_{comm} (図 4 の C_3 を 0pF から 100pF まで、20pF
ステップで変化。 C_1, C_2 は 0pF とした)

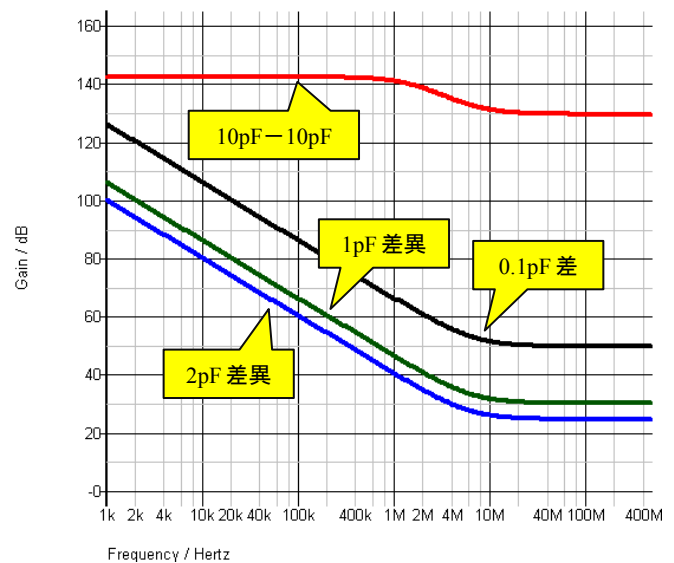


図 10. 対地静電容量 C_1, C_2 をアンバランスにして
シミュレーションしてみた (赤: $C_1 = C_2 = 10\text{pF}$ 、
緑: 1pF の差異、青: 2pF の差異、黒 0.1pF の差異)

ちょっとでも対地静電容量間のマッチングがずれると CMRR は極端に劣化する

さて、つづいて現実的な条件として、対地静電容量 C_1, C_2 が非
反転入力／反転入力それぞれで「差がある」ケースをシミュレ
ーションしてみます、端子間容量 C_3 はゼロに戻しました。ここ
でもそれぞれ図 4 の部品番号で説明しています。

シミュレーションの結果を図 10 に示します。色分けは $C_1 = 10\text{pF}$ 、
 $C_2 = 10\text{pF}$ で同値としたものを赤のプロット、 $C_1 = 10\text{pF}$ 、 $C_2 =$
 11pF で C_2 のほうを 1pF プラスしたものを緑のプロット、そして
 $C_1 = 10\text{pF}$ 、 $C_2 = 12\text{pF}$ で C_2 のほうを 2pF プラスしたものを青の
プロットで示します。

この結果は驚異的です (それこそ Dramatically = 劇的に…です)。
たった 1pF、10% の差を与えただけで 140dB ~ 130dB あった
CMRR が (この条件で) 1kHz で 100dB 程度まで、そして高域で
は 30dB 程度まで性能劣化してしまうのです！

ために $C_2 = 10.1\text{pF}$ として、 C_2 のほうを 0.1pF だけプラスして
みたものも図 10 に黒のプロットで示してみました。たった 1%
の差だけでもこれだけ性能劣化するわけですね。

さらに図 11 では、対地静電容量のうち浮遊容量による寄生成分
として、実際にアリそうな大きさ $C_1 = 2\text{pF}$ と $C_2 = 2.2\text{pF}$ にして
10% の差に設定してみました。この条件でも高い周波数にな
ると CMRR が 30dB になってしまうことが分かります。この程度
の容量差や寄生容量は、現実のプリント基板では生じがちなケ
ースではないかと思います。このように CMRR はかなり劣化す
るのですね…。

図 10 や図 11 のシミュレーション結果、これらの CMRR の劣化
度合いをみてしまうと、図 9 までの検討は、なんだか「どうで
もよいことを捏ねくり (こねくり) まわす」検討だったような
ものですね…。

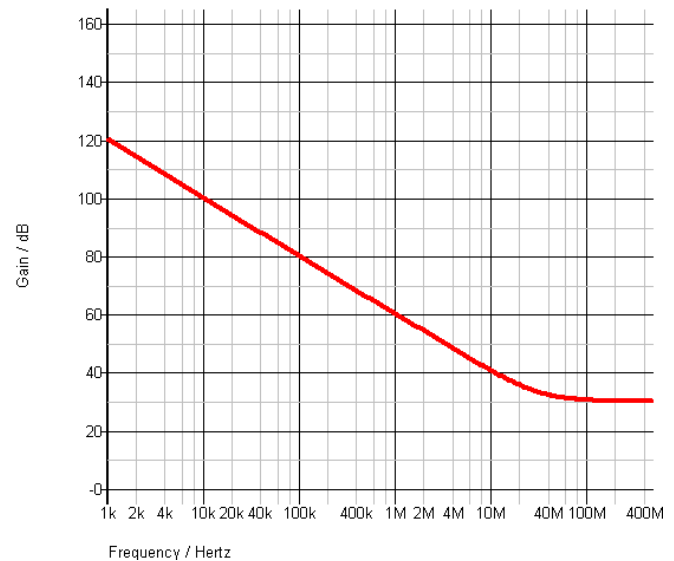


図 11. $C_1 = 2\text{pF}$ と $C_2 = 2.2\text{pF}$ で 10% の差。
縦軸／横軸のスケールは図 10 と同じ

対地静電容量の CMRR への影響度の軽減方法を 考える

ここまでの検討で、ちょっとでも対地静電容量間のマッチング
がずれると、CMRR は極端に劣化することが分かりました。

これは厄介です…。前回の技術ノート TNJ-036 でも、抵抗の誤
差が CMRR の劣化要因であることを (暗に) 以下のように

◆以下、TNJ-036 からの引用◆

そこで R_{c1} をプラス 1mΩ として、1.000001kΩ にしてシミュ
レーションしてみました。そうすると CMRR 値として
142.3dB 程度が得られ、シミュレーション回路として正しく動
作していることが確認できました。

アナログ電子回路技術ノート

TNJ-037

とはいえ抵抗が「たった」1ppm ずれるだけで、CMRR が 140dB 程度（なお A_{diff} は 20dB あります）に低下してしまうわけですね…。

◆引用終了◆

として示しました。

抵抗の場合は、極端な言い方をすれば「目に見える／検討に加えられる／考慮に入れられる」素子といえるでしょう。一方でコンデンサ（ここまでの対地静電容量）は浮遊容量による寄生成分もあるわけで、たとえばパッケージのピン間や、半田付けパッドと内層のグラウンド・プレーンとの間など、それこそ想定外の要因が多々あります。ちょっと考えるだけでも、本当に厄介そうだと気がつくものといえるでしょう。

CMRR を最大化する補償回路構成は

CMRR が最大になるように補償したいと思っても、これまでの検討から、また図 6 のように（容量を完璧に同一にしても）CMRR の段つきともいえる若干のレベル変動が生じていることから、なかなか適切な補償は難しそうです。

対地静電容量のアンバランス状態で CMRR を最大化するため、図 12 のような補償回路が提案されています（たとえば参考文献 [1]）。トリマ・コンデンサを変化させて、アンマッチを低減させましようという回路です。

なお図 12 の回路では、C1 がトリマ・コンデンサだとして図示されていますが、本技術ノートでは、このコンデンサ C1 が浮遊容量による寄生成分（図 4 の C1 に相当）だとして固定にし、上側のコンデンサ C2 がトリマ・コンデンサ C_{TRIM} だとして説明していきます。図 12 と図 4 と比較すると、図 12 では図 4 の C2 相当をゼロにしています。

これがどれほどの性能を実現できるのか、つづいてシミュレーションでみてみましょう。

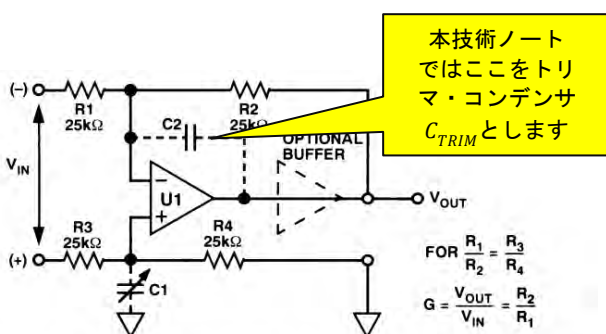


Figure 6-23: A simple line receiver with optional HF trim and buffered output

図 12. CMRR を最大化する補償回路構成
(W. Jung; OP Amp Handbook から引用)

CMRR を最大化する補償回路をシミュレーションしてみる

図 13 のように、ADIsimPE のモデルにトリマ・コンデンサ C_{TRIM} に相当する部分を付加して（図 13 の回路図中の C7）、シミュレーションしてみます。

入力容量はそれぞれ、図 4 の部品番号で $C1 = 3pF$ （図 13 の C4）、 $C2 = 2pF$ （同じく C3）として、1pF のズレを持たせた状態を設定します。

なおこれまでは、図 4 の C2（図 13 の C3）の容量のほうを大きくして検討していましたが、トリマ・コンデンサによる補償のしくみでは、図 4 の C1（図 13 の C4）のほうを大きくないと補償できません。そこでこの容量値にしてあります。現実の回路なら、C1 側が大きくなるように付加コンデンサを接続することになるでしょう。

シミュレーション回路内の抵抗値はバランスするように戻した

ところで図 5 の回路や、TNJ-036 での「 R_{c1} をプラス 1mΩ として 1mΩ の抵抗差」という説明のように、ここまではシミュレーション結果を収束させる（ゼロ除算にならないようにする）ため、抵抗に 1mΩ の差異を設定してありました。

この図 13 の回路では入力容量値がアンバランスであるため、 R_{c1} を 1kΩ びつたりに戻してもシミュレーション結果は収束します。またトリマ・コンデンサの影響度だけを確認するためにも、 R_{c1} を 1kΩ びつたりしておくのが良いでしょう。そこで図 13 では $R_{c1} = 1kΩ$ に戻して、抵抗値はバランスさせておきました。

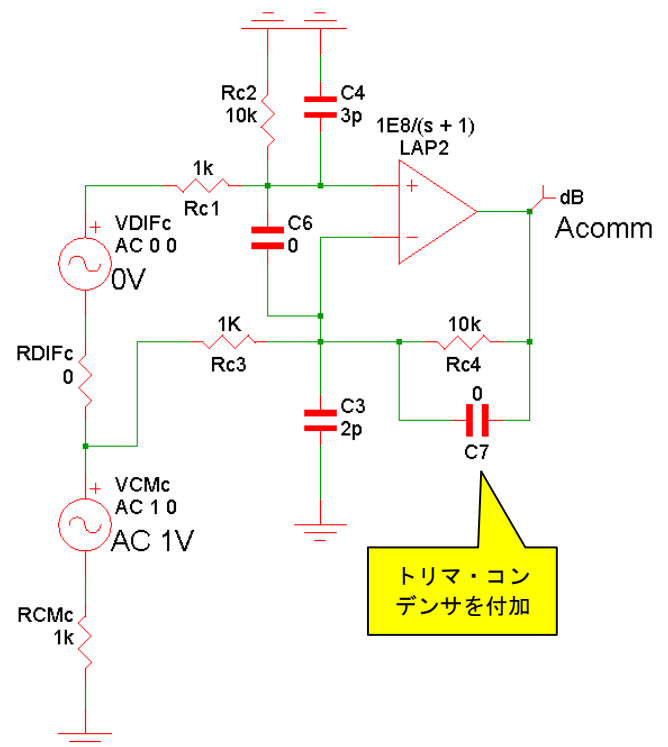


図 13. CMRR を最大化するためのトリマ・コンデンサを追加したシミュレーション回路（Multi Step 解析をおこなうため、ここでは可変すべき容量 C7 = 0F としてある）

アナログ電子回路技術ノート

TNJ-037

CMRR を最大化させるトリマ・コンデンサ調整方法と同じ方法でシミュレーションを構成する

図 13 のシミュレーションの回路構成は CMRR を求めるのではなく、コモンモード電圧 V_{CM} の抑圧率 A_{comm} を求めるようにしています。これは CMRR を最大化させるトリマ・コンデンサの調整方法と同じなのです。この考え方を図 14 に示します。

実際の回路でトリマ・コンデンサを調整するには、このように接続して、コモンモード電圧 V_{CM} を加え、コモンモード電圧抑圧率 A_{comm} 、もっと簡単にいうと出力 V_o に現れる電圧が最小になるようにトリマ・コンデンサを調整します。シミュレーションもこれと同じ方法で実行させるわけです。

なお実際の回路でトリム調整をする場合に、加える信号の周波数は、CMRR が劣化してくる高周波領域、つまり規定の周波数帯域の上限周波数でおこなうことが良いでしょう。

まずはトリマ・コンデンサ無しでシミュレーションしてみる

この状態で、まずは「トリマ・コンデンサ無し」（図 13 の C7=0F）でシミュレーションしてみました。この結果を図 15 に示します。さきほどの「驚異的」という話と同じなのですが、たった 1pF のズレを持たせただけでも、コモンモード電圧抑圧率 A_{comm} は大幅に劣化しています。いちばん劣化しているところでは -20dB 程度しかありません！

CMRR を最大化するにも現実的には無理がある

つづいてトリマ・コンデンサ（図 13 の C7）を接続してシミュレーションしてみました。シミュレーションは、トリマ・コンデンサの容量値を変化させて複数回実行する「Multi Step 解析」という方法で行います。

いろいろ試行錯誤してみた結果として、CMRR が十分に改善する容量値は、本当に狭い範囲であることが分かりました。図 16 のようにトリマ・コンデンサの容量値を 0.999pF から 1.001pF、さらにそのステップも 200 ステップと非常に微細に設定してシミュレーションしてみました。この設定では、1 ステップあたりインクリメントが何と 10aF（a は“atto”で 10 のマイナス 18 乗）です…。

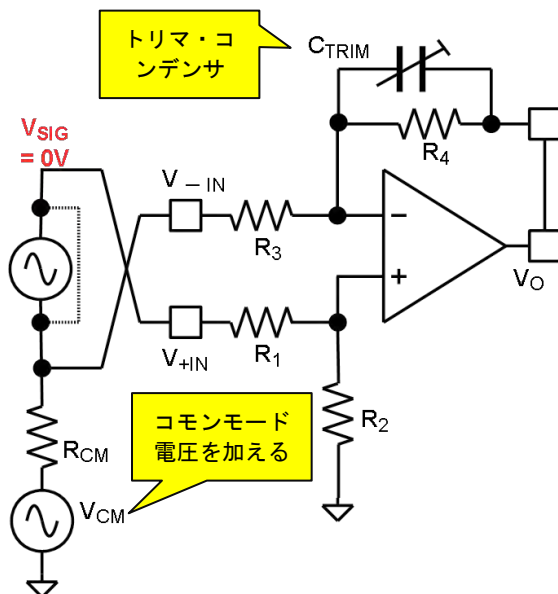


図 14. CMRR を最大化するトリマ・コンデンサの調整方法。
シミュレーション方法も同じ構成になる
（トリマ・コンデンサ以外の容量は表記していない）

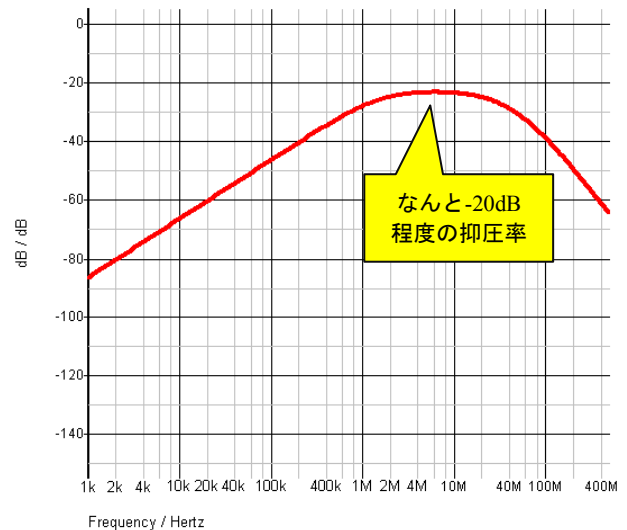


図 15. 図 13 の回路で入力容量の差を 1pF とした条件でのコモンモード電圧抑圧率 A_{comm} のシミュレーション。
抵抗はバランスしてある

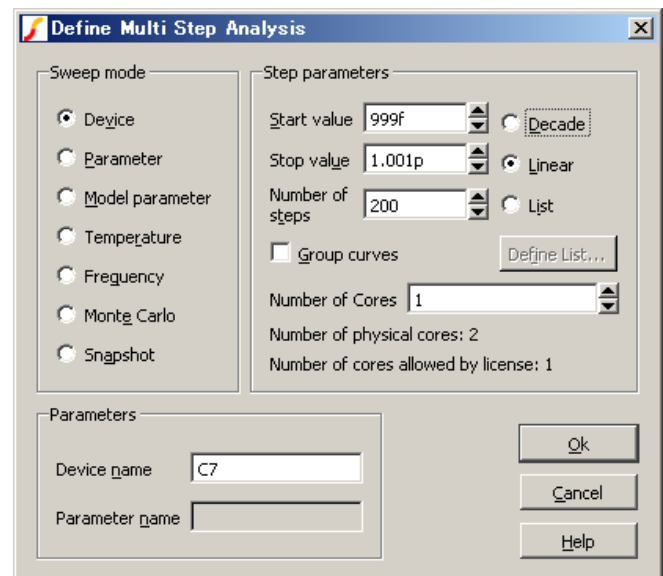


図 16. 試行錯誤の結果、CMRR が十分に改善する領域に
追いついたシミュレーション設定

その設定での Multi Step 解析によるシミュレーション結果を図 17 に示します。1pF の対地静電容量のズレにおいて、コモンモード電圧抑圧率 A_{comm} が -130dB 程度に回復するのは、Multi Step 解析での「ほぼ 1 ステップの範囲内」程度、つまり 10aF の変化になっています。またそのベストな状態から 1 ステップ前後、つまり 0.00001pF (10aF) 変化するだけでも、CMRR の変化（改善／劣化度合い）は 10dB もあります…。

きもちを落ち着けて考えてみれば、CMRR を理想状態まで最適化しようとしても、現実的には無理がある／限界があるということです。図 6 などで見えてきた 140dB というレンジは 10 の 7 乗（電圧換算で）となりますから、これは 0.00001% であり、それこそ無理がある／限界があるとお分かりいただけるものと思います。

アナログ電子回路技術ノート

TNJ-037

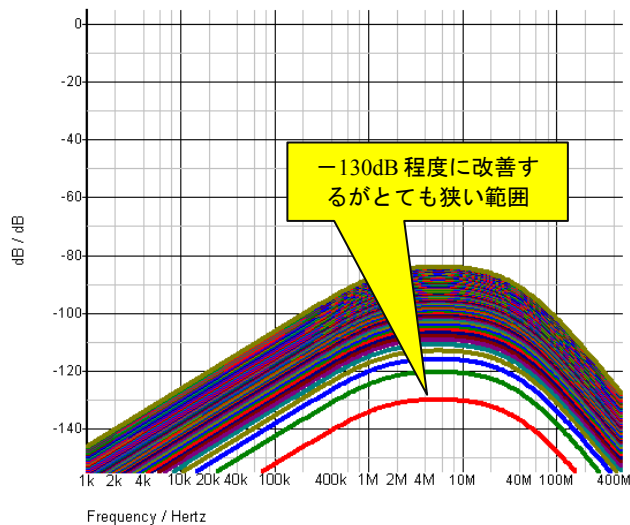


図 17. トリマ・コンデンサを 0.999pF から 1.001pF として 200 ステップで変化させたときの
コモンモード電圧 V_{CM} の抑圧率 A_{comm}

またひとつまえの TNJ-036 でも示したように、1mΩ の抵抗値差異、つまり抵抗が「たった」1ppm ずれるだけで、CMRR は 140dB 程度に低下してしまいました。このときコモンモード電圧抑圧率 A_{comm} も -120dB 程度になってしまいます…。そして dB というのも「対数」なわけですので、本当に微小なあたりをチマチマやっていたわけですね。

実際の回路であれば、これ以外の誤差要因も大きいわけなので、CMRR は 20dB から 60dB あたりを目標として調整することになると考えられます。

補償容量はどうやって決定するか

計算で CMRR をベストにするトリマ・コンデンサ値を求めることもできるでしょう。とはいっても、各部に寄生容量のある回路で、CMRR を式計算で得るのも式がややこしくなり、だいたが無理がありそうです。

こんなことを考えると、SPICE シミュレーションの便利さが身に沁みる（しみる）ことになるわけですね。そこで現実解としては Multi Step 解析でのシミュレーションで、必要な容量のあたりをつけるのが良いでしょう。

まとめ

このようにディファレンス・アンプ、そしてその回路構成を応用した計装アンプで CMRR を高く維持しようとするのは、非常に難しいということがお分かりいただけたかと思います。

40dB…。「四十」と読んだとしても、実はそれは 1% 精度であり、これ以上の性能を達成しようとする、それこそとんでもないマッチング精度が必要になるわけです。

現代の 16 ビット程度の AD 変換システムでは、ダイナミック・レンジが 100dB 程度になりますが、コモンモード電圧が大きく、さらに高い周波数でのコモンモード電圧変動が大きい場合には、この CMRR の限界によってコモンモード電圧が AD 変換システムにノイズとして現れてしまうことも気がつくと思います。

※

ということで TNJ-035 から、重ね合わせの理とディファレンス・アンプ、そしてディファレンス・アンプの限界から計装ア

ンプというストーリーで、この技術ノートを構成してきました。見た目は簡単な回路なのかもしれませんが、以外と奥深いこと、注意が必要なお分かりいただけたかと思います。

深圳市で出てきたコーク「さてその差; Difference は？」

最後に「ディファレンス・アンプ⇒ Difference ⇒ 違い」ということで、図 1 の写真を探しているときに見つけた、深圳 (Shenzhen) 市のレストランで出てきたコカ・コーラをご紹介します (図 18)。外見の Difference は「漢字表記」というところ。味の Difference はどうだったのでしょうか…。遙か昔という感じになってしまいましたので、さすがに忘れてしまいました (笑)。

この夕食は、台湾から来た FAE のチームと合流しての食事会でしたが、それでもそのときの、始めて彼らと会ったときの様子は、今でもよく覚えています。

参考・引用文献

[1] Walt Jung: OP アンプ大全, Analog Devices

<http://www.analog.com/jp/education/landing-pages/003/opamp-application-handbook.html>



図 18. 図 1 のトレーニングで訪れた深圳市のレストランで出てきたコカ・コーラ (その差; difference は?)