

設計開発ストーリー「VGA（可変ゲインアンプ）を使用した広帯域かつ  
高減衰の可変アッテネータ基板の実現」後編 ～評価から完成まで～

著者：石井 聡

## はじめに

CQ 出版社から、DDS IC AD9834 を使用した「すぐ使えるデジタル周波数シンセサイザ基板[DDS 搭載]」という本を 2012 年 9 月に上梓しました（図 1）。私はその執筆・開発プロジェクトの中で、主に 94.5dB の減衰量をもつ 30MHz 広帯域アッテネータ（Attenuator, 以下「ATT」を用います）を担当しました。

この技術ノートでは、前編・後編を通して、製作した 94.5dB ステップ ATT 回路の実験・試作ネタをご紹介します。

前編では、構想段階から、周波数特性の改善検討（と言っても、これが「体むに似たり」だったことを、この後編でご説明していきますが）から、パネル de ボードでの試作基板を組み上げたあたりまで説明しました。

後編では、パネル de ボードの試作基板の特性、最終形となる基板の CAD 設計と評価、そして特性の最適化などの話題をご説明していきます。

図 2 は回路全体のブロック・ダイアグラム（前編の図 6 の再掲）です。ここで一番の課題は、広い減衰範囲を実現するうえでの飛び込みや迷結合の問題を、どうやって、トラブルを生じさせずに、設計段階から解決していくかということでした。

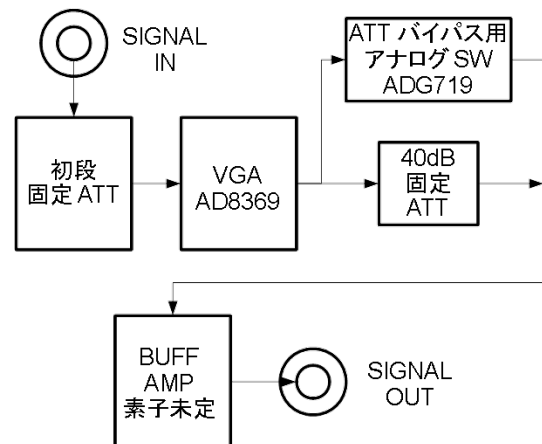


図 2 前編図 6 再掲、ブロック・ダイアグラム  
（最終的には 40dB→48dB になる）

## 試作基板（パネル de ボード）で動作と特性を確認してみる

図 3 は前編でも紹介した、パネル de ボードで作った試作基板に実装したようすです。回路全体の基本動作確認まで完了できました。同図の左側に見える SMA コネクタが入力で、その上側に AD8369 があります。その右側が ADG719 の ATT 回路です。減衰した信号が右側の SMA コネクタから出力として出てきます。

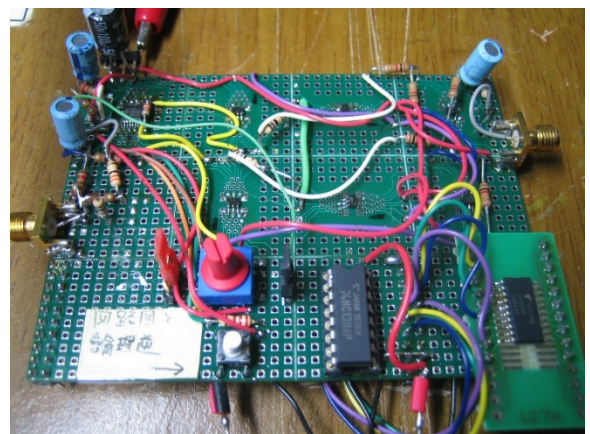


図 3 前編図 20 再掲「パネル de ボード」基板に  
全体を実装してみた



図 1. トランジスタ技術増刊

すぐ使えるデジタル周波数シンセサイザ基板[DDS 搭載]

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。  
©2016 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイス株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## アナログ電子回路技術ノート

TNJ-023

## 試作基板の特性を実測してみる

この試作基板の特性を、ネットワーク・アナライザ（ネットアナ）を用いて測定してみました。図 4 のプロットは、全体で  $ATT = 0\text{dB}$  とした状態での結果です。30MHz まで問題なく出ています。

図 5 のプロットは、ADG719 により差動固定  $ATT$  を有効にして、 $ATT = 48\text{dB}$  とした状態ですが、図 3 の写真のような配線ですと信号の飛び込みや迷結合により、高域のフィードスルーが大きくなって、周波数特性が暴れてしまっています。低い周波数ではそれでも  $-48\text{dB}$  になっているようすがわかります。

最終基板を起こしたときに、迷結合は再チェックです。全体で  $95\text{dB}$  程度の  $ATT$  範囲を取るのを、以降実施する基板設計も入念にしないといけません！

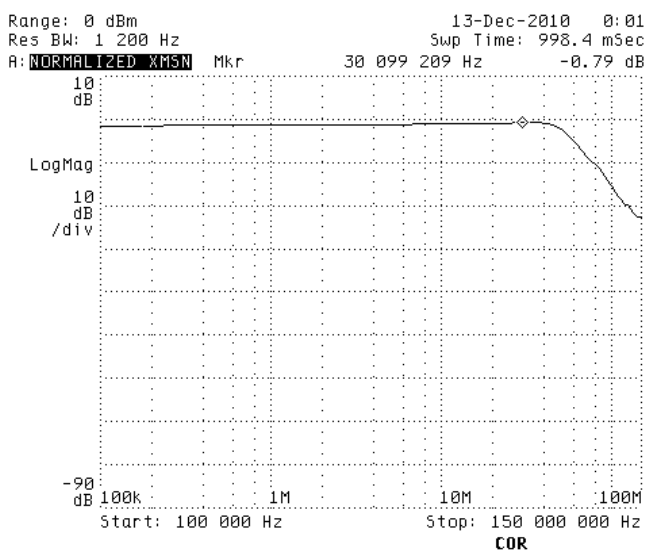


図 4 試作基板で  $ATT = 0\text{dB}$  としたときの周波数特性

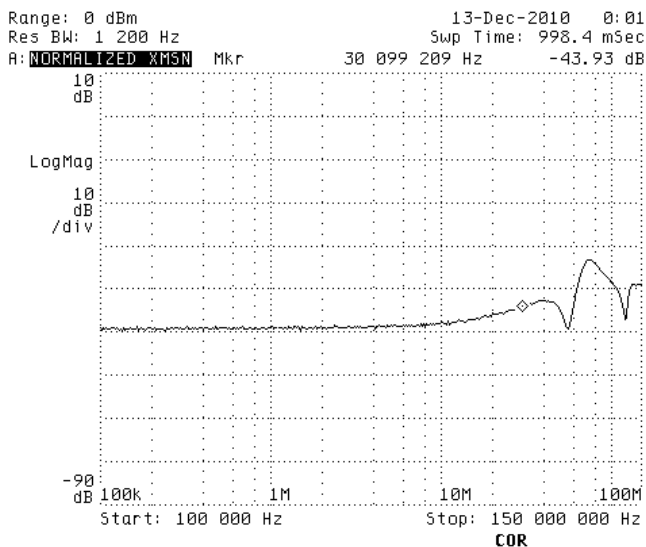


図 5 差動固定  $ATT$  を有効にして  $ATT = 48\text{dB}$  としたときの周波数特性。信号の飛び込みや迷結合で高域のフィードスルーが大きくなり、周波数特性が暴れてしまっている

## バッファアンプは ADA4891-1 を選んだ

AD8369 と ADG719 という役者を使っているというお話をしましたが、この基板で出力バッファとして使う OP アンプも決めないといけません。ここでは ADA4891-1 を使うことにしました。

...

**ADA4891-1:** オペアンプ、シングル、高速、レール to レール、低価格

## 【概要】

ADA4891-1 (シングル) は CMOS、高速のオペアンプで、低価格にもかかわらず高性能を提供します。ADA4891-1 は真の単電源動作能力を備えており、入力電圧範囲は負側レールの下側  $300\text{mV}$  まで拡張されています。8 ピンの SOIC または 5 ピンの SOT-23 パッケージを採用しています。

...

このアンプは  $-3\text{dB}$  帯域幅が  $220\text{MHz}$  ( $G = +1$ ) となっており、今回の用途は  $G = 2$  なので十分です。30MHz でもダレが全くない結果が得られています。

しかし周波数が高くなってくると、測定に使用している  $150\text{MHz}$  の帯域しかないネットアナも測定限界です…。だれか 4395A あたりを安く譲ってあげるよとかいう、奇特な人などいませんでしょかね（笑）。ログスイープできるネットアナがいいなあ。

## 広いダイナミック・レンジを実現するために基板レイアウトはとても重要

パネル de ボードで基本動作は確認できたので、いよいよ本番用のプリント基板の CAD 設計を開始しました。

そのとある日、某社の方がいらっしゃって打ち合わせがあり、その方が「アナログは実装が大事！」とお話されていました。おっしゃるとおりです！この基板もデキトーに（「CAD 設計者に丸投げ」ともいいますが）設計すると、思ったような減衰特性が得られません。

ゲインを取る方向なら、「まあ…」、というところかもしれませんが、減衰方向だと、「前編」の技術ノートの最初に示したように、フィードスルー（コモンモードによる飛び込みや迷結合）が高い周波数で出てくるので、簡単ではありません。プリント基板のレイアウトが非常に重要になってきます。

なお、コモンモードは「同相モード」とも呼ばれます。

## 基板レイアウトはこんなふう考えた

この問題を考慮した基板レイアウトをご説明します。そのパターン・レイアウトのようすが、図 6 (L1…部品面) と図 7 (L2…半田面) となっています。



## アナログ電子回路技術ノート

TNJ-023

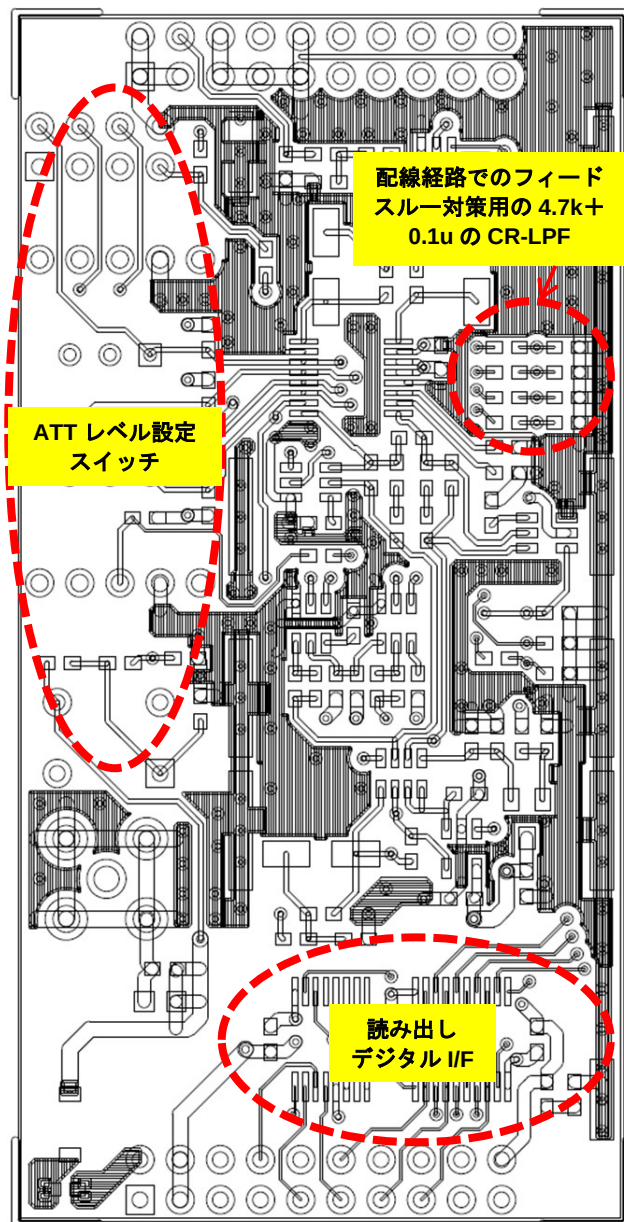


図 6 基板レイアウト (L1…部品面)

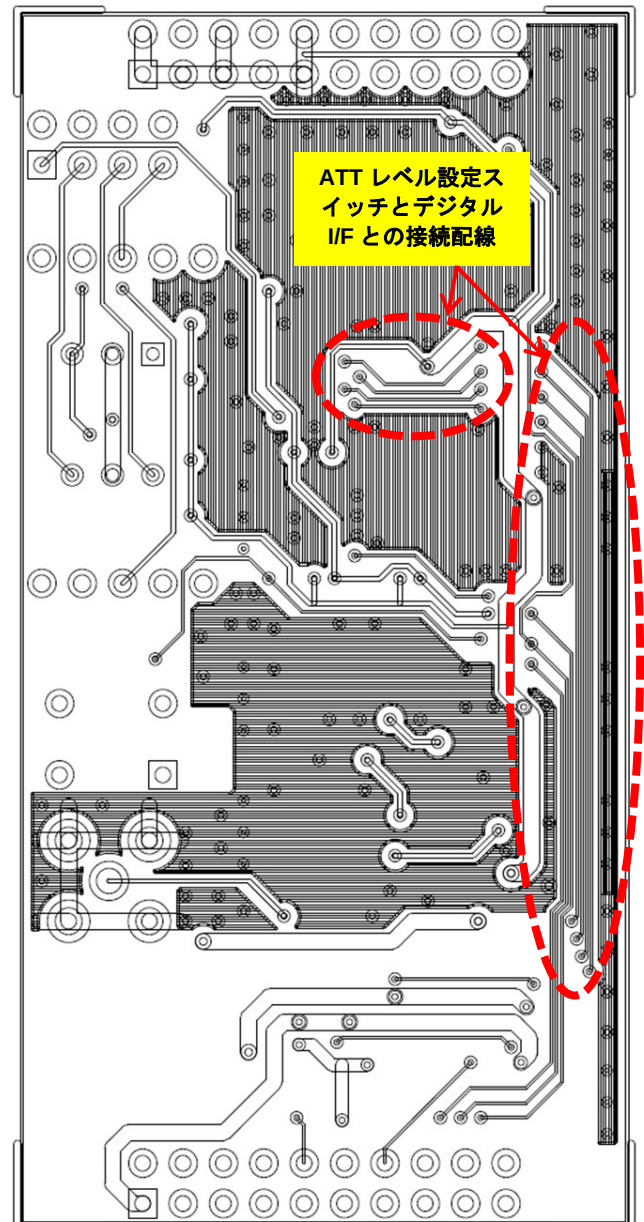


図 7 基板レイアウト (L2…半田面)

## スイッチの配線が意外とやっかい

両面基板なので、性能を出すのは結構厄介です。配置の制限で、図 6 のように ATT レベル設定スイッチが左上、それを読み出すデジタル I/F が右下になっています。図 7 の L2 を見ていただくとわかるように、この接続配線をアナログ回路のど真ん中を通さないといけません（左側を廻すという考えもありますが、それこそ出力 SMA コネクタ側と迷結合しそうです）。

とはいっても設定スイッチなので、レベルが変動するわけでもなく、デジタル的なノイズは考える必要がありません。一番注意すべきはフィードスルーです。入力信号がこのパターンに乗らないように、途中（丁度減衰させる回路の真ん中あたり）に 4.7k と 0.1u の CR-LPF をそれぞれ配置しました（図 6）。最初はこのフィルタを 2 段配置するような回路だったのですが、「部品が乗りません」ということで、ちょっと心配でしたが 1 段にしました。

## コモンモードの飛び込みや迷結合を避けるための対策回路

さらにコモンモードによる出力への影響を避けるために、図 8 の回路図のように出力アンプは一旦差動で受けて、シングルエンドに変換する構成にしました。出力アンプとして使っている ADA4891-1 は  $\text{CMRR@30MHz} = -27\text{dB}$  程度ですので、これに合わせて入力抵抗 4 本は絶対精度 0.5%（相対マッチングはさらに良いはず）の VISHAY の ACASA100121001P100 というものを使用しました。

また再度図 6 と図 7 を参照いただきたいのですが、グラウンドも網目のようにしてビア接続し、できるだけ L1-L2 間で低いインピーダンスが実現できるように、ベタの配置、ビアでの接続を心がけています。

これらにより、約 95dB の減衰特性が 30MHz までの周波数で得られています。

## アナログ電子回路技術ノート

TNJ-023

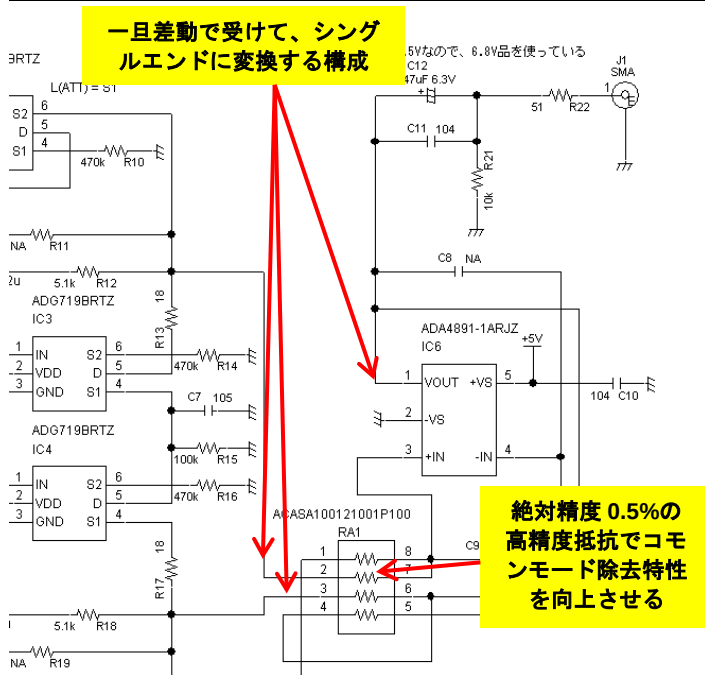


図 8 コモンモードの飛び込みや迷結合を避けるための対策回路

## コモンモードの飛び込みや迷結合のしくみはどう考える？

「広い減衰範囲を実現するうえでの、飛び込みや迷結合の問題」ということを、何度もお話をさせていただきました。「これは具体的にはどう考えるのか？」というのはもっともな疑問と思われます。これについては稿をあらためて、次の TNJ-024 で説明してみたいと思います。

## 正式基板の性能を確認してみる

このプロジェクトの開発も、佳境状態となって、関係者全員で盛り上がっております。そのころに私の担当の VGA 基板 (CAD 設計でレイアウトしたもの) も、最終形として出来上がりました。

写真を図 9 にお見せします。これがマザーボードにピンヘッダで刺さる構成なのですが、マザーボード設計中に「あれ、これ、1 ピンの位置、複数のボード間で逆でないですか？」との指摘が。この時点で私のボードは部品実装に入っていたので、びっくり。その後も「RFIN は 3 pin ではなく、4 pin ですよ」とのお言葉。「あ！間違えた！やってしまった！」と完全に動揺してしまいました (笑)。それでも 1 ピン位置は間違いなことが分かり一安心です。

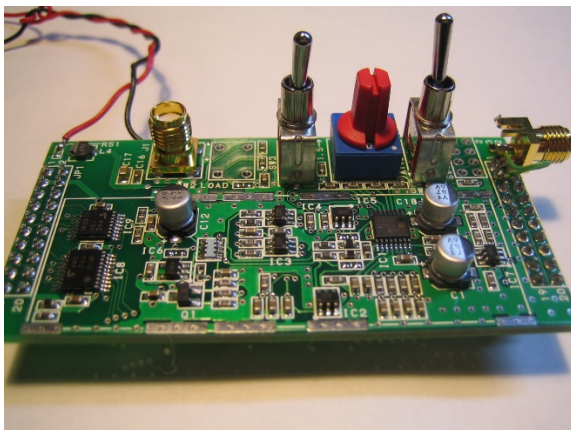


図 9 正式基板 (第 1 版) のようす

## おもな減衰レベルでの周波数特性を実測してみると…

パネル de ボードで試作していたので、基本動作は一発でうごきました。AD8369 に +35dB 位のゲインがあるので、これを 0dB まで抑え込む必要があり、やっかいでしたが、合計、約 95dB の ATT 可変範囲を 30MHz 程度まで実現できそうです。

図 10 から ATT なし (本来は 0dB ですが、-1dB になっています。以降で初段固定 ATT の定数を若干調整して補正しました)、図 11 が 48dB 差動固定 ATT をオンにして AD8369 の ATT はナシ、図 12 が 48dB 差動固定 ATT オンで AD8369 の ATT も max (45dB) の状態 (合計-93dB-1dB) です。

図 12 はレベルがかなり低くなるので、ATT 出力にプリアンプをつけて、またネットアナはスルー校正時に固定同軸 ATT で 40dB のゲタをはかせて CAL (校正) を取っています。そのため、このマーカ値に対して -40dB が実際の ATT 量になります。

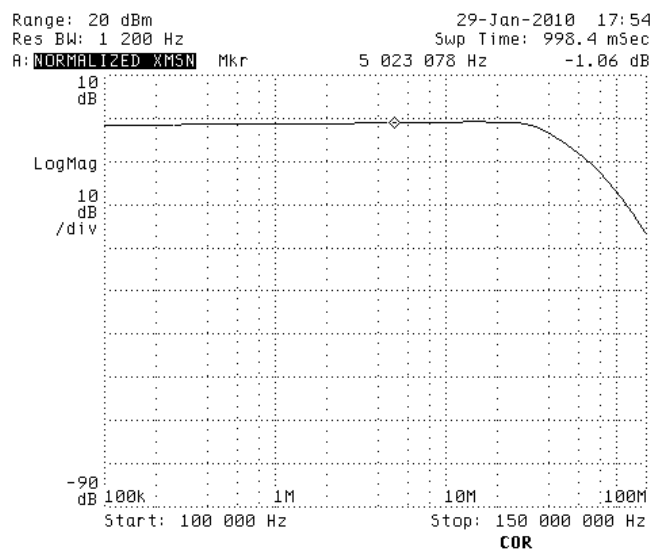
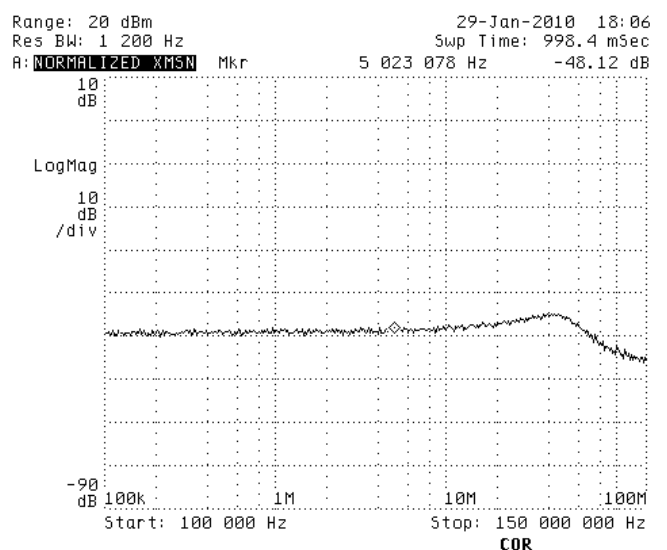


図 10 減衰なし (-1dB) での周波数特性

図 11 48dB 差動固定 ATT をオンにして AD8369 の  
はナシでの周波数特性

ATT

# アナログ電子回路技術ノート

TNJ-023

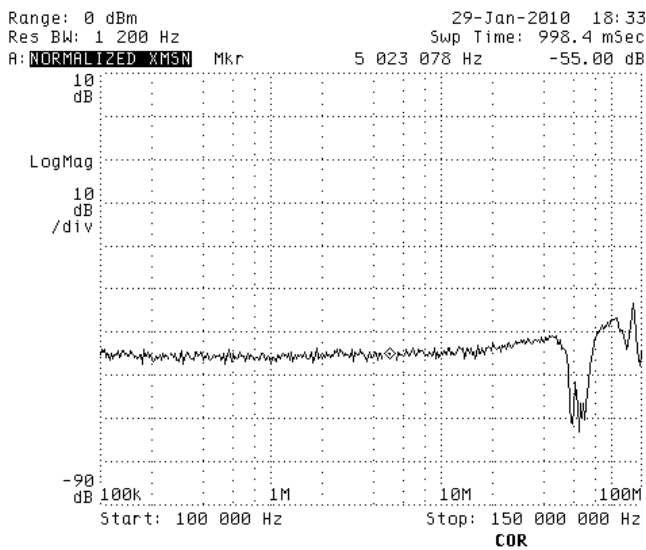


図 12 48dB 差動固定 ATT オンで AD8369 の ATT も max (45dB) の状態 (合計-93dB - 1dB = -94dB) での周波数特性

図 11、図 12 の「48dB 差動固定 ATT オン」状態では、30MHz 付近が少し盛り上がっています。これは 48dB 差動固定 ATT のアナログスイッチ ADG719 (前編の図 8、また本編の図 18 の IC2, IC5) の端子間容量  $C_{DS}$  によるフィードスルーで、周波数特性に暴れができてしまっているからです！

これまでの検討で対策できたかと思ったのですが、シミュレーション結果以外にも要因があるようです。前編の図 8 (また本編の図 18) の R12, R18 に直列に接続したインダクタンス L1, L2 ではうまく補償ができないようです…。

$X_L = \omega L$  と  $X_C = 1/\omega C$  とで、 $\omega$  に比例と反比例ですからね…。どうやらこれまでの検討は「休むに似たり」だったようです…。

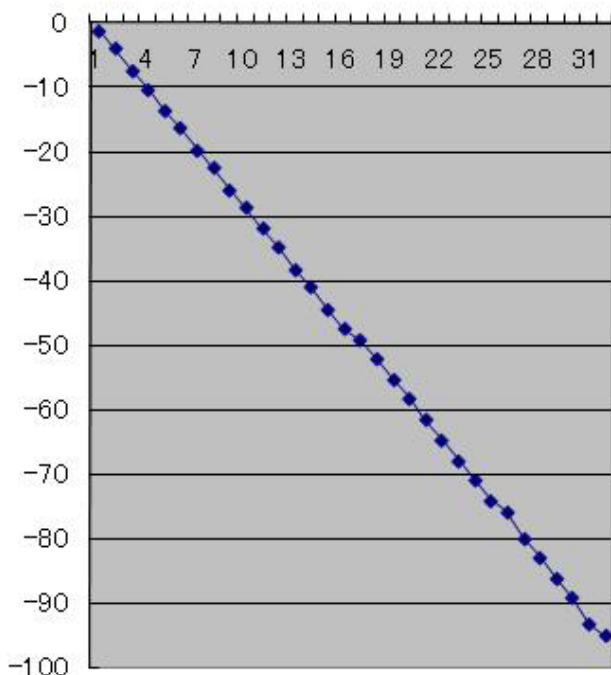


図 13 簡易的に各 ATT レベルを測定した結果

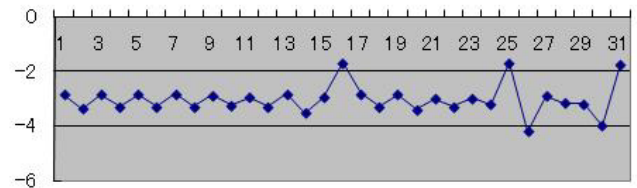


図 14 ATT の 1 ステップ間の差分量

## 各減衰レベルでの周波数特性を実測してみる

気をとりなおし、精密ではないですが、ぱぱぱっと各ステップでの ATT レベルを測定した結果を図 13 に示します ( $f = 5\text{MHz}$ )。45dB を超えるところで、AD8369 の ATTmax から、差動固定 ATT がオンになり AD8369 の ATTmin になるところで 1dB ちょよとの段差が出ています。

この辺は難しいところで、誤差要因をきちんと見切る必要があり、引き続き検討することになりました。

また図 14 はステップ間の差分量で、ほぼ 3dB ずつ変化していることがわかります。若干暴れがありますが、テキトーに測定したので、誤差とも思われますので、これも再測定予定です。

なおこの ATT 基板は、スイッチで 3dB の間を 1.5dB ずつ可変できる ATT 回路も用意してあるので、合計 64 ステップのアッテネータ基板になっています。

「コイツ、出たとこ勝負で運がいいなあ」と思われる人もいるかもしれませんが、回路設計やらレイアウトは相当注意深く行いました。30MHz で-95dB、さて「高い周波数で高減衰」か、はたまた「チョロイ」か…。いかがでしょう。

## 周波数特性の変動があるが、どうしたら解決できる？！

「48dB 差動固定 ATT のアナログスイッチ ADG719 (IC2, IC5) の端子間容量  $C_{DS}$  によるフィードスルーで周波数特性に暴れが出た」ことで、これまでの検討が「休むに似たり」だったことをお話ししました。

図 15 の回路図をご覧ください。このように差動 ATT となっていますが、シングルエンドで考えると R12 と R13 で分圧するイメージです (下側は R18 と R17)。C7 で高周波のコモンモードも減衰させるようになっています。

ここで周波数特性の暴れの問題、つまりアナログスイッチ (IC2, IC5) のオフ時端子間容量  $C_{DS}$  による影響を軽減するための対策の (付け焼刃的) ストラテジーは 2 個考えられ、

- ① 図 8 の R12 の大きさを小さくして減衰量を 1/2 に下げて、2 段構成の ATT にする
- ② 図 8 の R12, R13 の比率はそのまま、それぞれ大きさを下げる

というものでした。しかし、①はサイズ上の問題があり、また②は、もともと ADG719 のオン抵抗 ( $\text{typ } 2.5\Omega$ ) のバラツキが心配なので R13 を少し大きめにしており、R12 も大きめにせざるをえません。結局は現在のあたりが「落としどころ」です…。

この「30MHz くらいで盛り上がっている問題」の原因であるアナログスイッチ (IC2, IC5) のオフ時端子間容量  $C_{DS}$  に対して、まずは図 16 のように L1, L2 を 2.2uH から 6.8uH にしてみました。偏差は少なくなっているのですが、うねりがよりややこしくなっています。もともとは L1, L2 = 2.2uH でシミュレーション上では OK だったのですが、補償不足、なおかつ共振補償



## アナログ電子回路技術ノート

TNJ-023

( $X_L = \omega L$  と  $X_C = 1/\omega C$  で、 $\omega$  に比例と反比例の関係) なので、結局は局所周波数でしか補償ができません。

あらためて IC2, IC5 の端子間容量  $C_{DS}$  がいくらか、 $L1, L2$  をゼロ  $\Omega$  抵抗にしてみても確認してみました。図 17 のように、3dB 上昇するところが 27MHz になっています。これを  $f = 1/2\pi CR$  で計算してみると  $C_{DS} = 1.16\text{pF}$  程度と予測されます。もともと 7pF くらい？と思われましたが、結構小さいものでした。さて、この補償をどうしたものか???

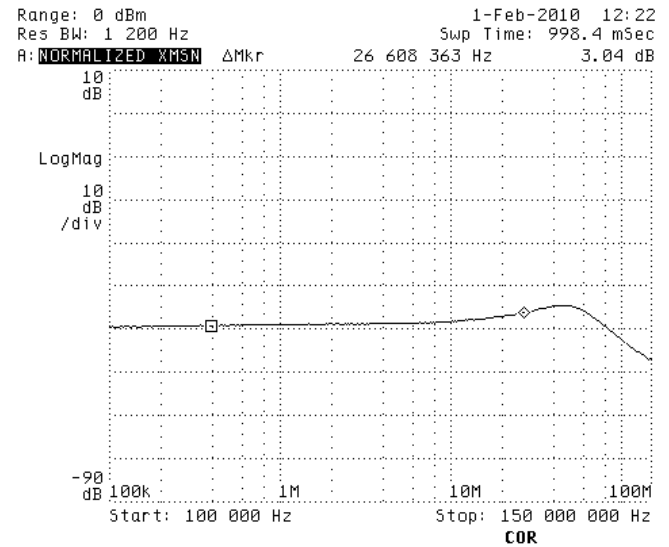


図 17  $L1, L2$  をゼロ  $\Omega$  抵抗にしてみたときの周波数特性

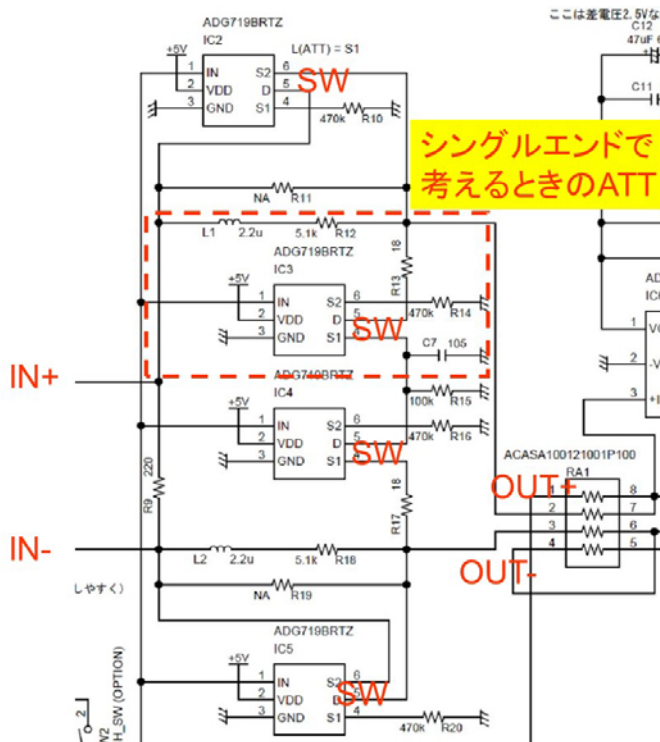


図 15 差動 ATT となっているが、シングルエンドで考えると  $R12$  と  $R13$  で分圧するイメージ

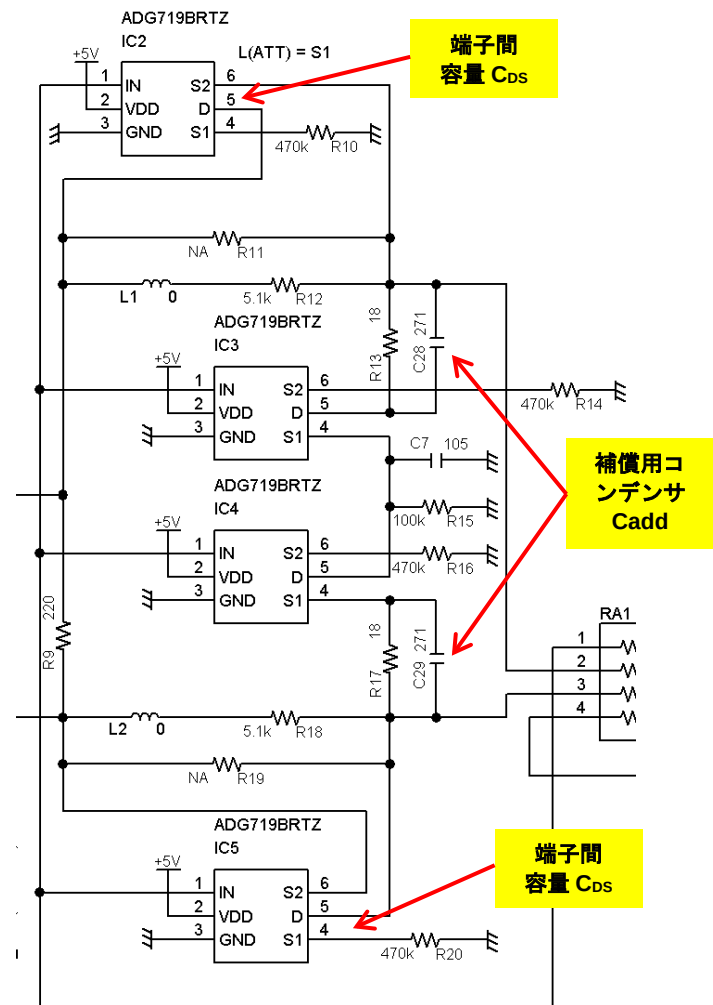


図 18  $R13, R17$  に並列にコンデンサを接続すればいいのだ!

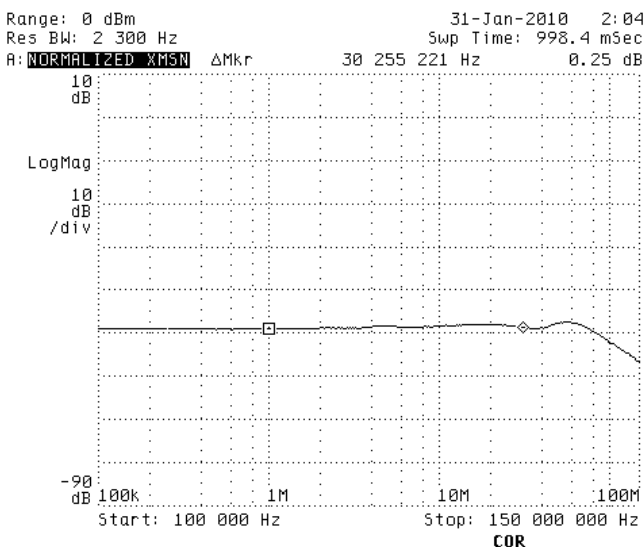


図 16  $L1, L2$  を 2.2uH から 6.8uH にしてみたときの周波数特性

## アナログ電子回路技術ノート

TNJ-023

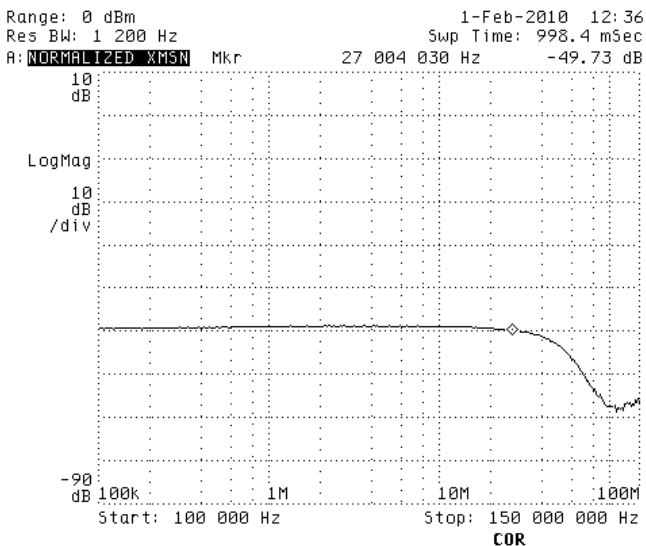
## そうだ！プローブと同じ補償をすればいいんだ

ある朝の寝起きのことですが、「そうだ！オシロのプローブと同じように端子間容量  $C_{DS}$  を補償し、改善すればいいのだ」と気がつきました。図 18 のように、( $L1$ ,  $L2$  をゼロにしたうえで)  $R13$ ,  $R17$  に並列に補償用コンデンサ  $C_{add}$  を接続すればよいのです。

オシロのプローブは、パルス応答を最適にするように、10:1 の分圧抵抗に並列にコンデンサが接続されています。これと同じように、図 18 の IC2 および IC5 の 5 pin-6 pin 間の容量  $C_{DS}$  に対して、補償用コンデンサ  $C_{add}$  を選びます。計算上は、

$$R12 \times 1.16pF = R13 \times C_{add}$$

とすればいいのですが、実験で確認してみる必要があります。なお 1.16pF というのは、図 17 の 3dB 上昇ポイントが 27MHz で、これを  $f = 1/2\pi CR$  で計算し  $C_{DS} = 1.16pF$  程度と予測されたものです。

図 19  $C_{add} = 330pF$  接続時の周波数特性 ( $L1, L2 = 0\Omega$ )

## 実際に実験してみる

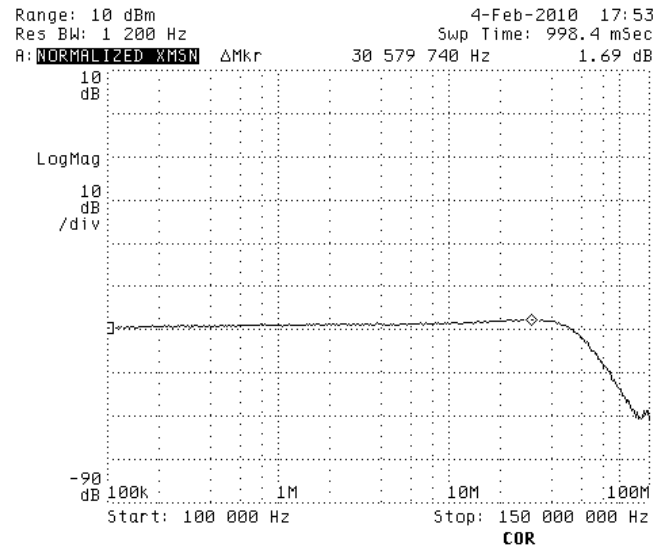
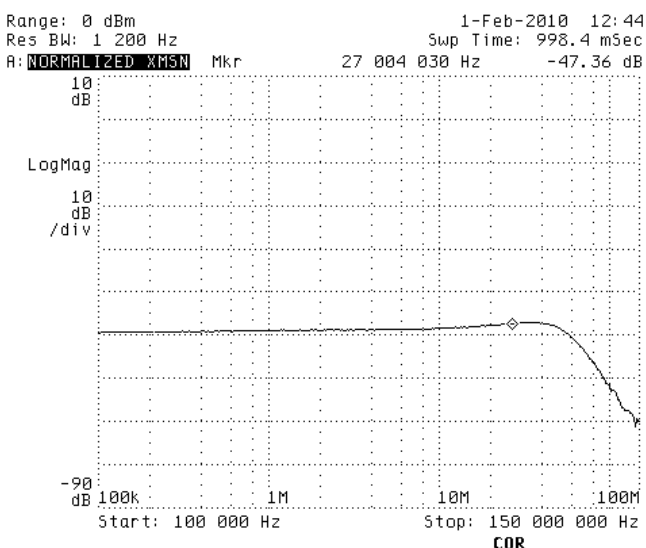
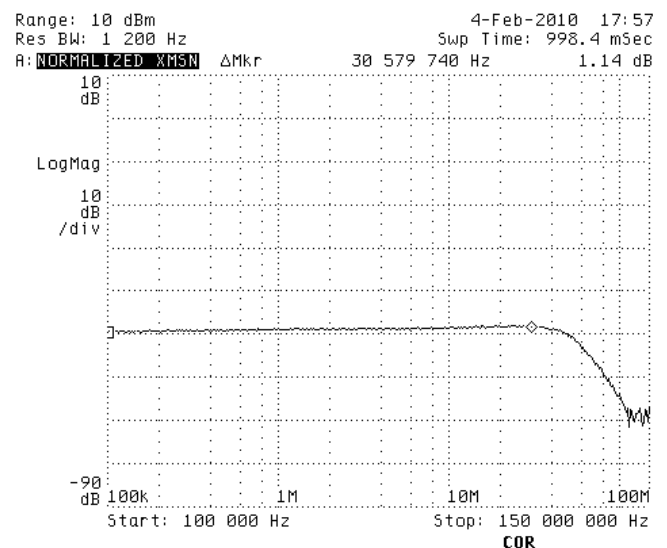
$L = 0\Omega$  のジャンパにしたままで、まずは  $C_{add} = 330pF$  を接続してみました (図 19)。フラットにはなりませんでした！でも過補償すぎです。つぎに  $150pF$  を接続してみました (図 20)。今度は補償が不足しています。

手持ちのコンデンサが  $150pF$  と  $330pF$  しかなく、このあいだの  $180pF$ ,  $220pF$ ,  $270pF$  は RS コンポーネンツに注文後のテストになります。でもなんとかかなりそうです。

## コンデンサを交換しながら最適な点を探し出す

コンデンサ 3 種類 ( $180pF$ ,  $220pF$ ,  $270pF$ ) を入手でき、 $L1$ ,  $L2$  の  $2.2uH$  をはずし、 $0\Omega$  のジャンパにしておいたままで、それぞれ順番に接続してみました。図 21, 22, 23 の順番で、 $180pF$ ,  $220pF$ ,  $270pF$  です。

$270pF$  を追加したとき (図 23) がベストなようです。これで一旦クローズにできました！これをもって、その週末に開催する関係者との打ち合わせに安心して望めることとなり、ほっとしました。

図 21  $C_{add} = 180pF$  接続時の周波数特性図 20  $C_{add} = 150pF$  接続時の周波数特性 ( $L1, L2 = 0\Omega$ )図 22  $C_{add} = 220pF$  接続時の周波数特性

アナログ電子回路技術ノート

TNJ-023

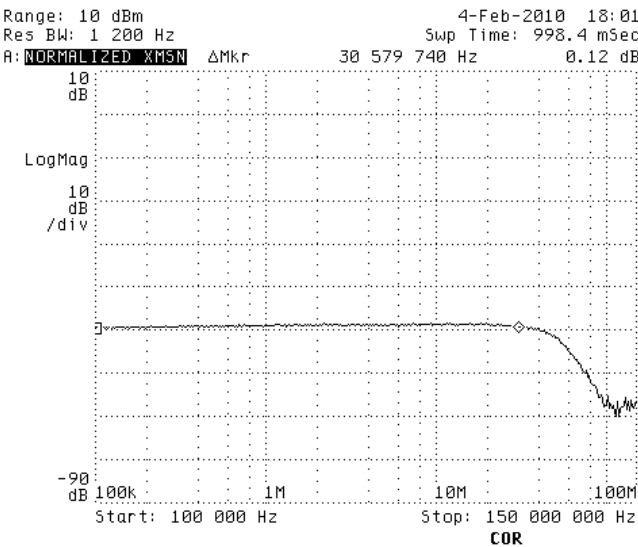


図 23 Cadd = 270pF を接続してみたときの周波数特性

ようやく完成！

ということで本プロジェクトの全景が見えてくるような写真を図 24 にご紹介します。

左が DDS IC AD9834 を使用した、書籍に同梱された「デジタル周波数シンセサイザ基板」です。真ん中が、私が担当したアッテネータ基板です。週末に開催した関係者との打ち合わせでも、「こう見ると壮観ですね！」と関係者とも話をしていました。その後の土日もつづいての佳境状態ゆえ、メールの多かったこと…。

その真ん中の基板にジャンパが見えますが、お気になさるぬように…（汗）。これが先の「RFIN が 3pin ではなく、4pin ですよ」とのお言葉どおりのミスでありました（汗）。

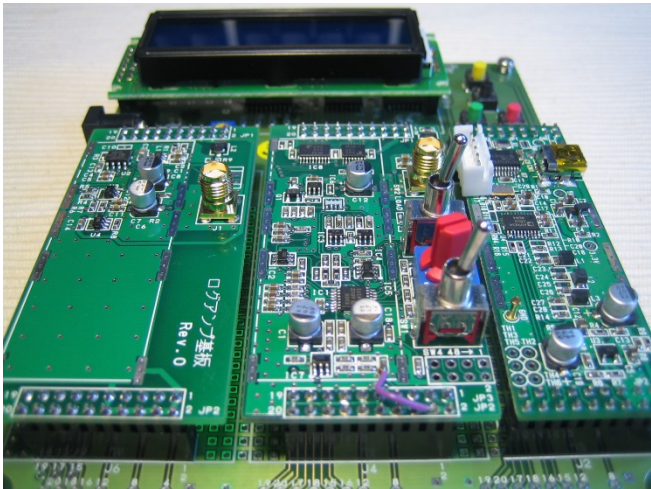


図 24 本プロジェクトの全景（真ん中の基板になぜかジャンパが見える…）

全体接続でのフィードスルーなどをチェックする

単体の基板でのフィードスルーが無いことは判りましたが、全体を図 24 のように接続すると思わぬ迷結合ができてしまうことがあります。そのあたりを最終チェックとしてみました。

全体を組み合わせで ATT の動作を確認してみました。表 1 をご覧ください。「デジタル周波数シンセサイザ基板」の AD9834 DDS IC から各周波数の信号を発生させ、各 ATT レベルごとの信号レベルをスペクトラム・アナライザで測定したものです。AD9834 の信号生成 DAC の信号出力のしくみにより、sinc 関数となる周波数特性となりますので ( $f_{\text{dds}} = 75\text{MHz}$ )、周波数を高くしていくと、それに応じて（同じ ATT レベルであっても）信号レベルが低くなっていることがわかります。

全体としてはノイズやら測定誤差により、きちんと 3dB ステップを踏んで減衰していませんが、最大の 28MHz かつ ATT max あたりでも 3dB の変化量は維持しています。

これは一番危険ともいえるゾーン（一番高い周波数で一番高い減衰量）でも、フィードスルーの問題が無いことを示しています。やれやれです…。

もう一枚、オマケですが、このプロジェクトの核となる、図 24 右の「デジタル周波数シンセサイザ基板」の AD9834 DDS IC を 7.1MHz で信号生成させ、スパンを 10kHz で観測したようすを図 25 に示します。これもかなり良好な特性ですね。測定はここまでネットワーク・アナライザとして各図での測定プロットをお見せした、150MHz までの測定レンジである 3589A をスペクトラム・アナライザ・モードに行いました。3589A は、帯域は狭いのですが、優れものの測定器です(^\_^)

表 1 全体を組み合わせで各周波数、各 ATT レベルごとの信号レベルを測定した

| DDS生成周波数     | 7.1MHz | 14MHz  | 21MHz  | 28MHz  |
|--------------|--------|--------|--------|--------|
| ATTなし        | 0.1    | -1.24  | -3.82  | -24.24 |
| +48ATT ON    | -47.7  | -49.2  | -52    | -72.8  |
| +48ATT + 設定F | -25.7  | -27.3  | -30.1  | -50.9  |
| +48ATT + 設定E | -28.65 | -30.25 | -33.1  | -53.9  |
| +48ATT + 設定D | -31.9  | -33.4  | -36.2  | -57    |
| +48ATT + 設定C | -34.8  | -36.4  | -39.26 | -60.2  |
| +48ATT + 設定B | -38.07 | -39.6  | -42.43 | -63.2  |
| +48ATT + 設定A | -40.95 | -42.5  | -45.42 | -66.3  |
| +48ATT + 設定9 | -44.24 | -45.7  | -48.6  | -69.5  |
| +48ATT + 設定8 | -47.1  | -48.7  | -51.5  | -72.7  |
| +48ATT + 設定7 | -50.4  | -51.9  | -54.6  | -76    |
| +48ATT + 設定6 | -53.3  | -54.9  | -57.7  | -79.2  |
| +48ATT + 設定5 | -56.6  | -58    | -60.7  | -82.68 |
| +48ATT + 設定4 | -59.5  | -61    | -63.7  | -85.7  |
| +48ATT + 設定3 | -62.6  | -64.1  | -66.7  | -89.5  |
| +48ATT + 設定2 | -65.5  | -67    | -69.5  | -93.1  |
| +48ATT + 設定1 | -68.5  | -70.4  | -72.5  | -97.5  |
| +48ATT + 設定0 | -71    | -73    | -75.5  | -102   |

この辺は計測限界

|         |        |
|---------|--------|
| 3589A   | +10dBm |
| 入力レンジ設定 | 0dBm   |
|         | -10dBm |
| その他     | VBW下げる |



# アナログ電子回路技術ノート

TNJ-023

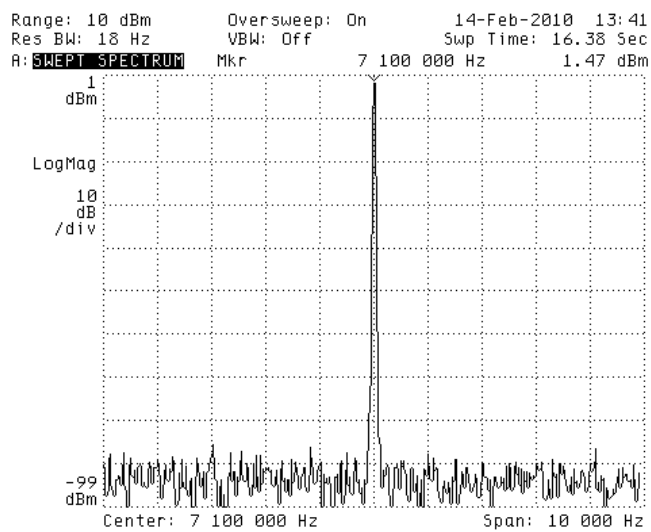


図 25 「デジタル周波数シンセサイザ基板」の AD9834 で 7.1MHz を生成させたようす