

設計開発ストーリー「VGA（可変ゲインアンプ）を使用した広帯域かつ高減衰の可変アッテネータ基板の実現」前編 ～構想から試作基板組み上げまで～

著者：石井 聡

はじめに

CQ 出版社から「すぐ使えるディジタル周波数シンセサイザ基板 [DDS 搭載]」という本を 2012 年 9 月に上梓しました (図 1)。この本に付属するディジタル周波数シンセサイザ基板 (アナログ・デバイスでは「ディジタル」は「デジタル」で統一していますので、この技術ノートでも「デジタル」を用います) は DDS IC の AD9834 を利用したものです。私はその執筆・開発プロジェクトの中で、94.5dB の減衰量をもつ 30MHz 広帯域アッテナを主に担当しました。

ここでアッテネータ (Attenuator, 以下「ATT」を用います) の機能を実現するために、AD8369 という VGA (Variable Gain Amplifier; 可変ゲイン・アンプ) を利用しました。当初は「これで 30MHz 程度までの 48dB ステップ ATT を作ってみますか!」というところでしたが、可能であれば外部に 48dB の固定 ATT をつけて、全体で 95dB 程度まで変化させたいという野心がありました。飛び込みや段間の迷結合の心配がありますが、「シールドナシで、どうだろうなあ…」と思うところでした。

この技術ノートでは、この 94.5dB ステップ ATT 回路の実験・試作ネタ（エンジニア的にはこれを「遊び」という場合もあります）をご紹介します。まずは使用した VGA IC **AD8369** についての概要をご紹介しますおきましょう（図 2）。

AD8369: 可変ゲイン・アンプ、デジタル制御、45dB、600MHz

【概要】

AD8369は、高性能のデジタル制御可変ゲイン・アンプであり、セルラ・レシーバ内のIF周波数でできるように設計されています。このデバイスは、パラレルまたは3線式シリアル制御のいずれかに設定できる4ビット・デジタル制御のゲイン制御インターフェースを備えています。ゲイン制御レンジは、全体で45dBになり、3dBの単位で調整可能です。

AD8369 は、デジタル IF レシーバでの使用に最適で、70/140/190/240/380MHz の一般 IF 周波数で動作するように完全に仕様規定しています。ゲインの安定性と平坦性は、380MHz で 20MHz のチャンネル帯域幅にわたって 0.1dB 未満です。



図 1. トランジスタ技術増刊

すぐ使えるデジタル周波数シンセサイザ基板[DDS搭載]

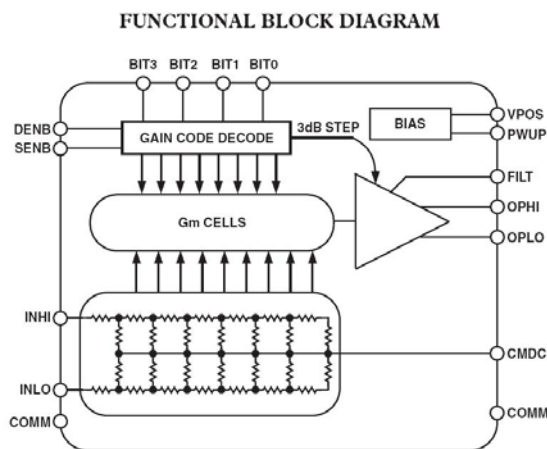


図 2. AD8369 のブロック・ダイアグラム

VGA で実現するステップ ATT の構想を開始！

さっそく VGA IC の AD8369ARUZ をゲットしました (図 3 と図 4)。あわせて図 5 の写真は、秋月電子で買ってきた 16 ポジションのロータリ・スイッチです。16 ポジション = 4 ビットですから、3dB ステップで 48dB 変化させることができます。

これに 48dB 固定アッテネータを追加すれば、合計約 95dB のテ
ップ ATT が実現できます。なお AD8369 は利得があるので、そ
の利得を入力で減衰させる必要があります。

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示または暗示的に許諾するものでもありません。仕様の予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。

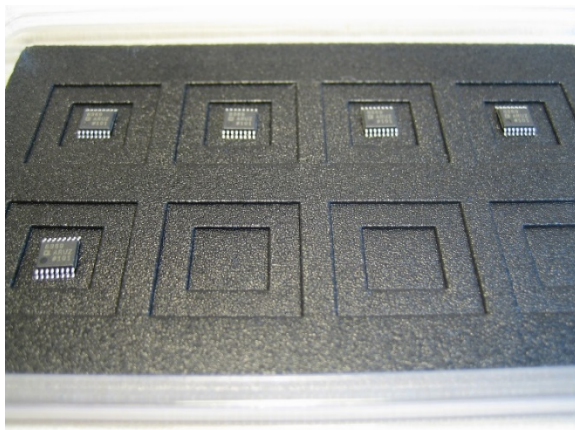
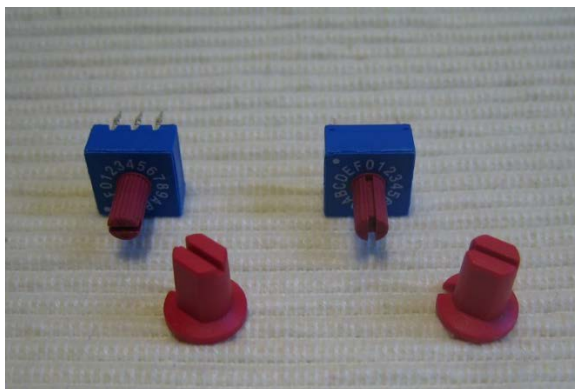
©2016 Analog Devices, Inc. All rights reserved.

アナログ電子回路技術ノート

TNJ-022



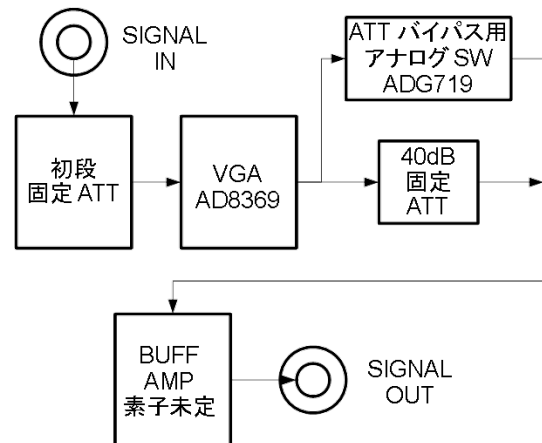
図 3. 早速入手した AD8369ARUZ (その 1: パックいり)

図 4. 早速入手した AD8369ARUZ
(その 2: パックから出した静電シート上のような)図 5. 秋月電子で買ってきた 16 ポジションの
ロータリ・スイッチ

ブロック・ダイアグラムをまず作ってみた

思考を整理し、レベル配分を考え、回路図に落とすために、簡単なブロック・ダイアグラムを作ってみました。これを図 6 に示します。

VGA の AD8369 プラス、もう一つ 48dB の固定 ATT をスイッチして、全体で約 95dB を実現するというのもくろみなのですが、電子スイッチで実現するのがちょっとやっかいだなあとか (アイソレーションと ON 抵抗の問題)、構想をブレークダウンしながら考えていきました。

図 6. 簡単なブロック・ダイアグラム
(最終的には 40dB→48dB になる)

広い減衰可変範囲を実現するには (ご経験を拝聴する)

構想途中に、執筆で一緒した筆者の方から、「可変ゲイン・アンプといえば、AD8331 というアナログ電圧でゲイン制御をする IC を使ったことがありますよ。非常に低雑音のプリアンプも内蔵されていて、ゲイン可変範囲が 48dB なので、これを 2 段カスケードにして、100dB 以上のゲインと 96dB のゲイン調整範囲を稼ぎました」「全段差動なので、GND の共通インピーダンスに起因する迷結合などはほとんど無くて、100dB 以上のゲインでもシールドなしで安定して動作しました」「ネットアナで見ながら AGC 電圧を変えると、周波数特性はそのまま、きれいにゲインが上下します。可変アッテネータ・タイプなので、歪みも少ないですね」というお話をいただきました。ここには 2 点ポイントがあって、

- ① 「全段差動なので、GND の共通インピーダンスに起因する迷結合などはほとんど無く」は、(以降にも説明しますが) ダイナミック・レンジが非常に広いため、コモンモード・差動変換による想定外のフィードスルーが出てしまうという、一般的によく生じる問題があるが、差動回路ではこれが軽減される
- ② 「周波数特性はそのまま、きれいにゲインが上下」は、ゲインを変えると周波数特性が変化する OP アンプと異なり、アンプのゲインは固定で、前段が可変アッテネータになっているため、このような性能が実現できる

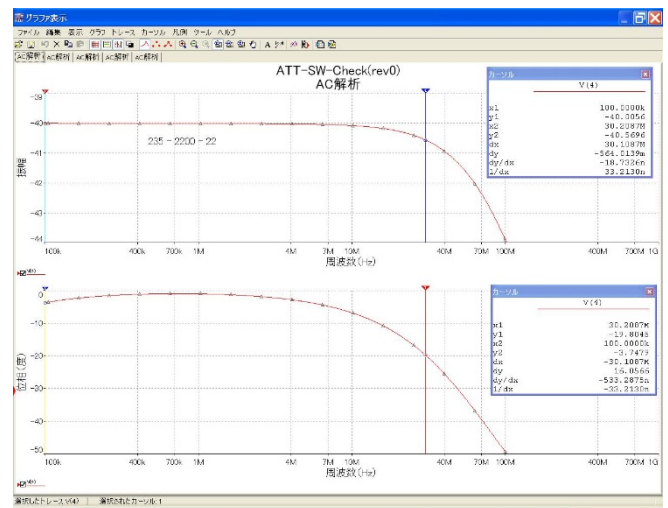
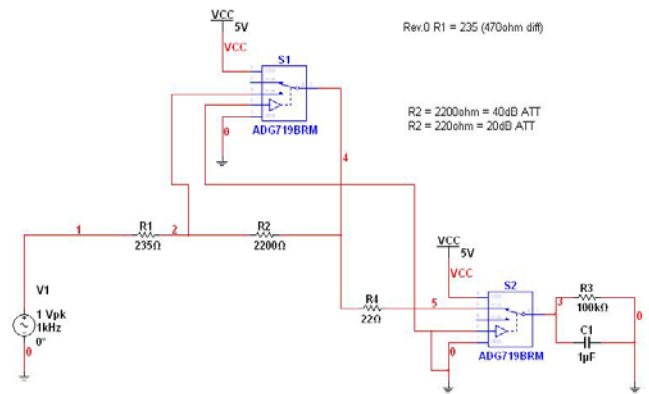
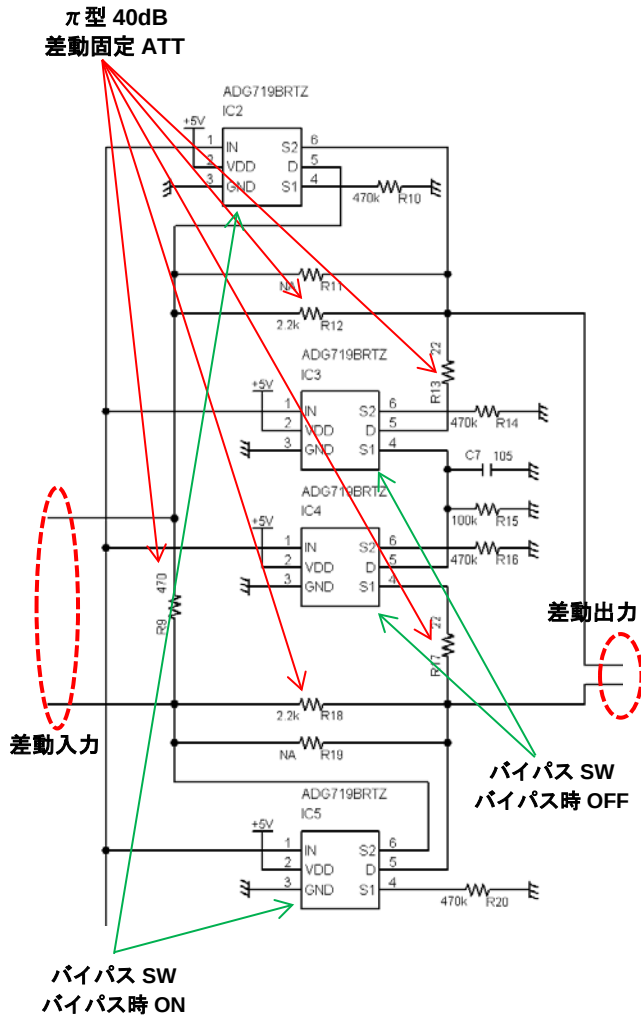
ということなのでした。この方のお話には、深い造詣があったわけですね…。

この筆者さんは、100dB のゲインブロックを実現したわけですが、私のほうの設計は入力信号を減衰させることが目的…、なおかつ AD8369 にはゲインがある…。どんなものかなあとか、上記の附加 48dB 固定 ATT 回路の件など、悩み気味でした。

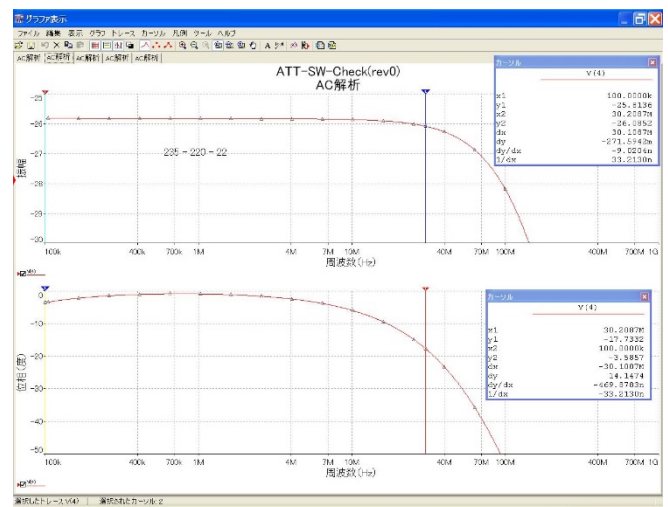
「AD8369 が、Rset (抵抗 1 本) かなんかで、内蔵ポストアンプの利得調整ができるといいなあ」とか思いました。

アナログ電子回路技術ノート

TNJ-022



30MHz で 0.564dB ほどダレている



差動固定アッテネータの周波数特性を解析開始！

VGA ご本尊の試作に到達するまでに、心配ネタである、この差動固定 ATT の性能解析をしていきました。

その日も出版社から長いメールがきて、見逃してしまうところでしたが、よくよく読むと「1 ヶ月後にはファイナル回路図を提出せよ」と…(汗)。ぜんぜん出てない状況ゆえ、ダチョウ倶楽部モードで「聞いてないよ」と回答をしてしまいました(笑)。このように時間も限りがあるわけです。

広いゲイン調整範囲を実現するためにシミュレーションでアタリをつける

さて、ということで 30MHz まで安定に動作する 40dB (先のように間違いで…。最終的には 48dB) の差動固定 ATT を作らないといけません。そこで NI Multisim を使って、図 9 のような回路で特性を検討してみました。差動回路なので、1/2 の上半分にして簡素化し、シングルエンドでシミュレーションしています。信号源抵抗は差動 470Ω (図 8 の R9 に相当) で、相当するシングルエンドのシミュレーション回路 (図 9) では 235Ω にして最初は設計してみました。

「なぜ 470Ω にしたの？」というご質問は当然でしょう(汗)。「そんな感じで…、まあ 470 が好きだから」とかワケの判らないような理由で選んでいます。回路専門外の方はこのいい加減さには驚くでしょう(汗)。といってもこの選定が問題になってしまったのです。

アナログ電子回路技術ノート

TNJ-022

図 10 は 1 段で 40dB ATT としてシミュレーションしてみた結果です。30MHz の位置のマーカーを見てください。上側は $dy = 0.564\text{dB}$ になっており、この周波数でダレが生じています。下は $y1 = -19.8^\circ$ で結構位相が回っています。

つづいて図 11 は、図 9 の $R2 = 2200\Omega$ (図 8 の $R12, R18$ に相当) だったものを 220Ω にして 1/100 (-40dB) から 1/10 (-20dB) にしてみました。信号源抵抗があるので、ぴったり -20dB、1/10 にはなっていないのですが、検討上ということで、まずはこれでやってみました。

30MHz のダレは $dy = 0.272\text{dB}$ になっており、40dB と比べて、まあ 1/2 程度といえるでしょう。位相は $y1 = -17^\circ$ であまり変わらないです。

「20dB 一段で 0.27dB、2 段つなげれば 0.54dB であり、これなら 1 段で 40dB 取った場合となんら変わらなではないか?! 逆に位相特性は悪くなるぞ!」ということになってしまいました。20dB ATT を 2 段でも性能が出なかったわけです。

ここで「本来は…、特性はもっと向上するはずだ」と直感的に考えました。そのため、「すいません、性能が出ませんでした」と簡単にあきらめるのではなく、「なんでだ?」ともう少し粘って追ってみました。

アナログスイッチの容量が影響を与えていた!

シミュレーションでは図 9 の $R4$ (図 8 の $R13, R17$ に相当) の端子電圧を見ていますが、ここで想定される支配的容量要因は $R2$ (図 8 の $R12, R18$ に相当) 両端に接続されるアナログスイッチ S1 ADG719 (図 8 の IC2, IC5 に相当) のスイッチ端子間オフ時容量 (ドレイン・ソース間容量) C_{DS} です。これが影響を与えていることに違いはなさそうでしたが、どのように与えているのか? と考えながら試行錯誤してみました。

シミュレーションはこんなときに便利です。図 9 の $R1 // R2$ の並列抵抗 ($S2$ がオンしているため) とこの容量が、やはりダレを生じさせてしまう原因だと分かりました!

デキトーに選んだ 470Ω (回路上ではシングルエンドで $R1 = 235\Omega$) が大きいために、時定数が長めになってしまっていたのでした (涙)。

続いてしつこく試行錯誤のシミュレーション

「 $R1 // R2$ の並列抵抗が問題であるなら、図 9 の $R1$ (図 8 の $R9$ に相当) を小さくしてみればよいのだ!」「 470Ω といわず、AD8369 のデータシートで最小規定の 200Ω (シングルエンドで $R1 = 100\Omega$ 相当) にしてみればよいのだ!」と思い至るわけです。

というわけで、シミュレーションしてみました。図 12 のように、30MHz で利得 $dy = -0.124\text{dB}$ 、位相 $y1 = -9^\circ$ という結果になりました (やれやれ)。

乗算 D/A コンバータでも (低周波なら) ATT を実現できる

犬か? ネコか? はいざ知らず、社内を歩いていたら棒に当たり、「乗算型 D/A コンバータ」の製品カタログを見つけました!

10MHz 程度の帯域なら、これで精密なレベル制御が出来る ATT の実現が可能です。

結構多数の製品が用意されていますので、是非ご活用ください (^_^)。

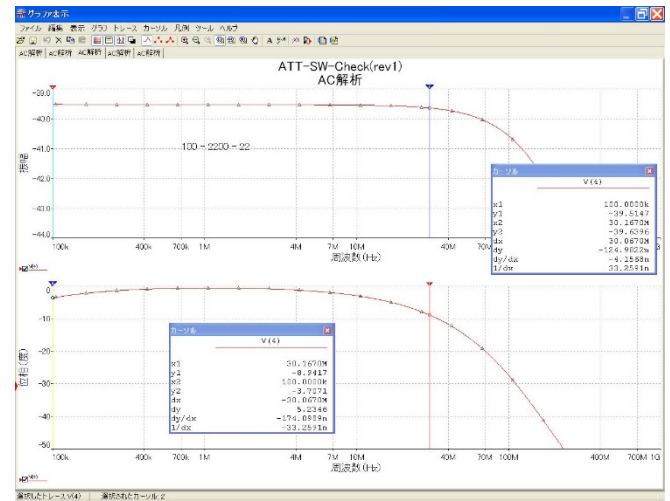


図 12 $R1$ を 200Ω に変更してシミュレーションしてみると特性は大幅に改善した

差動固定 ATT…もがけばもがくほど…

「これでよかった、やれやれ」と思ったところで、40dB が間違いだったことに気づき、規定の 48dB の減衰量まで持っていってみました。-8dB のため、図 9 の $R2$ (図 8 の $R12, R18$ に相当) を 2200Ω から 5100Ω にしてみました。「を! 今度はアナログスイッチの容量でフィードスルーが生じている! (汗)」

$R4 = 22\Omega$ ($R4$ は図 8 の $R13, R17$ に相当) でシミュレーションしてみたのが、図 13 の結果でありました… (涙)。「まあ後段の OP アンプでダレるから、少しピーキングさせてさせてもいいか?」というところではあります…。

この $R4$ をあまり小さくすると、シャント接続されているアナログスイッチ $S2$ のオン抵抗が誤差要因になってきます。とはいえ一応は…、と思い、 $R4 = 22\Omega$ から 18Ω に変えてみた結果を図 14 に示します。あまりかわらないですね (がっくり)。

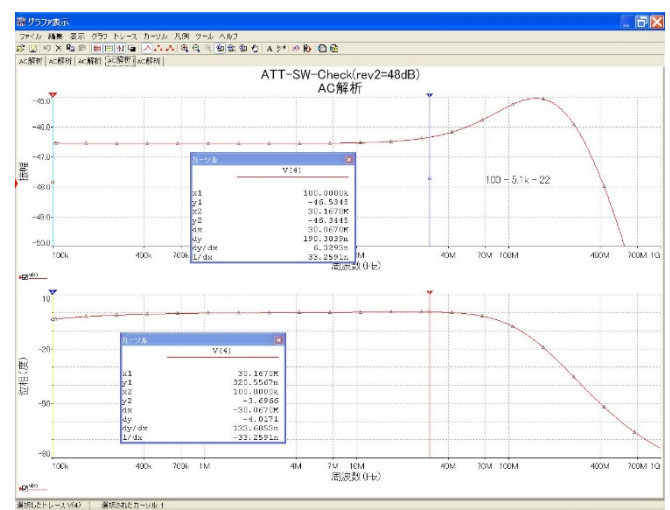


図 13 ここまでは 40dB で (間違えて) 検討していたが、本番の 48dB に相当するように、 $R2$ を大きく (5100Ω) してみると、ピーキングが生じている

アナログ電子回路技術ノート

TNJ-022

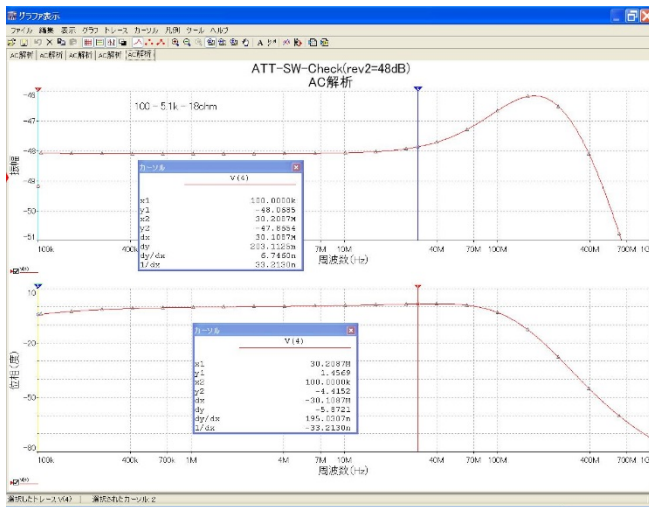


図 14 R4 の影響かと思ひ、

R4 = 22Ω から 18Ω に変えてみたがあまり変わらない

ここでもアナログスイッチの容量が影響を与えていた！

この原因も、アナログスイッチ S1 のオフ時容量 C_{DS} が原因と推測されます。

この C_{DS} は、図 8 の IC2 および IC5 の 5 pin – 6 pin 間の容量になります。差動固定 ATT が有効な状態では、IC2, IC5 の 5 pin – 6 pin 間はオフとなり、容量成分となります。

アナログスイッチ ADG719 のデータシート上では、スイッチ端子の対地容量（ドレイン容量）として、 $C_D = 7pF$ と記載があります。 C_{DS} としてどれほどかは未知数ではありますが、同じ程度の大きさと推測していました。

どうやって対処する？！ インダクタでやってみよう！

この C_{DS} がアイソレーションを悪化させる要因になるわけですが、「何とかキャンセルできないか？」というのを少し考えました。思いついたアイディアは「インダクタでキャンセルする」というものです。

$C_D \approx C_{DS} \approx 7pF$ は 30MHz で $j760\Omega$ 程度です。これを、インダクタを用いて、並列共振構成でキャンセルすると、必要なインダクタンスは 4uH 程度になります。

ここで「できれば図 8 の R12, R18 (2200Ω から 5100Ω に増やしたもの) にシリーズにインダクタを入れて、うまくキャンセルしたい」と考えました。並直列変換の式で計算してみると（計算が間違っていたのかもしれませんが）複素数になったので「ややこしいなあ」ということで、シミュレーションで検討してみました。

回路を図 15 に示します。このように R2 (図 8 の R12, R18 に相当) にシリーズにインダクタを挿入し、アナログスイッチの C_{DS} をキャンセルさせてみました。

結論を言うと、以降に説明するように、この検討も「休むに似たり」で、最適ではなかったわけなのですが…。

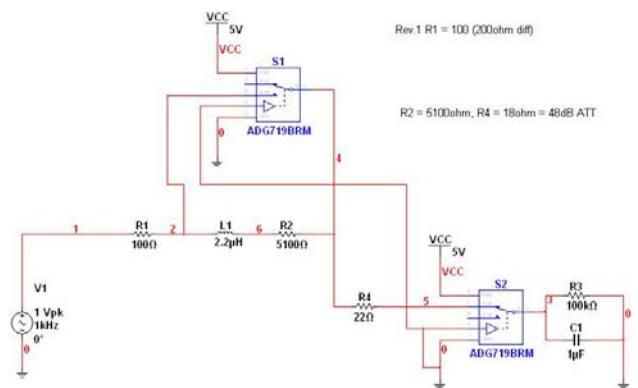


図 15 シリーズにインダクタを入れてピーキングをうまくキャンセルできないかと思ひ L1 を追加した回路



図 16 パラメータスイープ機能でインダクタの大きさを
変えていき最適なポイントが求められる

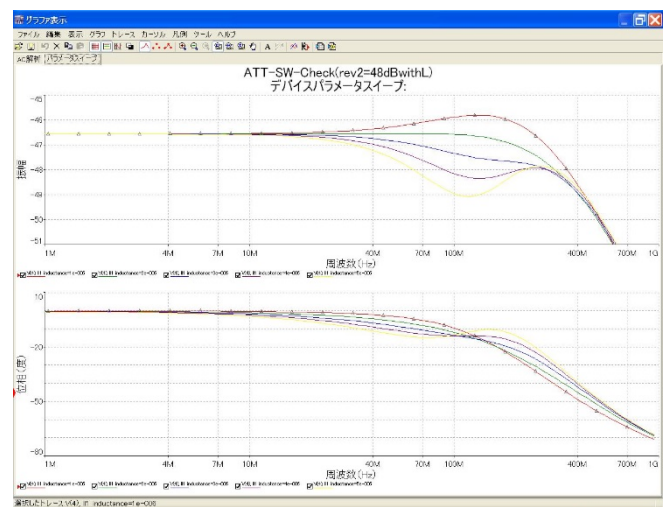


図 17 パラメータスイープの結果。1, 2, 3, 4, 5uH の 5 段階でシミュレーション。2nH でほぼフラット（最後の結論は、これらの検討も「休むに似たり」で最適ではなかった）

アナログ電子回路技術ノート

TNJ-022

パラメータスイープ機能で最適値を見つける

NI Multisim さんに考えさせて答えを求める、というわけではありませんが、図 16 のように「パラメータスイープ」という機能を用いて、インダクタの大きさを変えていき、それぞれで AC シミュレーションしてみる、というアプローチができます。

なおパラメータスイープは AC 解析だけではなく、DC 動作点解析や過渡解析も可能です（注：ADIsimPE でも同様なシミュレーションは可能です）。

パラメータスイープを実行した結果を図 17 に示します。1, 2, 3, 4, 5uH の 5 段階でシミュレーションしています。2nH でほぼフラットになります。

ということで、実際は 2.2nH を使うことにしました。しかし、結論としてはこのとおりには上手くいかなかったのです…。

アナログ・デバイセズの RAQ に見るアナログスイッチの正しい使い方

アナログスイッチ ADG719 の現品を入手でき、また VGA AD8369 も含めて全体の回路を試作評価するための「パネル de ボード」の基板での検討開始予定のころは、だいぶ寒くなってきた季節でした（ブルブル！）。でもそのころ世間では、皆さんまだコートを着て無い人が多いものでした。私は寒がりなので、そんな時期でもコートなしでは寒くてダメです…。

さてここで小休止として、アナログ・デバイセズの RAQ (Rarely Asked Questions...)「アナログ・デバイセズに寄せられた珍問／難問集より」というコンテンツにある、アナログスイッチに関連する話題をご紹介します。

...

重要なディテールの分離（あるいは人魚と酔潰けのニシンの昼食）

Q.私の CMOS マルチプレクサには問題があるのでしょうか？

その未使用ピンをどうにかしなさい！

Q.アナログ IC の未使用端子をどうしたらいいのでしょうか？

...

アナログ IC（1 つめは特に ADG719 などマルチプレクサの話題）の未処理端子についてのお話です。よろしければ是非ご覧ください。

ちなみに図 7 の回路図では、マルチプレクサ ADG719 の端子はアキ（4 ピンや 6 ピンが未接続）のままでした。一方、図 8 では高抵抗で接続してあります。「コイツはこの RAQ を見て慌てて接続したのだな」などと想いを巡らせぬよう、お願いしたいと思います（汗）。

実際の試作基板（パネル de ボード）で確認してみよう

その後、関係者のオフィスにお邪魔し、中間地点打ち合わせとして、かなり突っ込んだ話し合いをしてきました。終わったあとの雑談では、お仕事のようなすとかを聞くことができましたが、技術開発に関わるご努力と情熱に頭の下がる思いでした。このような方々との交流は、技術者として、かけがえのない経験だと思いました。

いよいよ実際の回路で評価開始！

使用する部品はだいたい決まったので、パネル de ボードで試作のボードの注文をしました。図 18 は入手した基板です。左奥

の彼方には、秋月電子で購入した図 5 の 16 ポジションのロータリ・スイッチが見えます。

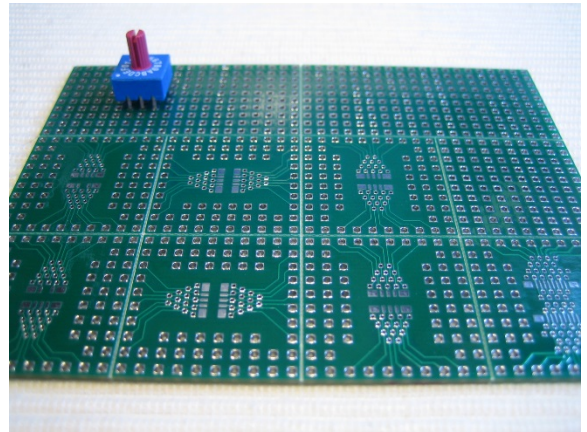


図 18 「パネル de ボード」で作った基板を入手した

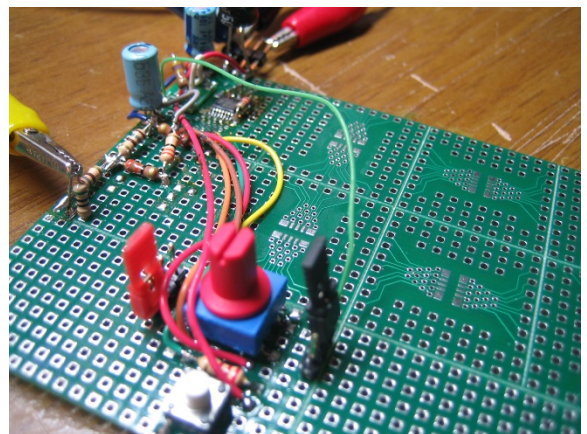


図 19 「パネル de ボード」で作った基板に一部実装してみた

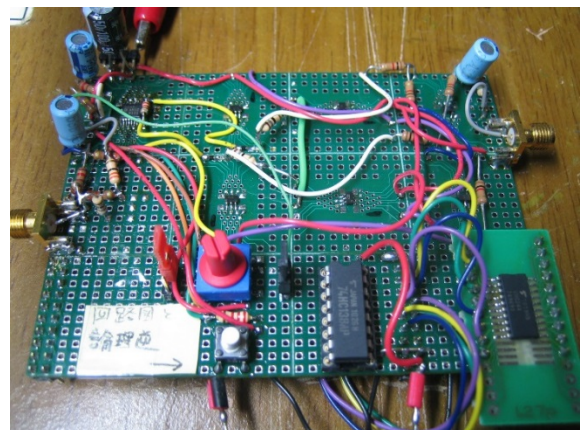


図 20 「パネル de ボード」基板に全体を実装してみた

アナログ電子回路技術ノート

TNJ-022

TSSOP と TSOT 用の実装パネルを組み合わせ、こんな感じでできあがります。セールストークではなく、自分で使っても「まさしく選んで繋いで注文するだけ！」で超簡単だと感じます。

図 19 は一部を実装したようすです。この段階で、初段固定 ATT と AD8369 の動作確認まで完了できました。初段固定 ATT は設計を完全に間違えており（汗）、コモンモードの減衰が全く出来ていませんでした（汗）。試作での確認は大事です…。

図 20 は全体を実装したようすです。同図の左側に見える SMA コネクタが入力で、その上側に AD8369 があります。その右側が、これまで詳しく説明してきた ADG719 の差動固定 ATT 回路です。減衰した信号が右側の SMA コネクタから出力として出てくるようになっています。

前編はここまで！

前編では、構想段階から、周波数特性の改善検討（と言っても、これが「休むに似たり」だったことを、次の後編でご説明していきますが）から、パネル de ボードでの試作基板を組み上げたあたりまで説明しました。

後編では、パネル de ボードの試作基板の特性、最終形となる基板の CAD 設計と評価、そして特性の最適化などの話題をご説明していきます。