

## 高速差動アンプの構築とそこで生じた負性抵抗の解析

著者: 石井 聡

### はじめに

この技術ノートは、SPICE シミュレーションで高速差動アンプが発振し、その理由が負性抵抗だったという話について説明します。

群馬大学の遠坂客員教授から、先生がご指導されている同大学山越研究室の学生さんをご研究に使用予定の高速差動アンプ (Diff Amp) を試作当初、「OP アンプを 3 個使った構成で、シミュレーションで発振してしまうのだが…」というメールをいただきました。

最終的には、試作結果も含めてご連絡を頂戴し、この技術ノートに掲載可という、ありがたいお言葉をいただきました。そこで途中の解析などを含めて、ドキュメンタリータッチでご紹介させていただきたいと思います。

ご使用いただく、つまりシミュレーションにかけていた OP アンプは、**AD8099** でした。この OP アンプは GB 積が 3.8GHz もあり、超ロー・ノイズ ( $0.95\text{nV}/\sqrt{\text{Hz}}$ )、かつ超低歪み ( $-92\text{dBc @}10\text{MHz}$ ) の電圧帰還型オペアンプです。

まずは完成した基板を図 1 と図 2 にご紹介しましょう! 使用しているギガトリマ (P 社さんの) が使用周波数を物語っていますね。こういう試作品の写真をを見ると、わくわくしてきます! やはり私もエンジニア…。

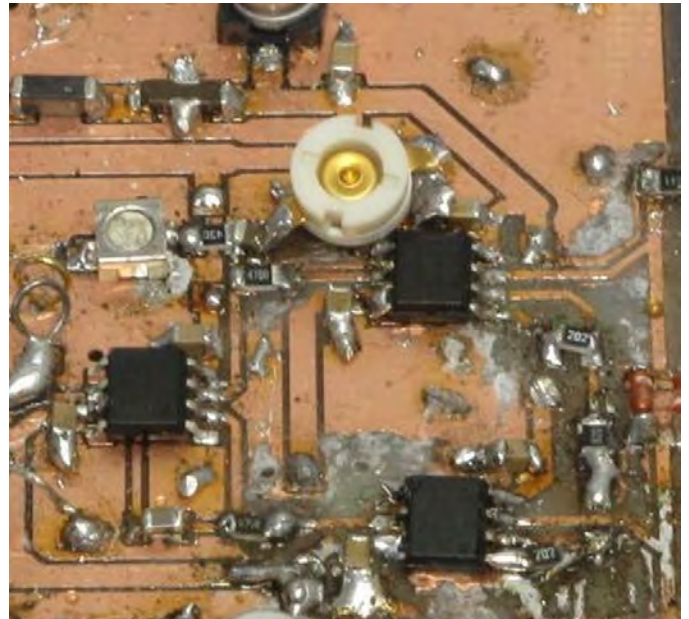


図 2. 差動アンプとして使用している AD8099 を拡大したようす

### とある日にメールをいただき…

とある日、遠坂先生からメールをいただきました。指導されている学生さんが AD8099 を用いて差動アンプのシミュレーションをしているのだけれども、どうもある条件で発振してしまうというものでした。いただいたメールには図 3～図 5 のような、学生の方がシミュレーションした結果もついておりました。

図 3 の回路 (抵抗が  $2\text{k}\Omega$  と  $40\Omega$ ) は正常にシミュレーションできるのですが、図 4 のように「同じ利得で帰還抵抗を  $500\Omega$  にすると発振してしまう」とのことです。発振周波数は約 400MHz です。

また図 5 のように FB 端子からではなく、 $V_o$  端子 (図 6 以降のシミュレーションでは  $V_{out}$  端子に相当) から帰還をかけると発振しないとのことでした。

「この AD8099 を用いて差動構成としたアンプを試作したことは初めて」とのことでした。シングル・エンド構成でのこれまでの試作経験では問題なく動作していたということでした。

「データシートでは FB と  $V_o$  は接続されているが、モデルとしては、異なった端子としてモデリングされているのか」というご質問もいただきました。

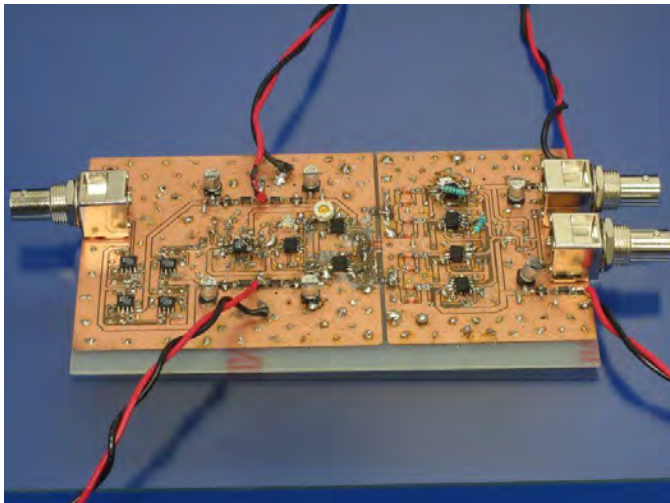


図 1. 群馬大学の学生さんが試作した高速差動アンプ

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

**アナログ・デバイセズ株式会社**

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
 電話 03 (5402) 8200  
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
 電話 06 (6350) 6868

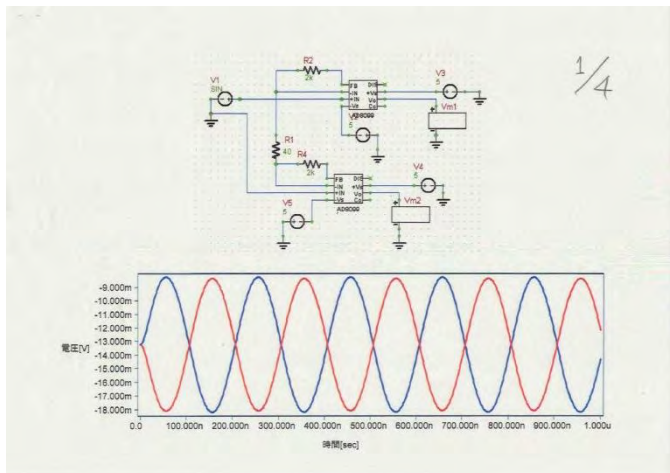
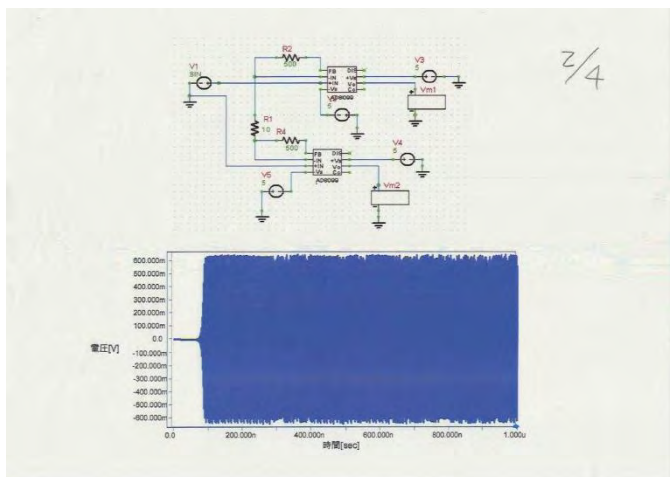
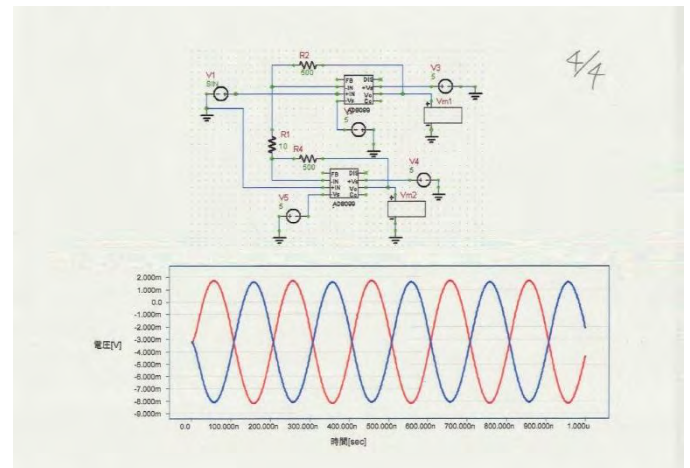
## アナログ電子回路技術ノート

TNJ-013

## FB 端子と Vo 端子は接続されている？

事業部には確認しませんでした、 「一般的にこのような構成であれば、FB と Vo は直結されているはず…」という社内のエンジニアの話もありました。AD8099 の SPICE モデルのネット・リストを追ってみたいところ、違う出力パスとしてモデル化されていました。 「このモデルの違いだけが問題なのか？」というところが、解析のスタートでした。

と言っても、最初は回路を読み違えて全然トンチンカンな回答をしてしまいまして、遠坂先生も苦笑いしていたことでしょう。

図 3.  $R_G = 40\Omega$ 、 $R_F = 2k\Omega$  の構成図 4.  $R_G = 10\Omega$ 、 $R_F = 500\Omega$  で FB ピンからの帰還構成 (発振している)図 5.  $R_G = 10\Omega$ 、 $R_F = 500\Omega$  で Vo ピンからの帰還構成

## 高速インストルメント・アンプとしてご使用したかった

この OP アンプを 3 個使用した差動アンプを、超音波受信回路の初段に用いたいとのことでした。

詳しい設計仕様はやりとりの中で確認していませんでしたが、山越研究室の学生さんが設計しており、フロントの 2 個に AD8099 を使用し、次段の 1 個は利得 1 で安定で、50MHz 程度までフルシングできる OP アンプ構成にする予定とのことでした。

帯域 20MHz くらいで 100 倍程度のインストルメント・アンプが欲しいというのがゴールだったようです。

## まずはシングル・エンドの回路にしてシミュレーション

結果的には、Vo 端子から帰還させるか、FB 端子から帰還させるかは大きな問題ではなく、発振したりしなかったりというのは、回路としての条件によるものが大きかったわけでした。

ともあれ、まずは「どんなもんだ？」という訳で、手始めとしてシングル・エンドでシミュレーションしてみました。使用した SPICE シミュレータはアナログ・デバイセズの ADIsimPE です。この技術ノートはもともと NI Multisim でのシミュレーション結果をもとに作成してありましたが、新しくリリースされた ADIsimPE を使ったかたちで再構成してみました。

<http://www.analog.com/jp/content/adisimpe/fca.html>

図 6 のシミュレーション用回路は、図 3 の回路の差動増幅器のトップ部分をシングル・エンドとして抜き出したものです。これまで Vo 端子として説明していたものは、Vout 端子になっています。また中点バーチャル・グラウンドの条件から約 100 倍の利得になっています。

このような構成の差動増幅の基本的な考え方として、図 3 の真ん中にある  $R_1$   $40\Omega$  を  $20-20\Omega$  の直列抵抗にして、この中点部分をグラウンドに落したものとして、シングル・エンドの構成で考え直します。そうすると約 100 倍の (シングル・エンドの) 非反転増幅器として考えることができます。

余談ですが、中点をバーチャル・グラウンドとして接地して考えるのは、強電の 3 相交流や 3 相モータの解析でも同じように使われる方法です (電験 2 種 ~ 1 種くらいになるともっと複雑な構成として考えますが...)。

## アナログ電子回路技術ノート

TNJ-013

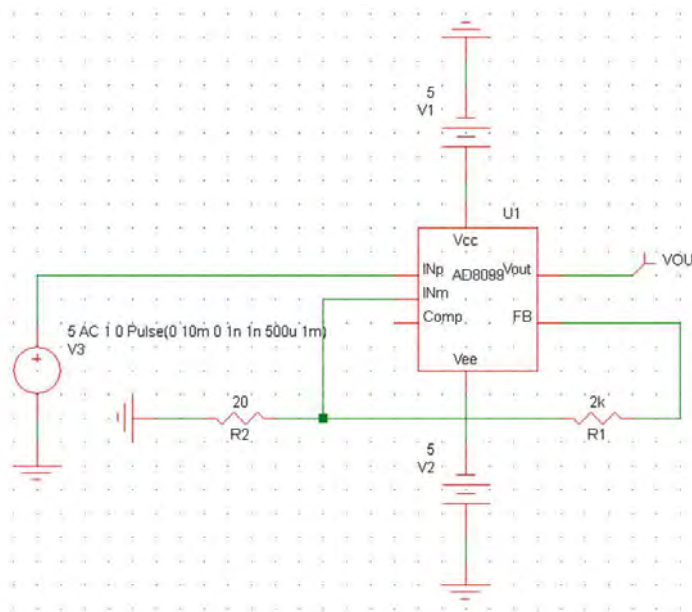


図 6. まずはシングル・エンドの回路にしてシミュレーション

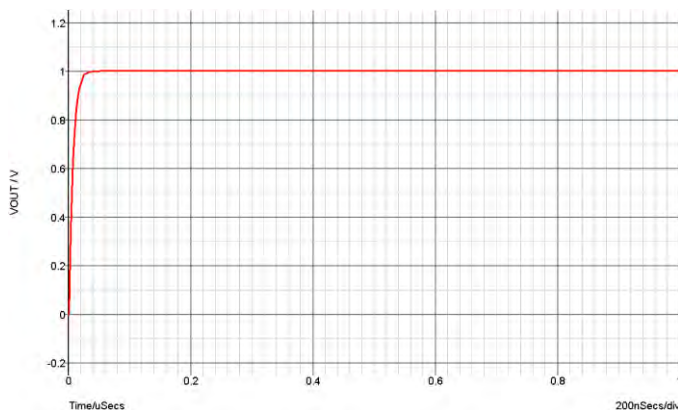


図 7. FB ピンから帰還させた場合（ステップ応答）

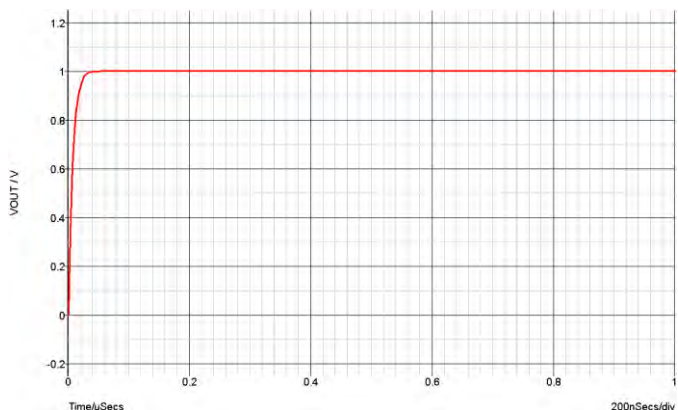


図 8. Vout ピンから帰還させた場合（ステップ応答）

## まずは FB 端子と Vout 端子の違いを見てみる

先に示したように、この差動増幅のフロントエンド部分の回路は、差動信号を取り扱うという視点で考えると、 $40\Omega$  の中点（上  $20\Omega$  + 下  $20\Omega$  の 2 本の抵抗として）が仮想的にグラウンドに接続されていると考えられます。そこで片側だけをシミュレーションしています。

図 7 と図 8 は、図 3 の「問題なく動く」というケースを、図 6 のシングル・エンド回路構成として、抵抗を  $2k\Omega$  と  $20\Omega$  にしてシミュレーションした結果です。シミュレーションはステップ応答を入れて、立ち上がり波形のオーバーシュートを確認します。これが一番簡便な安定度の確認方法です。

結果として FB（図 7）、Vout（図 8）どちらから帰還しても、特に特性も変わらず、立ち上がり波形もリングングなども無くとても安定しているように思えます。

## OP アンプの入力容量を考えると帰還抵抗の高いほうが発振しやすいはずなのだが？

先生のコメントにも「帰還抵抗が  $2k\Omega$  のほうがむしろ入力容量の影響で発振しやすいかと思うが、シミュレーションでは逆になっている」というお話がありました。

たしかにそうで、一般の増幅器構成で考えると、帰還抵抗と入力端子に生じる寄生容量成分で、寄生的なポールができて、これにより高い周波数で発振が生じてしまう可能性があります。つまり  $500\Omega$  で発振せず、 $2k\Omega$  で発振するはずだ、というところが順当な考え方なわけです。

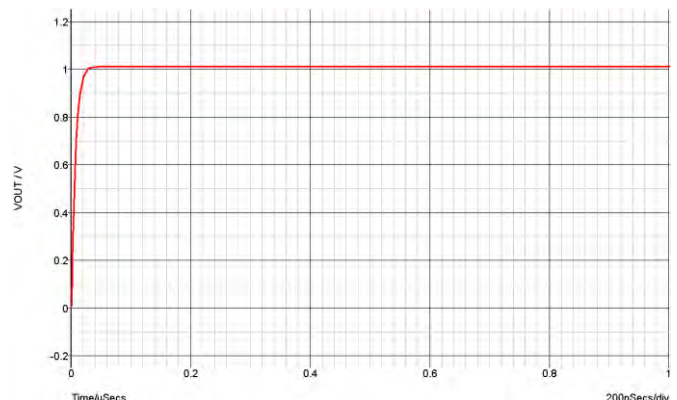
しかしながら、実際は逆だったわけです。メールを見ながら「うーん…」と思ったところでした。

## シングル・エンド構成では問題は見えてこない…

次は動いたり動かなかったり（発振しなかったり、したり）する定数の回路です。これも同じようにシミュレーションしてみました。抵抗は  $500\Omega$  と  $5\Omega$  としてあります。結果は…。図 9、図 10 のように、これまた「安定」なのです。

差動アンプとして考えるうえでは、このように分割して考えれば（なおかつちゃんと上下対称なので）問題なく解析できるはずです。

なぜこうなってしまうのでしょうか？？「むむむー」というところでした。

図 9. 発振する可能性のある  $R = 500\Omega$ 、 $5\Omega$ 。帰還を FB 端子から取った場合（ステップ応答）

# アナログ電子回路技術ノート

TNJ-013

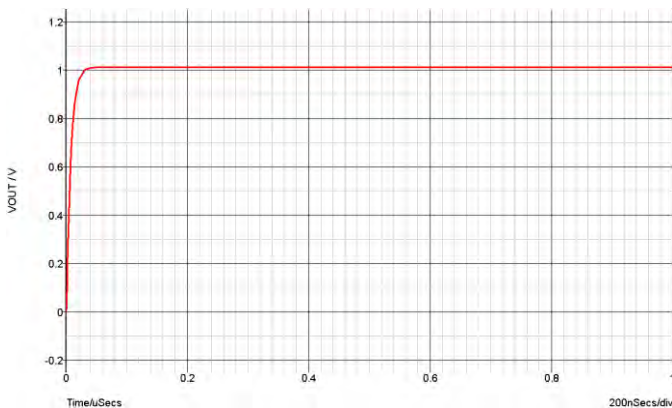


図 10. 発振する可能性のある  $R = 500\Omega$ 、 $5\Omega$ 。帰還を Vout 端子から取った場合（ステップ応答）

## 差動構成にしてシミュレーションを再チャレンジ

シングル・エンドでは発振の兆候さえ見えません…。それでは、と図 11 のように差動に回路を組みなおして、シミュレーションしてみました。ここで「なぜか」 $R2$  が  $20\Omega$ （本来は  $10\Omega$ ）になっています…。なぜでしょう…。これは単に午前中の作業で寝ぼけていたためです（笑）。これでは結果的には  $G = 50$  です…。

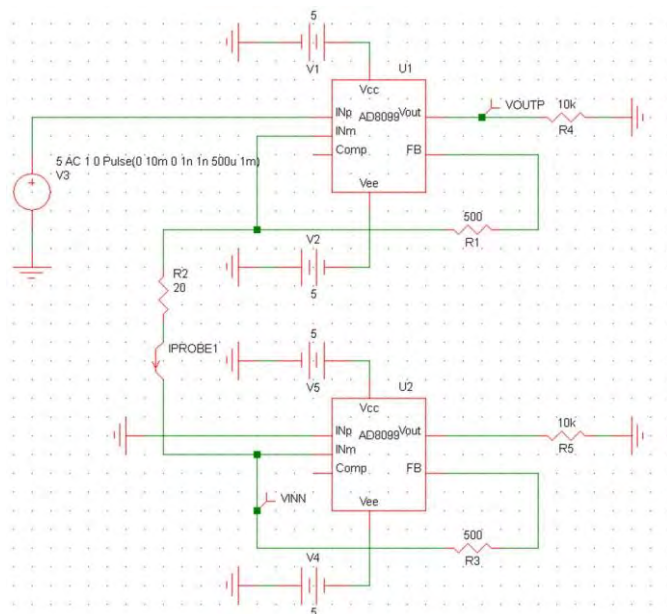


図 11. 差動構成に変更してみた（でも  $G = 50$ …汗）

## 発振が再現できた！

しかし図 12 のシミュレーション結果のように、この条件でも発振しています！再現してきたわけです！

図 13 はトランジェント解析の結果として  $R2$  から  $U2$  側を見たインピーダンスの瞬時変化を  $VINN/IPROBE1$  として計算してみたものです。まあ、結果的にこれだけでは情報が不十分であまり意味をなさないことに気が付きました（以降で、もっと突っ込んで解析してみます）。何をボケているのでしょうか…。

余談ですが、一般的な SPICE シミュレータで電流を検出するには、ゼロ V の電圧源を直列に挿入しますが（SPICE シミュレーション上のテクニックなのです）、ADIsimPE では電流プローブがありますので（図 11 では  $IPROBE1$ ）、これを挿入すればいいのでとても簡単です。

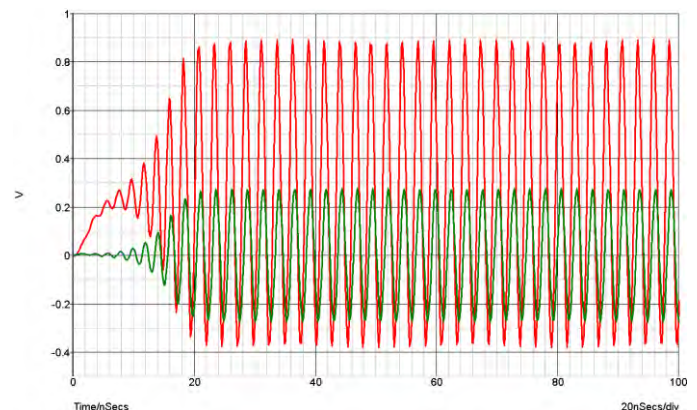


図 12. 赤：U1 の出力 VOUTP、緑：U2 の反転入力 VINN

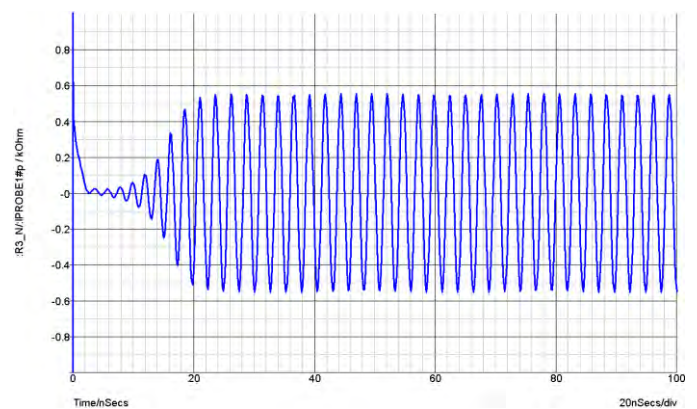


図 13. 図 12 の VINN の端子電圧を IPROBE1 に流れる電流で割ったもの、つまり  $U2$  の反転入力端子の過渡インピーダンス？（はて？それはいったい??）

## AD8099 の安定ゲイン要求は満足しているのだが

ここでひとつのポイントがあり、AD8099 は高速アンプであることもあり、ゲイン  $G = 1$  で安定ではありません。

日本語データシート p.15 にもありますように、『AD8099 は、RC 回路を使って外部補償することにより、 $G = 2$  まで下げることができます。 $G = 15$  より上では外部補償回路は不要です』となっています。

現在の回路では外部補償が無いので、 $G \geq 15$  である必要があります。しかしここでは一応、 $G = 50$  なんですが、発振しています…。

## 遠坂教授のコメントをご紹介

遠坂教授とのやりとりで頂いたコメントをここでご紹介させていただきます。

■

実際とは逆にシミュレータでは発振させるのが難しいです。

理論的に発振するのは  $A\beta = -1$  になる点で、極一点だけなのでここに入るのはラクダが針の穴を通るくらいの確率です。

ところが現実の装置が発振しやすいのは波形の大きさが有限でクリップし、クリップすると自動的に一巡のループ利得が 1 になってしまいます。したがって帰還を施した回路がクリップしていると位相が  $180$  度遅れた周波数があるとそこで発振します。シミュレーションでショックなしにスタートさせると発振しないことが多くなります。

## アナログ電子回路技術ノート

TNJ-013

シミュレーションは便利ですが、やっぱり最後は現物での確認が、アナログ回路技術者としては重要だということです。弊社のアプリケーション・ノートなどでも同様な啓蒙が行われております。

ハイレベルな技術者になればなるほど、シミュレータの「限界」と「癖」を十分に理解し、現実の回路動作をイメージしながら、的確かつ適切にシミュレーションで解析し、エレガントな回路を作り上げる…というところでしょうか（という私は、いつになればそうなれることやら…汗）。

## マーカで発振周波数を測定してみた

以降の解析の指針とするべく、発振している周波数がどの程度かを図 14 のように調べてみました。トランジェント解析の結果を FFT するというまっとうな方法もありますが、適度な適当さをもって、マーカで確認してみました。

一応精度を向上させるために、10 サイクルぶんをマーカで観測し、周波数として 10 倍で考えるようにしています。

$dx = 25.87\text{ns}$ 、周波数では  $38.65\text{MHz}$  と見えます。これは 10 サイクル分なので、 $386.5\text{MHz}$  という高い周波数で発振していることがわかります。

## 利得は変えずに抵抗を大きくしてみる

図 15 のように、利得を  $G = 100$  に戻さずに、寝ぼけたまま（笑）の  $G = 50$  のままで、 $R1 = 500\Omega \Rightarrow 2.5\text{k}\Omega$ 、 $R2 = 20\Omega \Rightarrow 100\Omega$  として、抵抗の相互関係は同じままで、大きさを 5 倍にしてみました。

これでステップ応答を確認したものが図 16 です。こうすると発振していません。というより安定したステップ応答の結果が得られています。

ステップ応答がオーバーシュートもなく、素直なものが得られているのであれば、差動アンプとしての全体の回路も問題なく動作するはずです…。

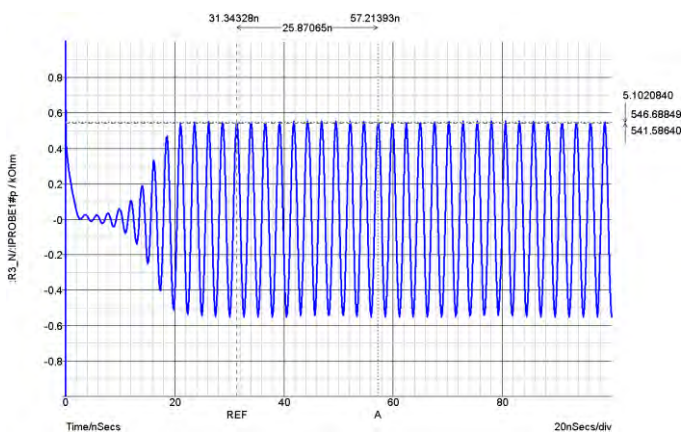
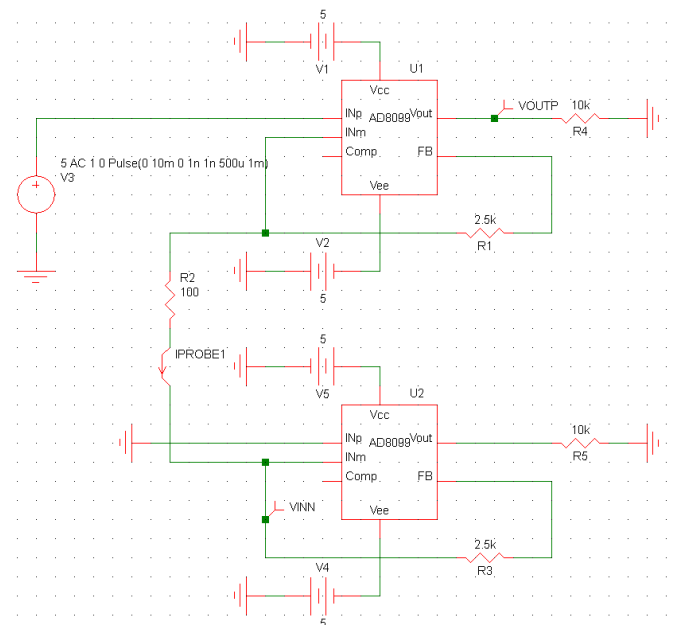
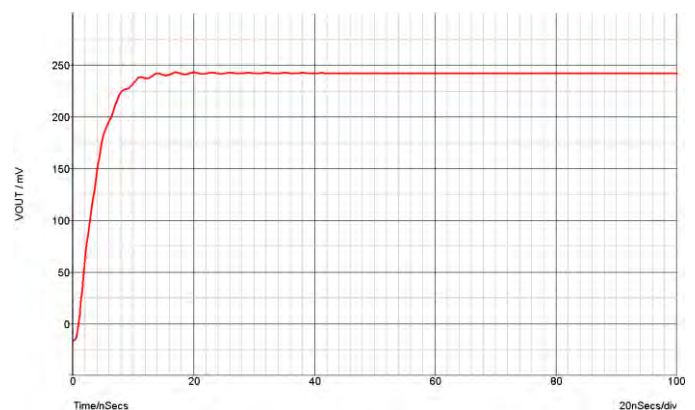


図 14. マーカで発振周波数を測定してみた

図 15.  $G = 50$  のままで  $R1 = 500\Omega \Rightarrow 2.5\text{k}\Omega$ 、 $R2 = 20\Omega \Rightarrow 100\Omega$  とした（発振しなくなった回路）図 16. 帰還抵抗を  $2.5\text{k}\Omega$ 、 $100\Omega$  に変更。ステップ応答は安定になった

## AD8099 の反転入力端子を見たインピーダンスを計算してみる

回路を図 11 の状態に戻し、下側の OP アンプ U2 の反転入力端子 INm を見たインピーダンスをシミュレーションで計算してみました。まず AC 解析をかけて  $100\text{MHz}$  から  $1\text{GHz}$  までの小信号特性をシミュレーションします。信号源は AC 解析用の AC Source に変えてあります。この入力端子、つまり R2 のラインに流れる電流量の計測には電流プローブ（図 11 では IPROBE1）を用いています。

その結果を用いて、ADIsimPE の計算機能を使って、目的の反転入力端子のインピーダンスを計算させます [Shell 画面から Add Curve 機能 を呼び出して、Define Curve から  $\text{abs}(R3\_N/IPROBE1\#p)$  で振幅レベルを、 $\text{arg}(R3\_N/IPROBE1\#p)$  で位相を表示]。

その結果が図 17 です。位相が  $\pm 90^\circ$  を超えていますね…。IPROBE1 の挿入極性は合っているのでしょうか？

## アナログ電子回路技術ノート

TNJ-013

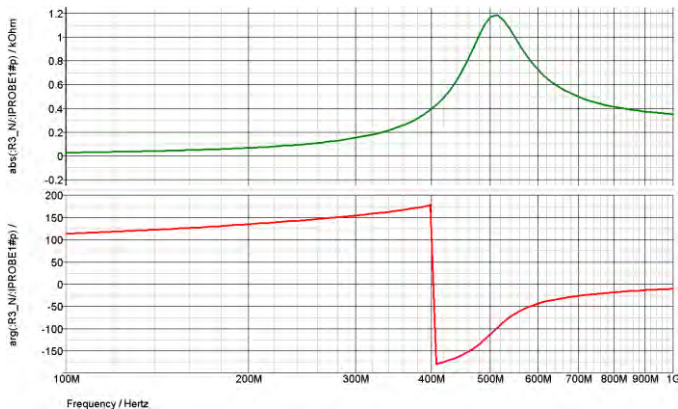


図 17. AD8099 の反転入力端子を見たインピーダンスを計算してみる。上：大きさ、下：位相

### 位相が $\pm 90^\circ$ を超えているのは接続方法が悪いのか？

その確認のために、図 18 のような簡単な回路を作ってみました。これで信号源 V1 の位相を基準として、回路に流れる電流の位相を電流プローブ IPROBE1 で確認してみることがひとつ（結果は図 19）、もうひとつは抵抗 R1 に加わる電圧（結局は V1 そのままだが）と電流プローブ IPROBE1 でセンスした電流を用いて、検算のために R1 のインピーダンスを計算させてみることで（結果は図 20）。

図 19 と図 20 のように、この結果、得られた位相は「ゼロ」です。ちなみに図 19 においては、AC シミュレーションしたそのままの状態としては「大きさ」しかグラフ表示されません。そこで Add Curve 機能で Define Curve から  $\arg(\text{IPROBE1}\#p)$  で電流位相を表示させています。

またこの IPROBE1 の端子なのですが、ために IPROBE1 の反対側の端子  $\#n$  を  $\arg(\text{IPROBE1}\#n)$  で表示させると、 $-180^\circ$  という位相が出ます。端子  $\#p$  と  $\#n$  で極性が逆になるわけです。注意が必要です。

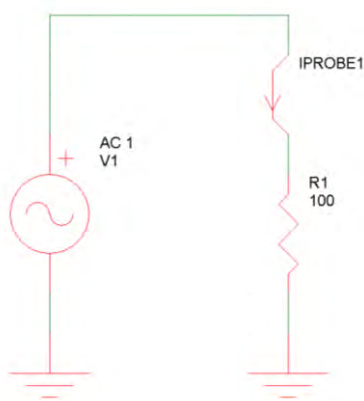


図 18. 位相計測の極性が正しいかを確認してみる  
シミュレーション回路

ということで、 $180^\circ$  という結果が出れば、電流プローブの挿入の極性が逆ということですが、それは正しいようです。結果的に、図 17 の「位相が  $90^\circ$  を超えてしまっている」のは正しいようですが、それは一体どういうことでしょうか？

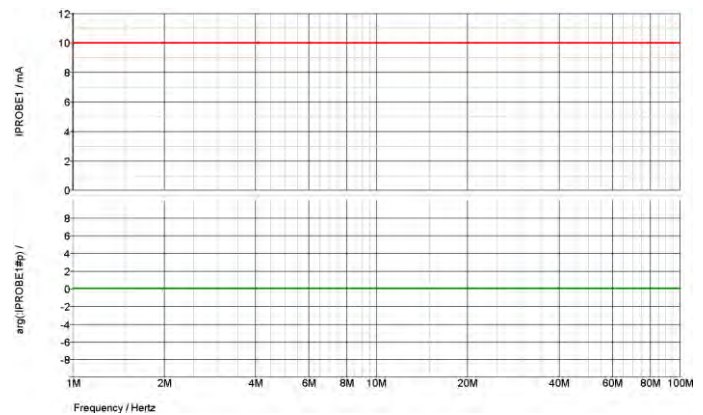


図 19. IPROBE1 に流れる電流の大きさ（上）と位相（下）

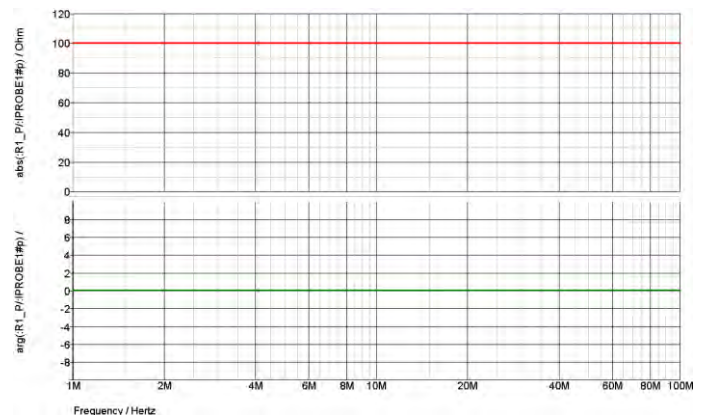


図 20. R1 の端子電圧 R1\_P と IPROBE に流れる電流から、R1 のインピーダンスを  $\text{abs}(\text{R1\_P}/\text{IPROBE1}\#p)$ （大きさ、上のグラフ）、 $\arg(\text{R1\_P}/\text{IPROBE1}\#p)$ （位相、下のグラフ）として計算させた。位相がゼロなので、IPROBE1 の使用方法は間違いない

### 位相が $90^\circ$ を超える…これは「負性抵抗」

この「位相が  $90^\circ$  を超える状態」というものが何かを示しておきましょう。

図 21 のようにインピーダンスを位相（複素数）平面で表すと、第 1 象限は R+L 領域、第 4 象限は R+C 領域になります。これが普通電子回路で考える位相領域であって、これは  $90^\circ$  を超えていません。

$90^\circ$  を超えるところは、第 2, 3 象限ですが、ここでは X 軸、つまり  $\text{Real}(Z)$ …複素インピーダンスの実数部…がマイナスになっているものです。ここは「負性抵抗」と呼ばれる領域で、電圧を加えると電流が消費するのではなく、湧き出てくるというイメージの逆抵抗素子です。

次では先に図 17 で求めたインピーダンスを、負性抵抗量として再計算させてみます。

負性抵抗。そんな財布（とか銀行口座）が欲しいところ…（汗）。

## アナログ電子回路技術ノート

TNJ-013

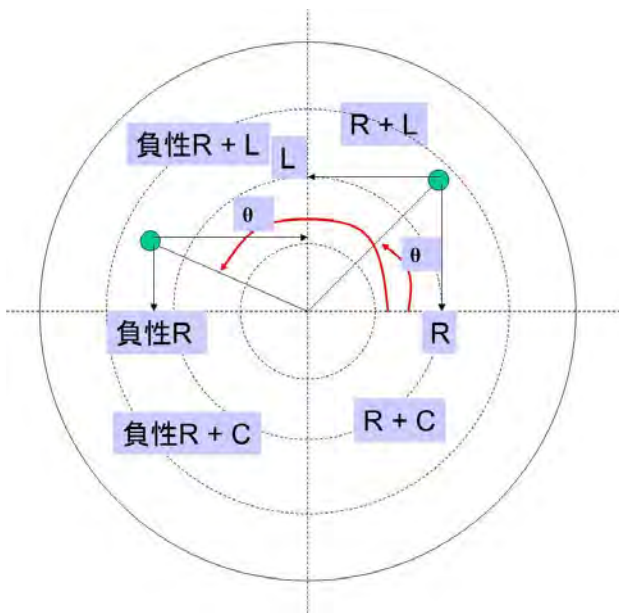


図 21. インピーダンスを位相（複素数）平面で表してみる

## 負性抵抗量として再計算してみる

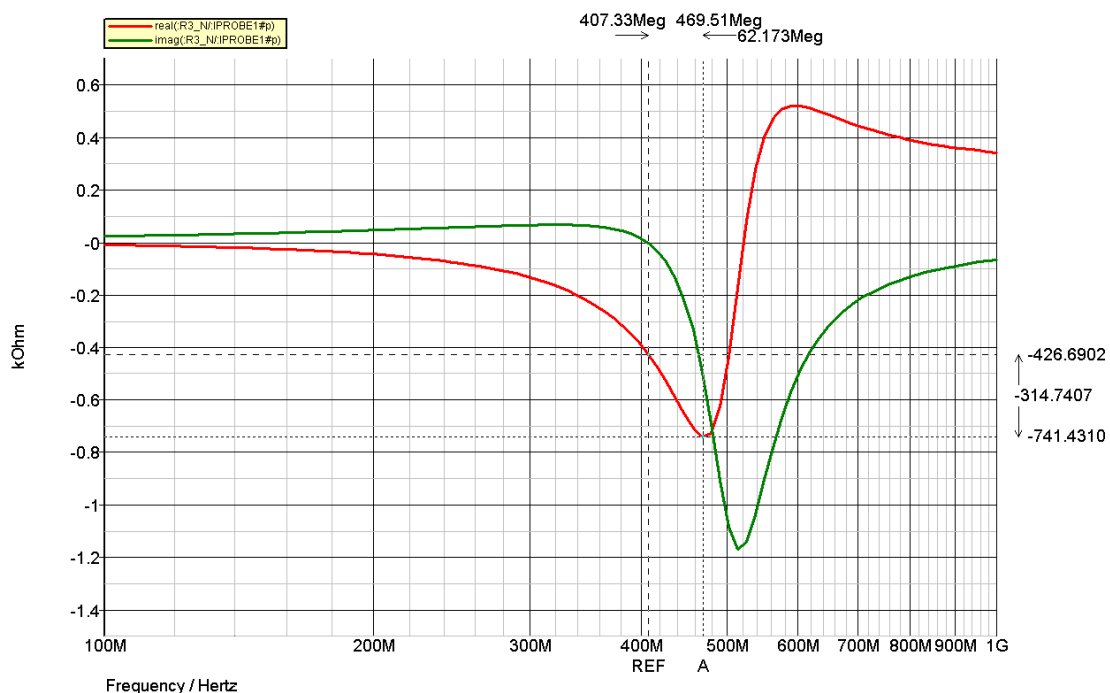
U2（下の OP アンプ）の反転入力端子の「抵抗相当量」をシミュレーションしてみた結果を図 22 に示します。図中の凡例のように、赤のトレースがその端子を見たときの実数部（抵抗成分）、緑のトレースが虚数部（リアクタンス成分）です。

マーカでふたつの周波数を示してあります。それぞれの周波数がいくつかはマーカリードアウトのところで示されています。ひとつのマーカは負性抵抗が最大のところ、もう一つのマーカはリアクタンスがゼロのところ。

発振していた周波数は何 MHz だったでしょうか。

リアクタンスがゼロになる（つまり位相が  $-180^\circ$  になる）周波数をマーカで示したものは 407MHz です。一方で発振している周波数は「383.39MHz」ということでした。この 2 つは大体同じですね。

つまり下側の U2 の OP アンプ（AD8099）だけで考えてしまっていますが、少なくとも「この回路が負性抵抗を持ち、リアクタンス成分がゼロ」のあたりで発振していることがわかります。これは発振条件と同じといえると思います。

図 22. 反転入力のインピーダンスを負性抵抗量（赤で示す real part）として計算してみる（ $R1 = 500\Omega$ 、 $R2 = 20\Omega$ ）

# アナログ電子回路技術ノート

TNJ-013

## 負性抵抗量は抵抗を挿入してキャンセルする

このような負性抵抗は結構いろいろなところで生じるのを見ることがあります。負性な抵抗なわけですから、負性をキャンセルするには直列に抵抗を挿入すればいいのです。

## エミッタ・フォロアでも負性抵抗でトラブることがある

よく見かける失敗ですが、長いケーブルをエミッタ・フォロアの入力（ベース）に接続すると、安定であるはずのエミッタ・フォロアが発振してしまうことがあります。この場合も負性抵抗が生じており、ケーブルと入力（ベース）間に直列に抵抗を挿入すると発振が止まります。

私もお多分に漏れず（?!）この失敗をやらしました。実験器具だったので製品ではなくて良かったのですが。

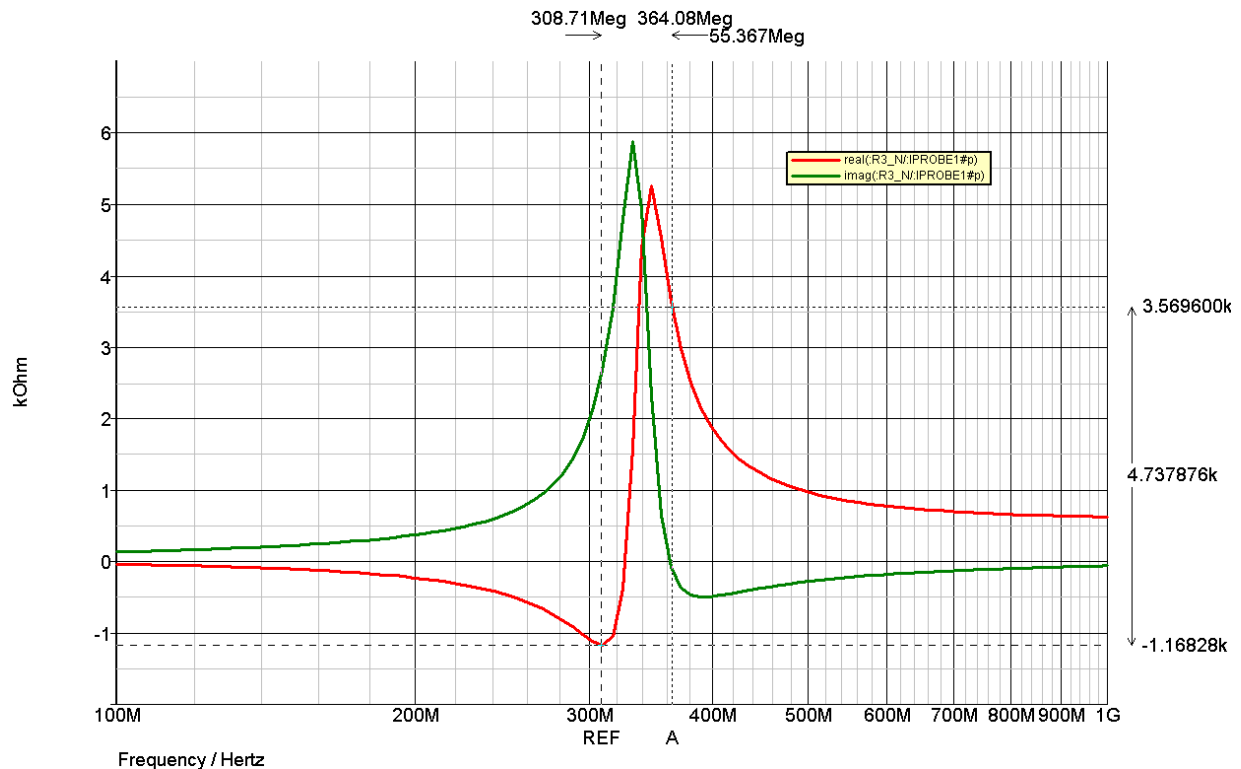


図 23. 反転入力のインピーダンスを負性抵抗量（赤で示す real part）として計算してみる（ $R1 = 2.5k\Omega$ 、 $R2 = 100\Omega$ ）

## アナログ電子回路技術ノート

TNJ-013

## 抵抗値を大きくして「負性抵抗」を計算してみる

さて抵抗を  $R1\ 500\ \Omega \Rightarrow 2500\ \Omega$ 、 $R2\ 20\ \Omega \Rightarrow 100\ \Omega$  に変更した条件で、シミュレーションした結果を図 23 に示します。依然として負性抵抗は発生しています（緑のプロット）が、リアクタンス成分が大きく、リアクタンスがゼロになる（つまり位相が  $-180^\circ$  になる）発振条件にはなっていません。一方、リアクタンスがゼロになる周波数では負性抵抗性を示していないことも分かります。また全体的にインダクティブとして大きいリアクタンスになっていますので、発振しにくいことになります。

差動アンプ全体としては、抵抗  $R2$  の両端で  $U1$ ,  $U2$  が動く形になりますから、ここでは余計な容量成分が生じないので（依然として負性抵抗はありますが）、発振までには至らないと考えられます。

当然、ここに容量成分があつて、インダクタンスがキャンセルされてしまう（全体のリアクタンスがゼロ）場合には発振してしまうということですね。

あとでもう少し詳しくとは思いますが、当初は抵抗  $R1$ ,  $R2$  を大きくしていくと、負性抵抗が小さく（本来の抵抗に）なっていくと予想していました。しかしシミュレーションの結果としては、負性抵抗はほぼそのままでした。

いろいろ突き詰めてシミュレーションしていくと、いろいろ判ってきますね。面白いです（ネットワーク・アナライザで実測してみたいものです）。

## それぞれの条件で AC シミュレーション

$R1 = 500\ \Omega$ 、 $R2 = 20\ \Omega$  の場合と、 $R1 = 2.5\text{k}\Omega$ 、 $R2 = 100\ \Omega$  の場合とで差動アンプ回路としての入出力周波数特性を AC シミュレーションしてみました。図 24 が  $R1 = 500\ \Omega$ 、 $R2 = 20\ \Omega$  の場合、図 25 が  $R1 = 2.5\text{k}\Omega$ 、 $R2 = 100\ \Omega$  の場合です。これも面白いというか、なかなか意味深い結果になっています。

左のマーカは  $-3\text{dB}$  のところ。右のマーカは回路の利得が  $0\text{dB}$  になるところです。発振している定数（図 24）の方が  $0\text{dB}$ （利得がゼロ）になる周波数が低いのです。

一方で図 25 の、発振はしない（それでも完全に安定とはいえない）定数の方が  $0\text{dB}$  になる周波数が高いこと、ゲインにピークが出ていること、それぞれが見えると思います。ゲイン・ピークは出ていますが、動作的には動きそうに見えます。

発振の兆しを見つけるとすれば、（図 24 ですが） $6\text{dB/OCT}$  で変化しているのが、 $12\text{dB/OCT}$  以上で変化しているところを見て、「？」と考えることが大事そうです。

とはいえ、これだけではなかなか問題として検出しづらいところもあるので、トランジェント解析でステップ応答を入れてみるなどして、いろいろな観点からシミュレーションしてみるとが大切といえるでしょう。

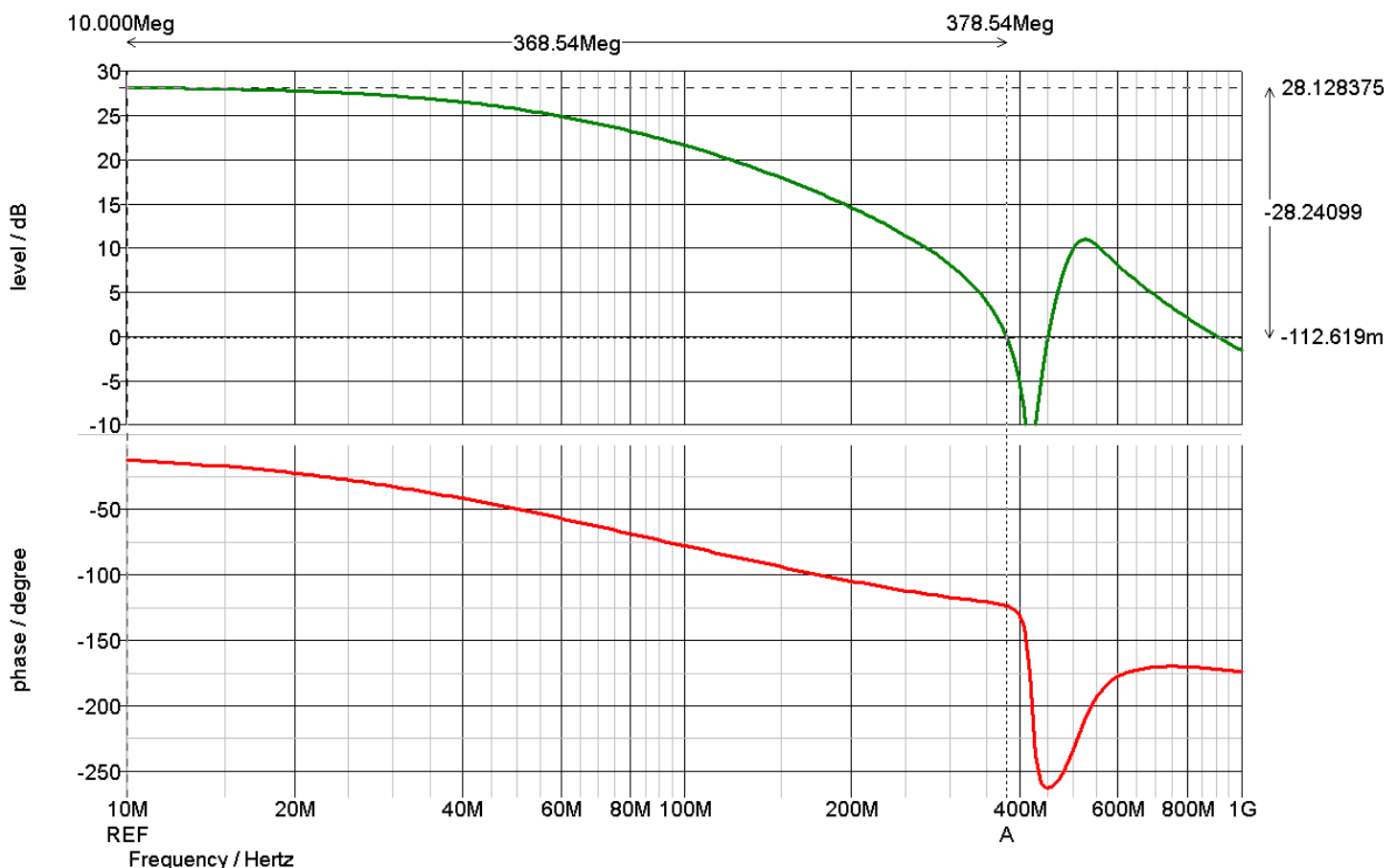
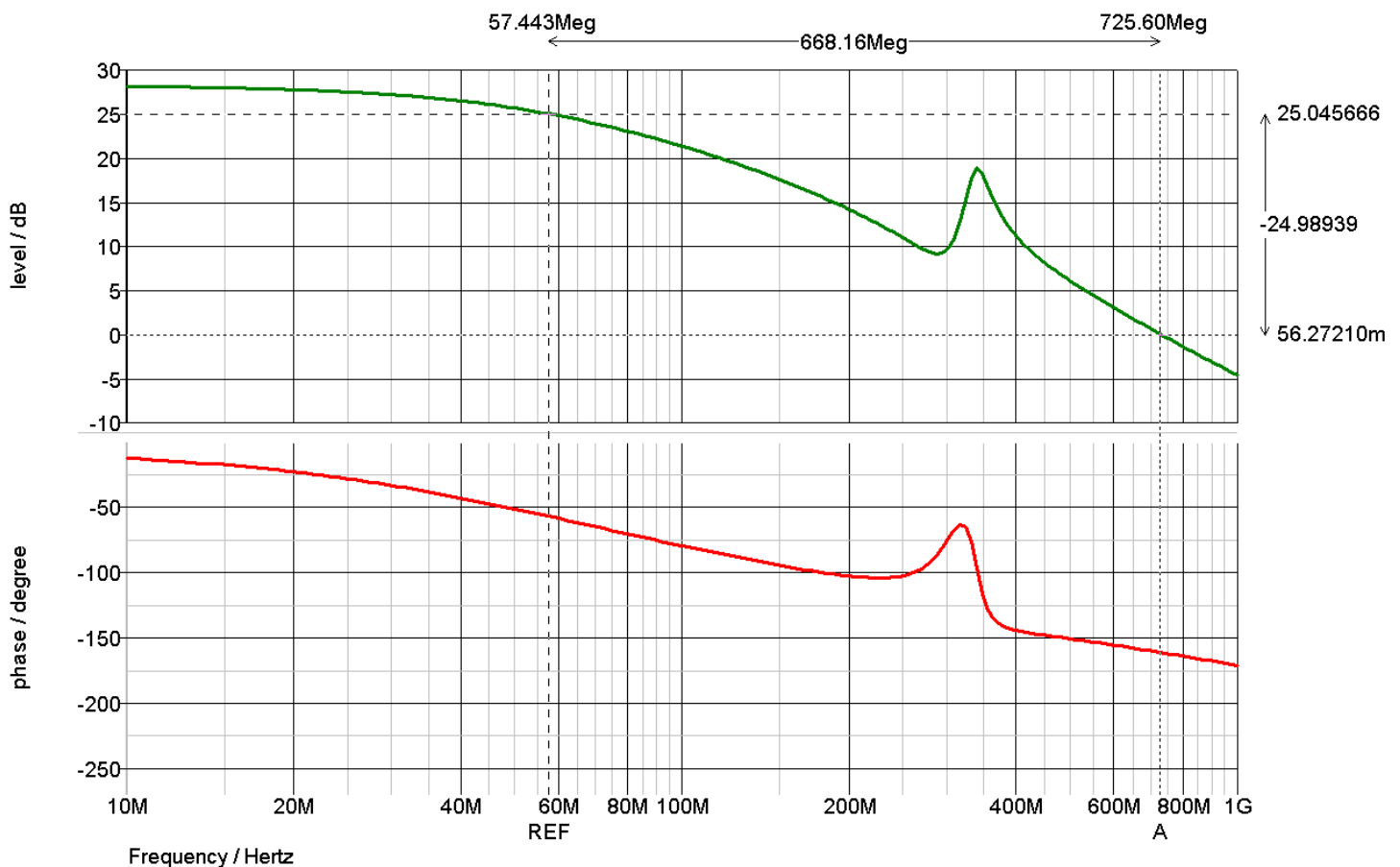


図 24.  $R1 = 500\ \Omega$ 、 $R2 = 20\ \Omega$  の条件（発振している）で差動アンプとしての入出力特性を AC シミュレーション

## アナログ電子回路技術ノート

TNJ-013

図 25.  $R1 = 2.5k\Omega$ 、 $R2 = 100\Omega$  の条件（発振していない）で差動アンプとしての入出力特性を AC シミュレーション

## 発振しない条件でステップ応答のシミュレーションは

発振しない（でもまだ負性抵抗がある）状態の回路、 $R1 = 2.5k\Omega$ 、 $R2 = 100\Omega$  の条件は、すでに図 15、図 16 でステップ応答のシミュレーションをかけています。そこでも問題なさそうなレベルになっていたわけですね。

補償容量（ $C_C$ ）端子で安定化にチャレンジ

次は  $C_C$ （Compensation Capacitor）端子を用いて補償をかけて、より安定に動作させたときに負性抵抗がどうなっていくのかについて考えてみたいと思います。

ここまでの検討で、定数を変更することにより負性抵抗の影響が少なくなることがわかりました。本来は負性抵抗自体を低減したいというのが正攻法です。

通常は「負性抵抗をキャンセルするには直列に抵抗を挿入」すればいいのですが、この回路構成だとなかなかそういうわけにもいきません。そこで  $C_C$  端子に外部補償コンデンサを使ってみて、負性抵抗の特性がどうなるのかをシミュレーションで試してみました。

## AD8099 データシート上の外部補償コンデンサの説明

図 26 に示すように AD8099 の外部補償コンデンサ  $C_C$ （内部に抵抗もある）について、データシートにその概念が説明されて

います。さらにそれに関する回路図を抜き出したものを図 27 に示します。

なおこの補償回路の一般的な推奨値と、AD8099 の性能についてはデータシートの表 4 に記載されています。

## アナログ電子回路技術ノート

TNJ-013

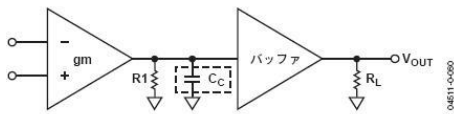
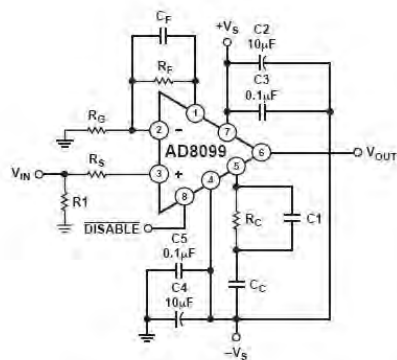


図58. AD8099の回路

AD8099は、RC回路を使って外部補償することにより、ゲイン=2まで下げることができます。ゲイン=15より上では、外部補償回路は不要です。フルGP積を実現するには、外部補償ピンまたはその周辺にPCボードのパターンを接続しないようにして容量を最小にする必要があります。

外部補償機能を使うと、ピーキングを最小化するようにクロード・ループ応答を最適化できると同時に、高ゲインでGP積を大きくし、内部補償されたデバイスの高ゲインで顕著に発生する歪み誤差を小さくすることができます。固定ゲイン帯域幅の場合、クロード・ループ・ゲインが2から4になると、広帯域の歪み成分は一般に6dB増加します。AD8099のGP積を大きくすると、クロード・ループ・ゲインが大きくなり、この影響を解消します。

図 26. AD8099 の補償容量  $C_C$  の説明

# アナログ電子回路技術ノート

TNJ-013

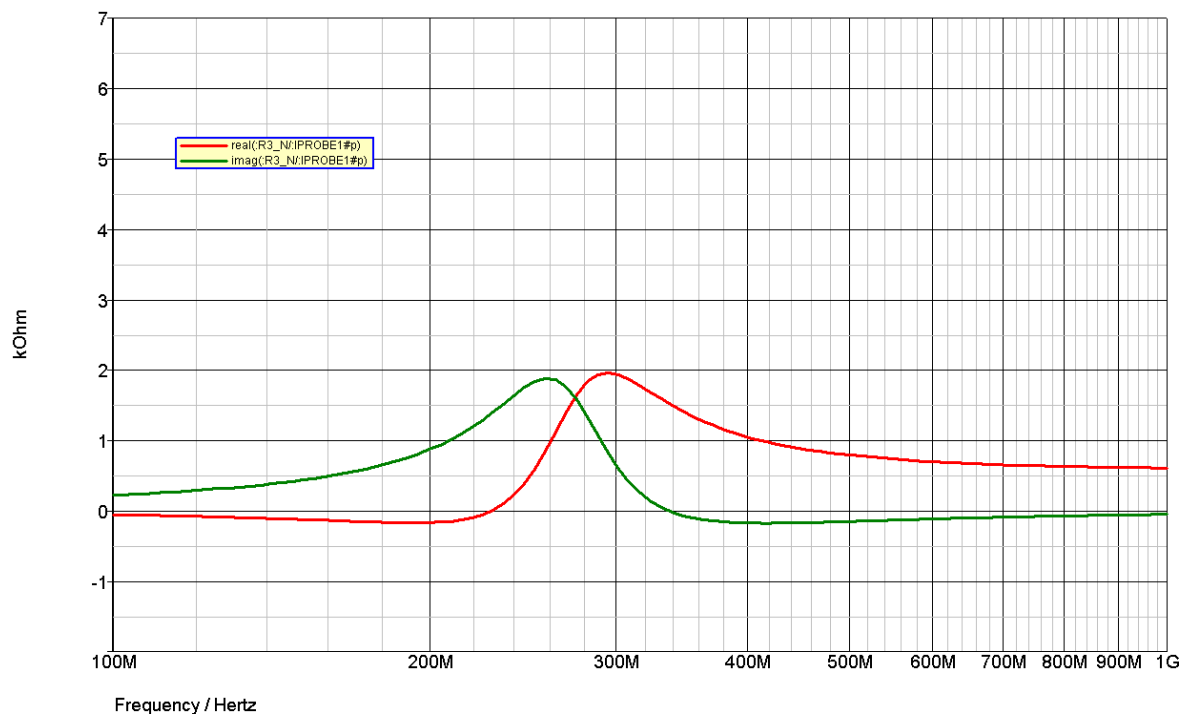


図 29. 補正容量を 1.5pF として図 28 の回路で U2 の反転入力端子のインピーダンス (赤:real part, 緑:imag part) をシミュレーション  
縦軸のスケールは図 22 と同じとしてある

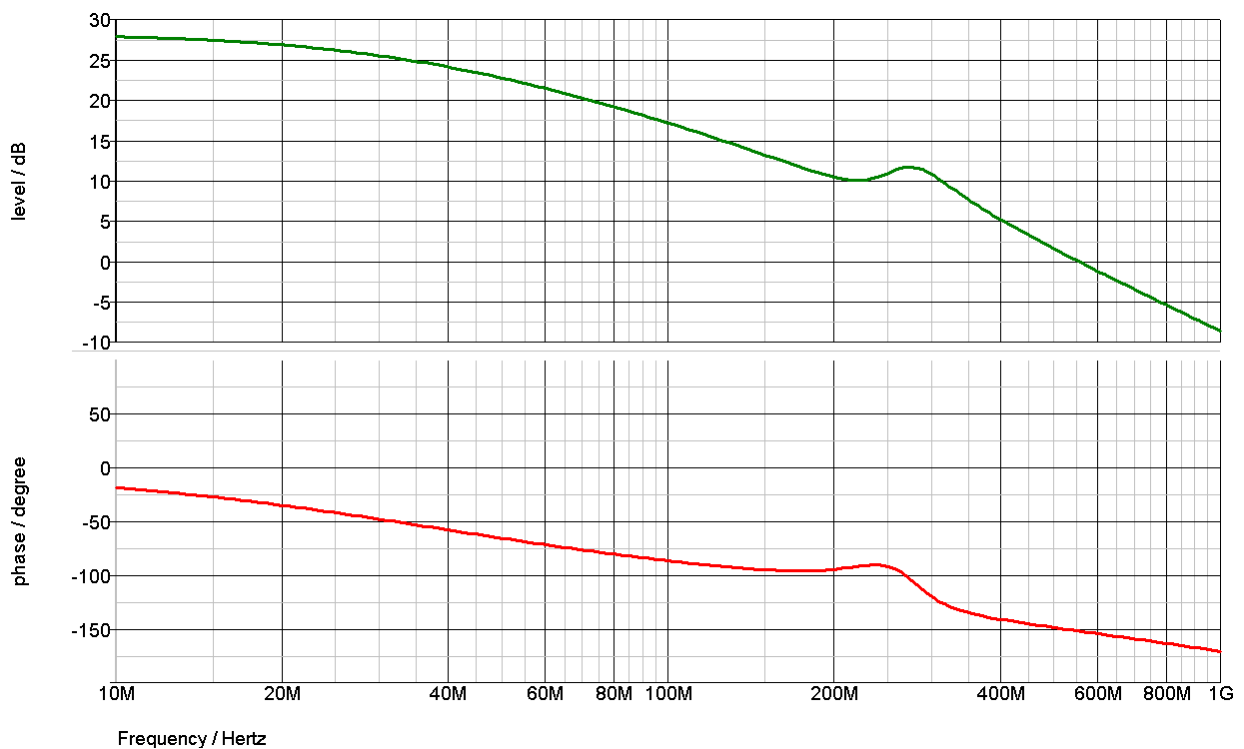


図 30. 補正容量を 1.5pF として図 28 の回路で入出力特性を AC 解析でシミュレーション