

作った AD797 増幅回路の周波数特性とノイズ特性を事後評価してみる

著者: 石井 聡

はじめに

図 1 や図 2 の写真のように、AD797 を 2 個つかって 2 段アンプを作ってみました。AD797 は最新のアンプではありませんが、現在でも最高レベルの低いノイズ特性を持っている高性能な OP アンプです。作った回路の使用目的はとりあえず聞かないでくださいませ。この 2 段アンプ回路は深く考えずに、適当に電卓ポンポンと計算して、適当に作った回路です。

作った 2 段アンプ回路の紹介

図 1 の写真は上から見たもので、右側が入力で左側が出力、図 2 の写真はそれを裏から見たものです。

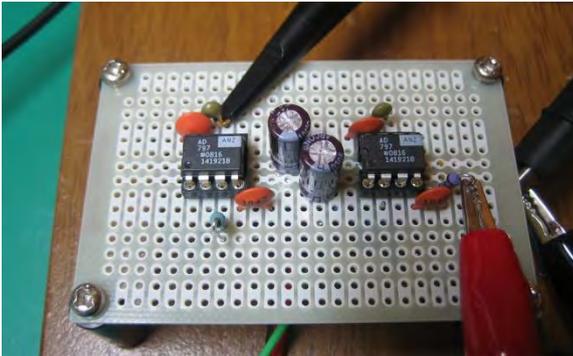


図 1. 作ってみた 2 段アンプ回路 (部品面)

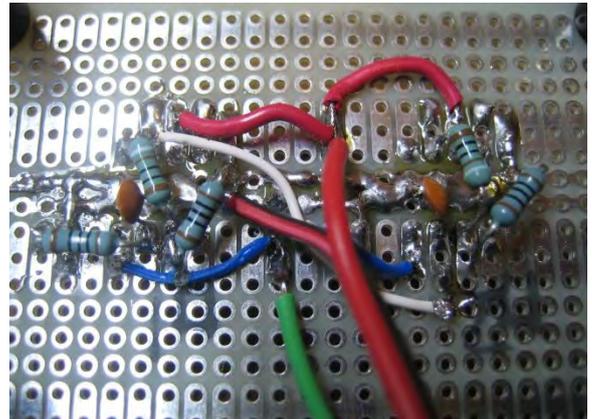


図 2. 作ってみた 2 段アンプ回路 (半田面)

回路のノイズ特性も測定したいので、抵抗は千石電商で購入した金属皮膜抵抗を使っています。ユニバーサル基板はサンハヤトの ICB-86G (これも千石電商で購入) というものです。真ん中にデジタル IC 用の VCC, GND ラインがパターンとしてつながっていますので、便利に使えらと思います。この回路としては±電源なので、ここのパターンは 2 本をつなげて GND にしてみました。

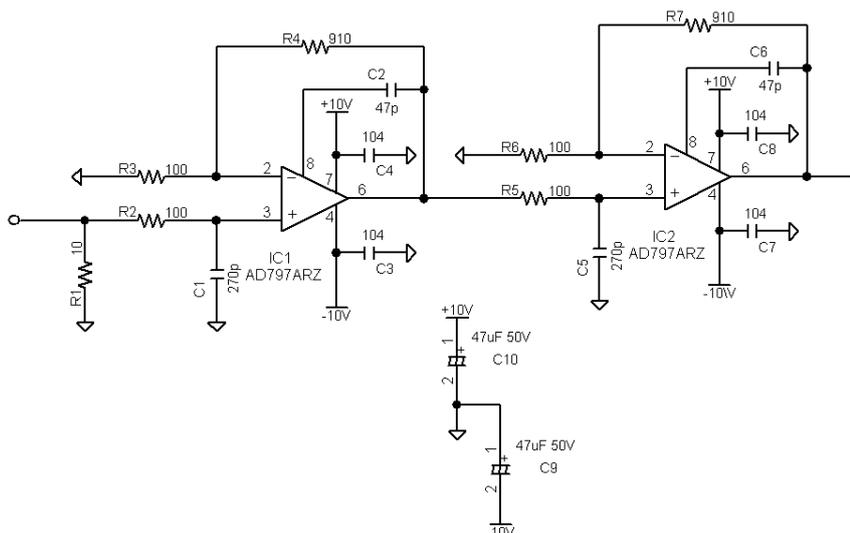


図 3. 作ってみた 2 段アンプ回路の回路図

アナログ・デバイス株式会社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
©2014 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ電子回路技術ノート

TNJ-010

2段アンプ回路の回路図

図 3 に回路図を掲載します。電源供給は前段、後段アンプの真ん中に 47uF のコンデンサをつけて、ここから一点アース的な感じでおこなってみました。補償コンデンサ 47pF も接続されています。外部補償の 47pF をつけると歪補償と帯域最適化が実現できます。

データシートの関連部分を図 4 と図 5 に抜き出してみました。さきの回路図は図 5 の構成をベースにしています。データシートの p.11 にもこの説明があります。今回の用途は低歪みを実現するものではありませんが、とりあえずつけてあります。

入力側の終端抵抗が 10Ω でとても低いものですが、これは用途による制限のためです (用途は、はてさて?…)

Another unique feature of this circuit is that the addition of a single capacitor, C_N (see Figure 31), enables cancellation of distortion due to the output stage. This can best be explained by referring to a simplified representation of the AD797 using idealized blocks for the different circuit elements (Figure 32).

A single equation yields the open-loop transfer function of this amplifier; solving it at Node B yields

$$\frac{V_{OUT}}{V_{IN}} = \frac{g_m}{\frac{C_N}{A} j\omega - C_N j\omega - \frac{C_C}{A} j\omega}$$

where:

g_m is the transconductance of Q1 and Q2.

A is the gain of the output stage (~1).

V_{OUT} is voltage at the output.

V_{IN} is differential input voltage.

When C_N is equal to C_C , the ideal single-pole op amp response is attained:

$$\frac{V_{OUT}}{V_{IN}} = \frac{g_m}{j\omega C}$$

In Figure 32, the terms of Node A, which include the properties of the output stage, such as output impedance and distortion, cancel by simple subtraction. Therefore, the distortion cancellation does not affect the stability or frequency response of the amplifier. With only 500 μA of output stage bias, the AD797 delivers a 1 kHz sine wave into 60 Ω at 7 V rms with only 1 ppm of distortion.

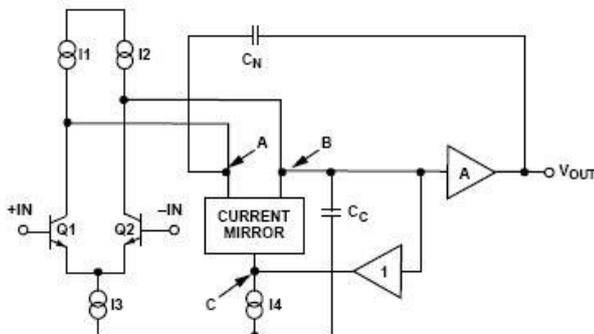


Figure 32. AD797 Block Diagram

図 4. AD797 のデータシートの関連する部分①

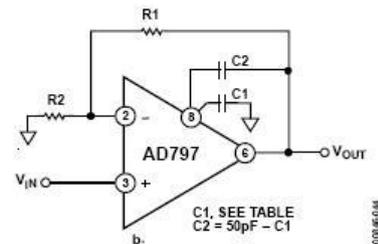


Figure 44. Recommended Connections for Distortion Cancellation and Bandwidth Enhancement

Table 6. Recommended External Compensation for Distortion Cancellation and Bandwidth Enhancement

Gain	A/B		A			B		
	R1 (Ω)	R2 (Ω)	C1 (pF)	C2 (pF)	3 dB BW	C1 (pF)	C2 (pF)	3 dB BW
10	909	100	0	50	6 MHz	0	50	6 MHz
100	1 k	10	0	50	1 MHz	15	33	1.5 MHz
1000	10 k	10	0	50	110 kHz	33	15	450 kHz

図 5. AD797 のデータシートの関連する部分②

作った 2 段アンプ回路の周波数特性

図 6 のように利得と位相の周波数特性を測定してみました。使用した測定器は HP 3589A という、古いものではありますが、ネットワーク・アナライザにもスペクトラム・アナライザにもなるものです。

周波数特性は、-3 dB で 3.7MHz となりました。増幅率が G = 0dB になるときの周波数と位相をマーカで確認してみました。周波数は約 9MHz、そのところの位相は 360 - 28 = 332° の遅れになっています。位相遅れが大きめだとは感じられるかもしれませんが…。

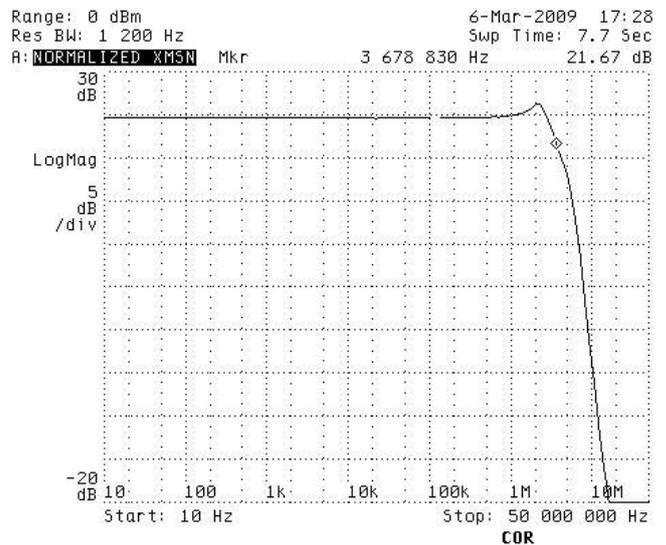


図 6. 作ってみた 2 段アンプ回路の利得特性 (G = 40dB)

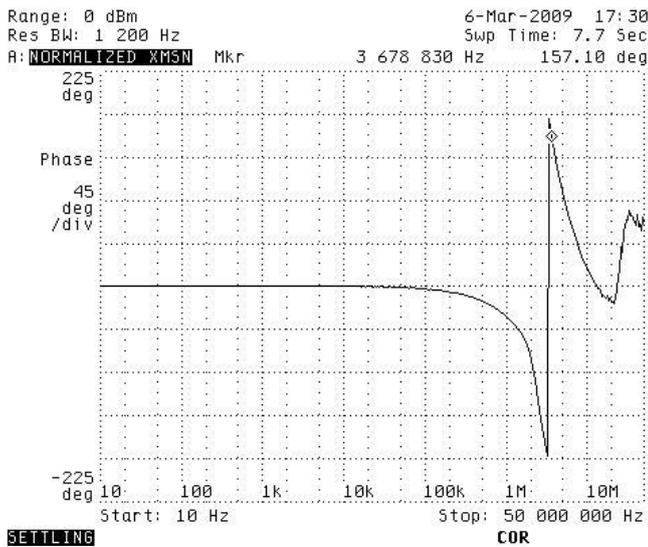


図 7. 作ってみた 2 段アンプ回路の位相特性

帰還抵抗が 100Ω と 910Ω、なおかつ非反転増幅なので、本来の利得 A は

$$A = 1 + 910/100 = 10$$

になり、dB にすると $20\log(10)$ で 20dB になり、さらに 2 段ですから利得は $G = 40\text{dB}$ になるはずですが。しかし実測では 25dB 弱になっています。これは測定系の問題（というか理由）です。

40dB にならない理由

このネットアナでは信号源の出力インピーダンスが 50Ω であり、一方でアンプ出力を接続するネットアナの入力ポートの入力インピーダンスはハイインピーダンス（1MΩ 入力かつパッシブ・プローブを使ってあるので 10MΩ 入力になっています）として設定されています。この条件で校正（キャリブレーション）をしてありますので、校正時には信号源の電圧源の大きさをそのまま検出するようになっています。

一方、実測値が小さい理由はこの OP アンプ回路の入力抵抗です。先の説明と回路図からも判るようにこの入力抵抗は 10Ω です。ネットアナ内部の電圧源の大きさは、ネットアナ出力インピーダンス 50Ω とこの 10Ω で分圧され、それが AD797 に加わる信号源電圧になります。

つまり振幅は 1/6 になりますので、 $20\log(1/6)$ は -15.6dB になり、 $40 - 15.6 = 24.4\text{dB}$ と計算でき、さきの利得の測定結果のプロットと一致するわけです。

2 段アンプ回路の位相量を確認

アンプの安定性の確認に直結するものではありませんが、位相量について考えてみます。

位相が利得 $G = 0\text{dB}$ のところで 332° 遅れになっています。2 段アンプで同じ構成になっていますので、1 段あたり 166° というところです。これは OP アンプ単独の遅れではなく、OP アンプ回路の入力にそれぞれついているフィルタによる位相遅れも入っています。

フィルタは 100Ω と 270pF ですが（信号源はシャントされた入力抵抗の 10Ω が支配的なので、ゼロと考えてしまっています）、この約 9MHz という周波数では、コンデンサのリアクタンスは、 $1/2\pi fC$ から $-j65.5\Omega$ と計算できますから、フィルタによる位相遅れは、

$$\text{ATAN}(66/100) = -33^\circ$$

でアンプ自体の位相遅れは、 $166 - 33 = 133^\circ$ になります。

なおこの周波数はフィードバック・ループの切れる ($A\beta = 1$ とする) 周波数より（単純計算では -6dB/oct ならば β 分だけ下の周波数、単体で利得 -3dB ダウンの周辺）高い周波数ですから、実際には位相余裕はこれより大きいと言えます。

ステップ応答で安定性の確認

低周波発振器の波形をサイン波から矩形波に変更して、ステップ入力として OP アンプ回路に入れて、図 8 のようにステップ応答を確認してみました。「あれ？」波形が変です…。

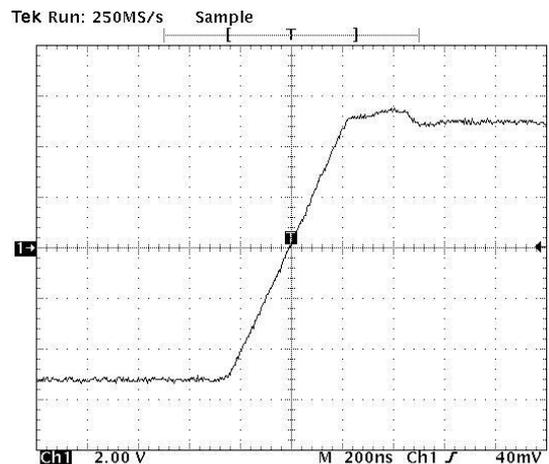


図 8. ステップ応答を確認してみたが何だか変だ…

ステップ応答波形がおかしいのはスルーレートが原因

これはレベルを何も考えずに入れて計測してしまったので、スルーレートの制限が出てしまっていたのです。AD797 は $20\text{V}/\mu\text{s}(\text{typ})$ として、データシートの p.3 に記載があります。スルーレートは振幅の変化が最高速でどれだけになるかというもので、いわゆる「ダッシュしたらどれだけのスピード（一定速度）まで実力として走れるの？」というものを意味しています。

OP アンプの内部回路としては、差動回路の定電流源の電流分配量が飽和しきって、それが後段のミラー積分に相当するコンデンサを充電するため、定電流でコンデンサが充電されることになるからです。

そのため出力変化は直線になりますが、この計測でも直線になっています。200ns で 4V ですから、 $40\text{V}/\mu\text{s}$ が実験した素子のスルーレート実力値ということになります。

アナログ電子回路技術ノート

TNJ-010

適切に設定してステップ応答波形を観測してみる

適切に計測できていなかったということで、入力レベルを低下させて計測してみました。低周波用の発振器なので、発振器自体の（矩形波出力にしたときの）スルーレートも低いのだが…、などと思いつつ実験したのが図 9 です。一応ステップ応答の標準的な波形が得られました。オーバーシュートもそれほど大きくありません。安定して「いそう」です。

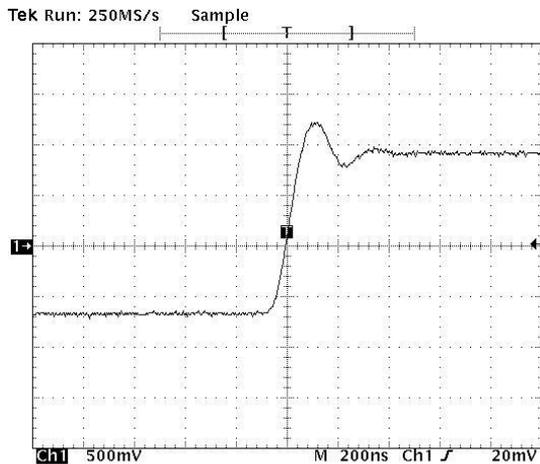


図 9. 適切に設定して（と言っても低周波発振器で）ステップ応答を観測してみる

しかしよく考えてみると、2 段アンプそれぞれの入力に、抵抗 $100\ \Omega$ とコンデンサ 270pF でフィルタが形成されていますから、これがステップ入力をなまらせて、結局アンプ自体としては「甘い」計測になってしまっています。またここでも行き当たりばったりが出てしまっています。実験計画をきちんと立ててからやるべきでしょうね。

さらに高速パルス・ジェネレータを入力にしてステップ応答波形を観測してみる

そこであらためて高速パルス・ジェネレータ (PG) を信号源として、1 段アンプのみ（単独で裸にして）でステップ応答を確認してみました。この結果を図 10 に示します。この測定でも無事、図と同じような波形が得られました。よかったです。これで少し安心できました。

実際の計測では、PG の振幅減衰量が多くとれず、この回路出力波形のレベルまで PG 出力振幅（回路入力レベル）をもってこれませんでした。そのため PG 出力にアッテネータを追加して、回路出力がこの大きさの波形になるまで OP アンプ回路への入力レベルを落としています。

なお、トリガ点の変な（少し早い）ところにありますが、これはトリガを PG の TRIG OUT から取っていて、そのパルスが少し早めに出ているからです。

また「スルーレート (Slew Rate)」ということで、高スルーレート ($>2\text{kV}/\mu\text{s}$) の OP アンプを稿末の別表 1 に選んでみました。

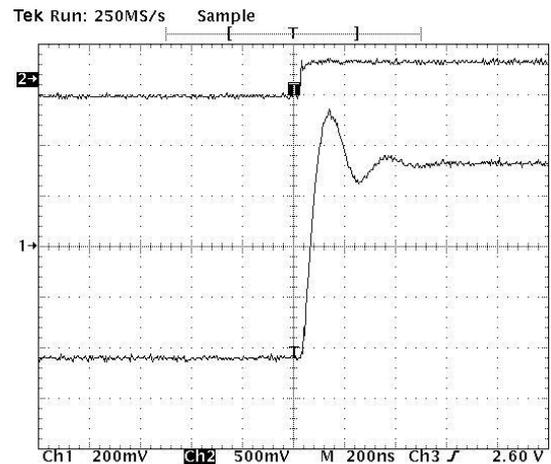


図 10. ステップ応答を確認してみたが何だか変だ…

回路のノイズ特性確認のための前準備

この回路の用途は非常に低レベルの信号を検出するものです。そこで次に、入力換算ノイズ・レベルの測定を行ってみました。

回路出力をスペクトラム・アナライザ（以降「スペアナ」と呼ぶ。これまで説明したネットアナにスペアナ計測モードがある）でノイズ・レベルの観測ができるように、回路全体の利得を上げてみます。R3 & R6 = $10\ \Omega$ 、R4 & R7 = $1\text{k}\Omega$ として、1 段を 100 倍（実際は 101 倍）のアンプとしてみました。100 倍ですから 1 段で $G = 40\text{dB}$ で、合計 $G = 80\text{dB}$ のアンプに仕上がっています。

なおこの実験では、OP アンプ回路の入力の R1 = $10\ \Omega$ 、LPF の R2 と C1 (R2 = $100\ \Omega$ 、C1 = 27pF) は取り去っています。

まずは $G = 80\text{dB}$ の周波数特性を確認

最初にこの $G = 80\text{dB}$ の状態での周波数特性を、測定器をネットアナのモードのまま測定してみました。とはいえ全体の利得測定をするだけのセットアップでも結構時間を食ってしまいました。ネットアナのノイズフロアと入力オーバーロードと内部シグナルソース出力減衰率の兼ね合いで、なかなかうまく測定系をセットアップできなかったからです。

漸く測定できたのが図 11 です。利得 $G = 40\text{dB}$ になっていますが、これは OP アンプ回路入力に $10\text{k}\Omega$ と $100\ \Omega$ の電圧ディバイダを入れて、シグナルソース（信号源インピーダンス $50\ \Omega$ ）のレベルを $1/100(-40\text{dB})$ しているからです。

なおここまでのトレースは、周波数軸はログ・スイープでしたが、ここでは以降で説明していくスペアナ計測との関連上、リニア・スイープにしてあります。

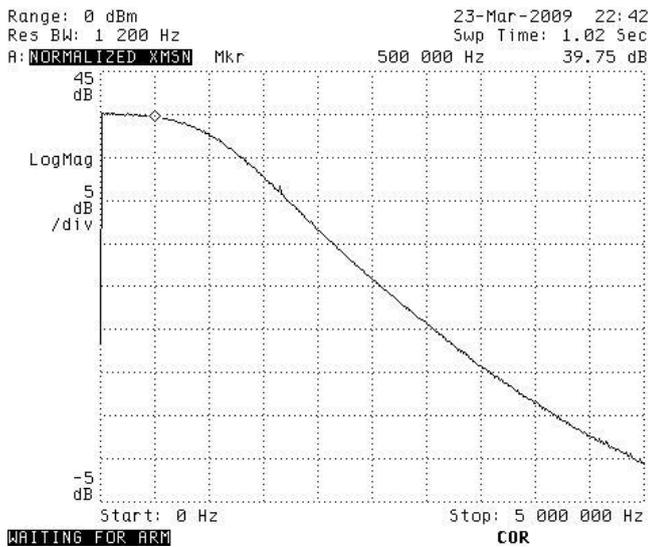


図 11. 入力換算ノイズ特性を計測すべく $G = 80\text{dB}$ にした。40dB 入力で減衰されているので $G = 40\text{dB}$ に見える

G = 40dB と G = 80dB では周波数特性が異なっている

ここで図 6 の利得 $G = 40\text{dB}$ の場合と、さきほど計測してみた図 11 の利得 $G = 80\text{dB}$ の場合とで、OP アンプ回路の増幅できる帯域幅が異なっていることがわかると思います。図 6 の利得 $G = 40\text{dB}$ では -3dB が 3.7MHz で、図 11 の利得 $G = 80\text{dB}$ では 1.2MHz になっています。ここで判ることは

- 電圧帰還形の OP アンプでは利得が大きくなると帯域が狭くなる
- 逆に GB 積と呼ばれる、利得を 10 倍にすれば帯域が/10 になる、という単純則には合致していない
- 利得を大きくしていけば、カットオフ付近での持ちあがりなくなり（位相余裕が大きくなり）、増幅が安定する方向になる

ということですね。

生々しい(?) 実験のようす

実験のようすを写真に撮ってみました(図 12)。右側のみむしクリップがネットアナのシグナルソース (-50dBm@50Ω) からの入力で、先の説明のように、内部で 10kΩ と 100Ω の分圧 (-40dB) になっています。半田ごてでクリップが焼けたようすが生々しいです(笑)。

出力側を観測するはパッシブ・プローブを 1:1 にしてあります。理由は測定系の SN 比を向上させたいからです。プローブを 10:1 にすると測定系(スペアナ)に入ってくる電力が低下するので、測定系のノイズフロアが余計見えてしまうからです。

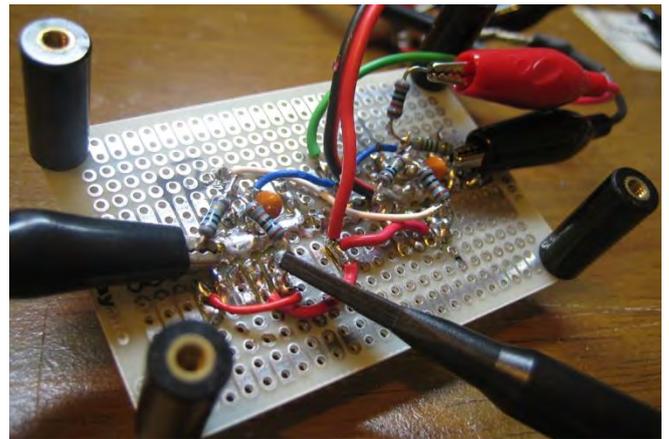


図 12. 生々しい(?) 実験のようす

ノイズ特性の確認のまえにレベルの校正(確認)

次にこれまで説明したネットアナを「スペアナ計測モード」にして、まずこのスペアナのレベル校正(確認)をしてみます。本来スペアナを 50Ω 終端で使うのであれば、入力レベルがそのままマーカ・リードアウト値になりますが、今回はこの測定器を 1MΩ 入力に設定を変更しているの、入力電圧に対してどのように dBm 値としてリードアウトされるかを事前にきちんと確認しておく必要があります。

dBm は電力値 (0dBm = 1mW) ですから、 $P = V^2/R$ で計算すべき「電力」では 1MΩ 入力では本来の電力値としてリードアウト値が決定できないためです。

図 13 は 1V rms (1.414V pk) の信号をスペアナに入力したときのリードアウト値です。入力は 1:1 です。この設定において 1V の実効値が入力されると +12.5dBm としてリードアウトされることが分かります。1V rms が 50Ω に加わると +13dBm になりますから、このスペアナで入力を 1MΩ の設定にしても、50Ω 入力相当の電力レベルがマーカで読まれることが分かります。

計算値の 13dBm と測定結果の +12.5dBm の間には 0.5dB の差異がありますが、スペアナはパワーメータではありませんので、マーカ・リードアウトの不確定性 (Uncertainty) が結構大きいものです。そのため、0.5dB は「こんなもん」と言えるかもしれません。

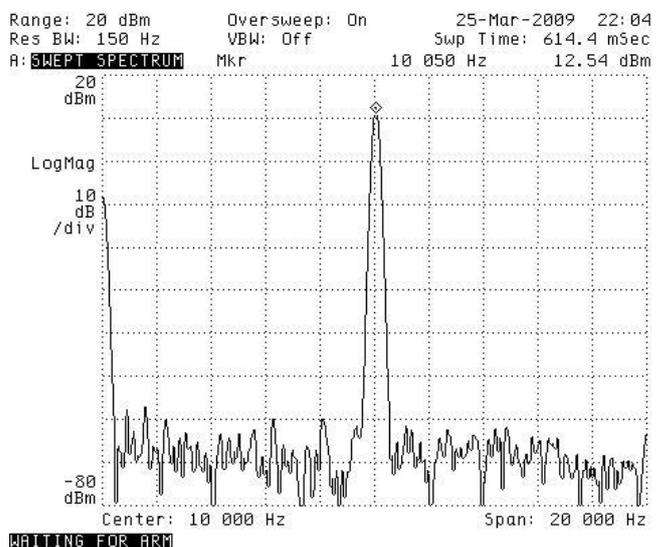


図 13. 1V rms をスペアナに入力したときのリードアウト値

アナログ電子回路技術ノート

TNJ-010

いよいよ回路のノイズ特性確認

初段の OP アンプの+入力端子に 1kΩ だけを接続し、抵抗のサーマル・ノイズと AD797 の電圧性・電流性ノイズの合わさったものが、どのように現れるかを計測してみたいと思います。図 14 はまずそのベースとなる測定です。

スペアナは 50 回のアベレージングをしてあります。この波形から判るように、2 段アンプの周波数特性がそのまま、ノイズを増幅してきた波形として現れていることが判ります。なお、とりあえずマーカを 500kHz に合わせて、500kHz のノイズ成分を計測してみました。-28.4dBm と読み取れます。

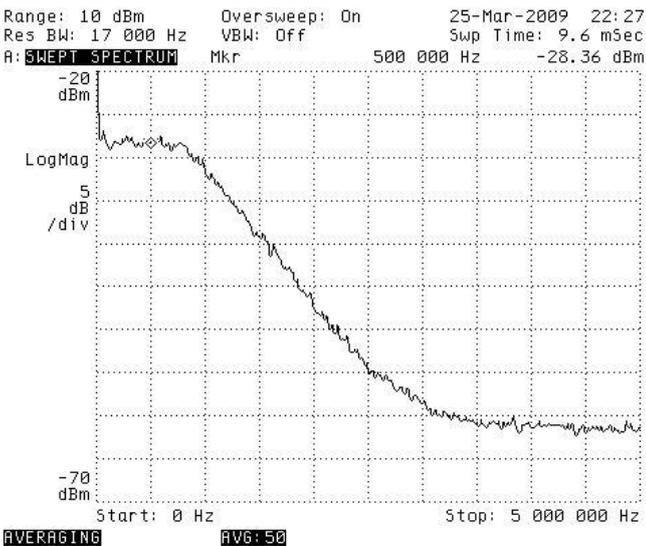


図 14. OP アンプ回路出力のノイズ・レベルをマーカで測定

このマーカ・リードアウト値では 1Hz あたりのノイズ量にならない

しかしこれはマーカ周波数での RBW (Resolution Band Width; 分解能帯域幅、つまりフィルタ帯域内に落ちる) における全ノイズ電力になりますから、本来求めたい 1Hz あたりのノイズ量、dBm/Hz や nV/√Hz とは異なる大きさになっています。さて、それでは「dBm/Hz や nV/√Hz」の単位量あたりのノイズ量を計測するにはどうしたらよいでしょうか。

「dBm/Hz や nV/√Hz」の単位量あたりのノイズ量を計測する方法でてっとり早いのは (現実的には) 図 15 のようにマーカの設定をその「dBm/Hz や nV/√Hz」の単位量あたりをリードアウトできるように変更することです。これを「ノイズマーカ」と呼びますが、スペアナの種類やメーカーや年代によって、この設定キーの呼び名が異なりますので、ご注意ください。

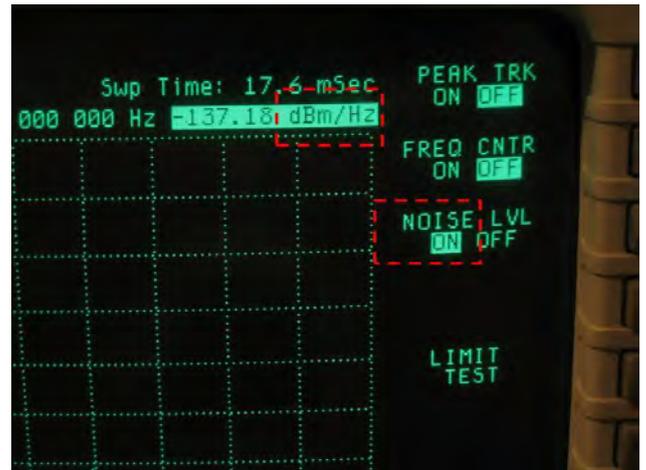


図 15. マーカの設定をノイズマーカ (1Hz モード) に変更する

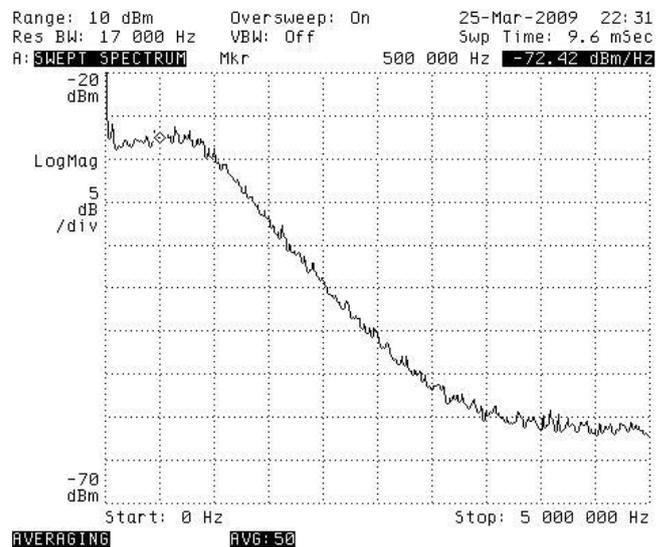


図 16. ノイズマーカ (1Hz モード) でアベレージングして計測

図 16 はその設定で測定したプロットです。dBm/Hz にマーカ・リードアウトが変わっていることがわかります (アベレージングしたままで観測しています)。

「1Hz あたり」のリードアウトとは

なおこの「1Hz あたり」というリードアウトは、スペアナの RBW (Resolution Band Width) フィルタの形状を積分し、等価的な帯域幅 B を計算させておき、それでその RBW で測定されたノイズ量 N を割る (N/B) やりかたで実現しています。

マイコンが装備されていなかった昔のスペアナでは、RBW と等価帯域幅 B の「換算数値」があり (いくつか覚えていませんが ...)、これがガウス・フィルタで構成されている RBW フィルタの -3dB 帯域幅 B_{RBW} への係数となり、それで B を算出し、dBm/Hz に変換していました。

アナログ電子回路技術ノート

TNJ-010

ノイズマーカにおけるアベレージングの影響度

さきの図 16 ではアベレージングした結果のノイズマーカのリードアウト値が-72.4dBm/Hz となっています。アベレージングしないでどのような値が得られるかも見てみました。それが図 17 です。

アベレージングしないと観測波形は大きく測定ごとに暴れており、かなり数値としては異なってきていますが、ノイズマーカは平均化してきちんとした値（アベレージングの結果と同じ）、-72.6dBm/Hz を答えて出してきてくれています。さて、この-72.4dBm/Hz という大きさは電圧値ではどうなるのでしょうか。

なおノイズマーカはログレベルで出力されるため、アベレージングすると本来の値より低めに出てしまうスペアナがあります。マイコンが装備されたものであれば、この辺は補正されて出力されますが、注意は必要なところでしょう。また最近のスペアナでは AD 変換によって信号のとりこみをしているので、このあたりの精度もより高いものになっています。

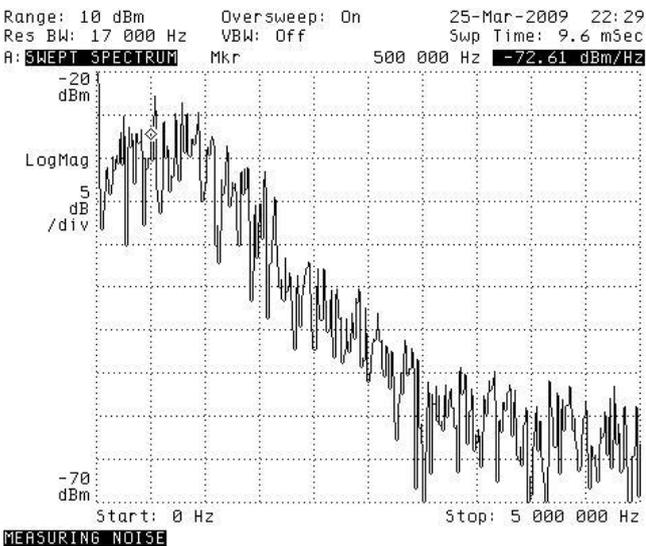


図 17. ノイズマーカでアベレージングしないで計測

測定結果を電圧値に変換して比較してみる

さて 1Vrms (実測で+12.5dBm) と、さきほどの-72.4dBm/Hz との差は-84.9dB です。電圧比として考えると、

$$10^{(-84.9/20)} = 10^{(-4.245)} = 5.69E-5$$

になります。これが 1V との比ですから、単純に-72.4dBm/Hz = 5.69E-5 Vrms/√Hz と計算できます。AD797 のスペックと熱ノイズの関係から、これを考えてみましょう。

この量を 2 段アンプの入力換算ノイズ量として考えてみると、OP アンプ回路の利得が 10000 倍 (80dB) ですから、10000 で割れば 5.69nV/√Hz と計算できます。一方 AD797 の入力換算電圧性ノイズは

$$V_N = 1.2nV/\sqrt{\text{Hz}} \quad (\text{max, @1kHz})$$

AD797 の電流性ノイズは

$$I_N = 2pA/\sqrt{\text{Hz}}(\text{typ})$$

この電流性ノイズが 1kΩ の抵抗に流れて生じる電圧量は 2nV/√Hz(typ)になります。抵抗自体のサーマル・ノイズは (4kTBR ですが B = 1Hz で考えます)

$$V_{NR} = \text{sqrt}(4kTR) = 4.07nV/\sqrt{\text{Hz}}$$

ノイズ量の合成は RSS (Root Sum Square;電力の合成) になりますから

$$\text{sqrt}(1.2^2 + 2^2 + 4.07^2) = 4.69nV/\sqrt{\text{Hz}}$$

と計算できます (最初の項から電圧性 V_N 、電流性 I_N 、抵抗の熱ノイズ V_{NR})。この大きさはノイズマーカで読み出した大きさ (5.69nV/√Hz) と比較して少し小さめに出てきています (-1.68 dB)。とはいえこれは電圧レベルでも 20%の誤差です。

マーカ・リードアウトなどの誤差要因もある

さきのようにマーカ・リードアウトの精度は高くありません。またノイズ自体は正弦波ではなく、ガウスの分布しているランダムな波形のため、平均値と RMS 値 (波形率) は $\pi/2\sqrt{2}$ の関係にはなりません。そのためこの誤差がスペアナに存在している可能性があります (正確に校正されたノイズソースがあればいいのですが、無いので測りようがありません)。ともあれ、少なくとも「ぼちぼち合っていそうだ」ということは判ります。これでノイズ特性の素性の判ったアンプが出来上がったことになります。

True RMS 検出 IC なるものもある

ところで True RMS について補足ですが、たとえばアナログ・デバイス社の True RMS IC AD737 (図 18)

AD737: モノリシック RMS-DC 変換 IC、低消費電力、高精度、低価格

<http://www.analog.com/jp/other-products/rms-to-dc-converters/ad737/products/product.html>

でも表 1 (図 10、図 22 も関連) にてクレストファクタ = 3~5 で付加エラーを 2.5%(typ)と規定しており、表 5 でも=10 の値が記載されています (クレストファクタ = peak/rms;波高率)。一方でノイズはクレストファクタが理論上∞ですから、ホワイトノイズの RMS レベルを計測すると誤差が出てしまうのかもしれない。

まあ 5 程度でホワイトノイズ波形のうちほとんどが収まるはずですから、それほど大きい誤差は生じないだろうと思われかもしれませんが…。なおこのような True RMS ではなく、準「ピーク検出」(たとえばダイオードで検波して整流する方式) だと大きな誤差が出てしまいますので、注意が必要です。

Low Cost, Low Power, True RMS-to-DC Converter

AD737

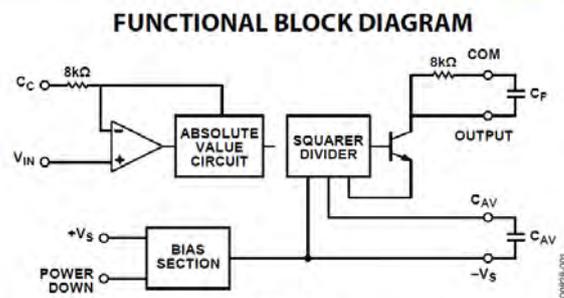


Figure 1.

図 18. True RMS IC AD737

アナログ電子回路技術ノート

TNJ-010

別表 1 スルーレートの高速な OP アンプ Best 50

Part#	Slew Rate	Small Signal BW	Input Offset Voltage	Input Bias Current	Input Voltage Noise	Current Noise Density	Amp Per Package	Vcc-Vee	Iq/Amp	Package
AD8009	5.5KV/us	1GHz	2mV	50uA	1.9nV/rtHz	46pA/rtHz	1	5V-12V	16mA	SOIC; SOT
AD8000	4.1KV/us	1.58GHz	1mV	5uA	1.6nV/rtHz	26pA/rtHz	1	4.5V-12V	14.3mA	CSP; SOIC
AD8014	4KV/us	400MHz	2mV	5uA	3.5nV/rtHz	5pA/rtHz	1	4.5V-12V	1.3mA	SOIC; SOT
AD8003	3.8KV/us	1.65GHz	700uV	7uA	1.8nV/rtHz	3pA/rtHz	3	4.5V-10V	10.2mA	CSP
AD8011	3.5KV/us	400MHz	2mV	5uA	2nV/rtHz	5pA/rtHz	1	3V-12V	1.3mA	DIP; SOIC
AD8004	3KV/us	250MHz	1mV	35uA	1.5nV/rtHz	38pA/rtHz	4	4V-12V	4.25mA	DIP; SOIC
ADA4857-1	2.8KV/us	850MHz	2mV	2uA	4.4nV/rtHz	1.5pA/rtHz	1	4.5V-10.5V	5.5mA	CSP; SOIC
ADA4857-2	2.8KV/us	750MHz	2mV	2uA	4.4nV/rtHz	1.5pA/rtHz	2	4.5V-10.5V	5.5mA	CSP
AD811	2.5KV/us	140MHz	500uV	2uA	1.9nV/rtHz	20pA/rtHz	1	9V-36V	16mA	DIP; LCC; SOIC
AD8012	2.25KV/us	350MHz	1mV	3uA	2.5nV/rtHz	15pA/rtHz	2	3V-12V	900uA	SOIC; SOP
AD844	2KV/us	60MHz	50uV	150nA	2nV/rtHz	12pA/rtHz	1	9V-36V	6.5mA	DIP; SOIC
AD8074	1.6KV/us	600MHz	2.5mV	5uA	19.5nV/rtHz		3	9V-11V	10mA	SOP
AD8017	1.6KV/us	160MHz	1.8mV	160uA	1.9nV/rtHz	23pA/rtHz	2	4.4V-12V	7.7mA	SOIC
AD8005	1.5KV/us	270MHz	5mV	500nA	4nV/rtHz	1.1pA/rtHz	1	4V-12V	425uA	DIP; SOIC; SOT
AD8037	1.5KV/us	270MHz	2mV	3uA	4.5nV/rtHz	2.1pA/rtHz	1	6V-12V	19.5mA	DIP; SOIC
AD9632	1.5KV/us	250MHz	2mV	2uA	4.3nV/rtHz	2pA/rtHz	1	6V-12V	17mA	DIP; SOIC
AD8055	1.4KV/us	300MHz	3mV	400nA	6nV/rtHz	1pA/rtHz	1	8V-12V	6.5mA	DIP; SOIC; SOT
AD8056	1.4KV/us	300MHz	3mV	400nA	6nV/rtHz	1pA/rtHz	2	8V-12V	6mA	DIP; SOIC; SOP
AD8045	1.35KV/us	1GHz	200uV	2uA	3nV/rtHz	3pA/rtHz	1	3.3V-12V	19mA	CSP; SOIC
AD8099	1.35KV/us	500MHz	200uV	3uA	950pV/rtHz	2.6pA/rtHz	1	5V-12V	16mA	CSP; SOIC
AD8075	1.35KV/us	550MHz	2.5mV	5uA	22nV/rtHz		3	9V-11V	10mA	SOP
AD9631	1.3KV/us	320MHz	3mV	2uA	7nV/rtHz	2.5pA/rtHz	1	6V-12V	18mA	DIP; SOIC
AD8023	1.2KV/us	125MHz	2mV	5uA	2nV/rtHz	14pA/rtHz	3	4.2V-15V	10mA	SOIC
AD8002	1.2KV/us	600MHz	2mV	3uA	2nV/rtHz	2pA/rtHz	2	6V-12V	11.5mA	DIP; SOIC; SOP
AD8036	1.2KV/us	240MHz	2mV	4uA	6.7nV/rtHz	2.2pA/rtHz	1	6V-12V	21.5mA	DIP; SOIC
AD8057	1.15KV/us	325MHz	1mV	500nA	7nV/rtHz	700fA/rtHz	1	3V-12V	6mA	SOIC; SOT
AD8058	1.15KV/us	325MHz	1mV	500nA	7nV/rtHz	700fA/rtHz	2	3V-12V	7.5mA	SOIC; SOP
AD8008	1KV/us	650MHz	500uV	4uA	2.7nV/rtHz	22.5pA/rtHz	2	5V-12V	10.2mA	SOIC; SOP
AD8007	1KV/us	650MHz	500uV	4uA	2.7nV/rtHz	22.5pA/rtHz	1	5V-12V	10.2mA	SC70; SOIC
AD8016	1KV/us	380MHz	1mV	45uA	2.6nV/rtHz	18pA/rtHz	2	6V-26V	13.2mA	SOIC
AD8013	1KV/us	480MHz	2mV	3uA	3.5nV/rtHz	12pA/rtHz	3	4.2V-13V	4mA	DIP; SOIC
AD8048	1KV/us	260MHz	1mV	1uA	3.8nV/rtHz	1pA/rtHz	1	6V-12V	6.6mA	DIP; SOIC
AD8001	1KV/us	880MHz	2mV	3uA	2nV/rtHz	2pA/rtHz	1	6V-12V	5mA	DIP; SOIC; SOT
AD810	1KV/us	80MHz	1.5mV	2uA	2.9nV/rtHz	1.5pA/rtHz	1	5V-36V	8mA	DIP; SOIC
ADA4895-1	943V/us	236MHz	28uV	11uA	1nV/rtHz	2.94pA/rtHz	1	3V-10V	3mA	SOP
ADA4895-2	943V/us	236MHz	28uV	11uA	1nV/rtHz	2.94pA/rtHz	2	3V-10V	3mA	SOP
AD815	900V/us	120MHz	10mV	2uA	1.85nV/rtHz	1.8pA/rtHz	2	10V-36V	40mA	DDPAK; SIP; SOIC
ADA4817-1	870V/us	1.05GHz	400uV	2pA	4nV/rtHz	2.5fA/rtHz	1	5V-10V	21mA	CSP; SOIC
ADA4817-2	870V/us	1.05GHz	2mV	2pA	4nV/rtHz	2.5fA/rtHz	2	5V-10V	21mA	CSP
ADA4862-3	830V/us	310MHz	2mV	600nA	10.6nV/rtHz	1.4pA/rtHz	3	5V-12V	6.83mA	SOIC
ADA4310-1	820V/us	190MHz	1mV	6uA	2.85nV/rtHz	21.8pA/rtHz	2	-		CSP; Mini-SO
ADA4855-3	800V/us	400MHz	1mV	4.5uA	6.5nV/rtHz	2pA/rtHz	3	3V-5.5V	7.8mA	CSP
ADA4856-3	800V/us	225MHz	1.3mV	3.8uA	14nV/rtHz	2pA/rtHz	3	3V-5.5V	7.8mA	CSP
AD8010	800V/us	230MHz	5mV	6uA	2nV/rtHz	3pA/rtHz	1	9V-12V	17mA	DIP; SOIC
AD8079	800V/us	260MHz	5mV	3uA	2nV/rtHz	2pA/rtHz	2	6V-12V	5.75mA	SOIC
ADA4860-1	790V/us	520MHz	3.5mV	1.5uA	4nV/rtHz	7.7pA/rtHz	1	5V-12V	8mA	SOT
AD8047	750V/us	250MHz	1mV	1uA	5.2nV/rtHz	1pA/rtHz	1	6V-12V	6.6mA	DIP; SOIC
ADA4859-3	740V/us	265MHz		700nA	17nV/rtHz	2pA/rtHz	3	3V-5.5V		CSP
ADA4861-3	680V/us	730MHz	100uV	700pA	3.2nV/rtHz	1.7pA/rtHz	3	5V-12V	6.83mA	SOIC