

ADSP-BF533 EZ-KIT Lite™ 評価システム・マニュアル

改訂版 1.3、2004 年 4 月

パーツ番号
82-000730-01

Analog Devices, Inc.
One Technology Way
Norwood, Mass. 02062-9106



著作権情報

© 2004 Analog Devices, Inc., ALL RIGHTS RESERVED.

このドキュメントは、Analog Devices, Inc. の書面による事前の明示の同意がない限り、いかなる形式でも複製できません。

Printed in Japan.

限定保証

EZ-KIT Lite 評価システムには、Analog Devices または正規販売代理店からご購入された日付から 1 年間にわたって、機材および製造上の欠陥に対する保証が付いています。

免責条項

Analog Devices, Inc. は、予告なく、この製品を変更する権利を保有します。Analog Devices から提供する情報の正確性と信頼性には万全を尽くしています。しかし、Analog Devices は、その使用に対する責任を一切負いません。その使用によって第三者の特許権やその他の権利が侵害された場合でも、同様に責任を負いません。Analog Devices, Inc. の特許権のもとでは、暗示的にも明示的にも、いかなるライセンスも提供しません。

商標と登録商標の通知

Analog Devices のロゴ、VisualDSP++、VisualDSP++ のロゴ、Blackfin、CROSSCORE のロゴは、Analog Devices, Inc. の登録商標です。

EZ-KIT Lite は、Analog Devices, Inc. の商標です。

その他すべての商標名と製品名は、それぞれの所有者の商標または登録商標です。

準拠規格

ADSP-BF533 EZ-KIT Lite 評価システムは、欧州 EMC 指令 89/336/EEC (93/68/EEC を含む) の基本要件事項に適合することが認定されており、「CE」マークを表示しています。

ADSP-BF533 EZ-KIT Lite 評価システムは、1997 年 12 月 21 日付けの「DSPTOOLS1」という技術構成ファイル (TCF) に追加され、次に示す指定の欧州認定試験機関から CE 認定を授与されました。

技術認定番号 : Z600ANA1.011

認定発行機関 : Technology International (Europe) Limited
41 Shrivenham Hundred Business Park
Shrivenham, Swindon, SN6 8TZ, UK



EZ-KIT Lite 評価システムには、ESD (静電放電) の影響を受けやすいデバイスが含まれています。人体や試験機器には静電気が蓄積されやすく、知らない間に放電されます。デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。性能の低下や機能の喪失を防止するために、適切な ESD 予防措置を講じることをお勧めします。未使用の EZ-KIT Lite ボードは、出荷時の保護用パッケージに保管してください。



目次

目次

まえがき

マニュアルの目的	xiii
対象とする読者	xiii
マニュアルの内容	xiv
マニュアルの最新情報	xv
テクニカル／カスタマ・サポート	xv
サポートするプロセッサ	xv
製品情報	xv
MyAnalog.com	xvi
DSP 製品情報	xvi
関連ドキュメント	xvi
オンライン・ドキュメント	xvii
印刷物	xviii
VisualDSP++ のドキュメンテーション・セット	xviii
ハードウェア・マニュアル	xviii
データシート	xviii
DSP 刊行物へのご意見	xix
表記規則	xix

第 1 章 はじめに

EZ-KIT Lite パッケージの内容	1-1
PC の構成	1-3
インストール・タスク	1-3
VisualDSP++ と EZ-KIT Lite ソフトウェアのインストール	1-4
VisualDSP++ ライセンスのインストールと登録	1-5
EZ-KIT Lite ハードウェアのセットアップ	1-5
EZ-KIT Lite の USB ドライバのインストール	1-6
Windows 98 の USB ドライバ	1-7
Windows 2000 の USB ドライバ	1-11
Windows XP の USB ドライバ	1-12
ドライバのインストールの確認	1-14
VisualDSP++ の起動	1-15

第 2 章 EZ-KIT LITE の使い方

EZ-KIT Lite ライセンスの制約	2-2
メモリ・マップ	2-2
SDRAM インターフェースの使い方	2-4
フラッシュ・メモリの使い方	2-6
フラッシュ・メモリのマップ	2-6
フラッシュの汎用 IO	2-8
フラッシュ・メモリの設定	2-10
LED と押しボタンの使い方	2-11
オーディオの使い方	2-11
ビデオの使い方	2-13

プログラム例	2-14
バックグラウンド・テレメトリ・チャンネルの使い方	2-14
EZ-KIT Lite VisualDSP++ インターフェースの使い方	2-15
トレース・ウィンドウ	2-15
トレース・バッファをイネーブルにする	2-16
トレース・バッファ・データの読み出し	2-16
パフォーマンス・モニタ	2-16
ブート・ロード	2-18
ターゲット・オプション	2-18
Reset Options	2-19
On Emulator Exit	2-19
その他のオプション	2-19
制約付きのソフトウェア・ブレークポイント	2-21

第 3 章 EZ-KIT LITE ハードウェア・リファレンス

システム・アーキテクチャ	3-2
外部バス・インターフェース・ユニット	3-3
SPORT0 オーディオ・インターフェース	3-4
SPI インターフェース	3-4
プログラマブル・フラグ	3-4
PPI インターフェース	3-6
ビデオ出力モード	3-7
ビデオ入力モード	3-7
UART ポート	3-8
拡張インターフェース	3-8
JTAG エミュレーション・ポート	3-9

目次

ジャンパと DIP スイッチの設定	3-9
ブート・モード選択ジャンパ (JP1、JP2)	3-9
コア電圧源選択ジャンパ (JP3)	3-10
テスト DIP スイッチ (SW1、SW2)	3-11
ビデオ設定スイッチ (SW3)	3-11
押しボタン・イネーブル・スイッチ (SW9)	3-12
LED と押しボタン	3-13
プログラマブル・フラグ押しボタン (SW7-4)	3-13
リセット押しボタン (SW8)	3-14
電源 LED (LED1)	3-14
リセット LED (LED2、LED3)	3-14
ユーザ LED (LED9-4)	3-15
USB モニタ LED (LED11)	3-15
コネクタ	3-16
拡張インターフェース (J3-1)	3-16
オーディオ (J4、J5)	3-17
ビデオ (J8)	3-17
電源 (J9)	3-17
FlashLINK (P1)	3-18
RS232 (P2)	3-19
SPORT0 (P3)	3-19
JTAG (P4)	3-20

部品表

索引

まえがき

アナログ・デバイセズのBlackfin[®]組込みメディア・プロセッサの評価システムADSP-BF533 EZ-KIT Lite[™]をご購入いただき、ありがとうございます。

Blackfinプロセッサは、メディア命令セット計算 (MISC) アーキテクチャをサポートする組込みプロセッサです。このアーキテクチャは、マイクロプロセッサと同様の環境で信号処理性能を実現するために、RISC、メディア機能、およびデジタル・シグナル・プロセッシング (DSP) 特性を自然併合したものです。

この評価ボードは、ADSP-BF533 Blackfinプロセッサの機能をテストするために、VisualDSP++[®]開発環境と組み合わせて使用するよう設計されています。VisualDSP++開発環境を使用すれば、次のように高度なアプリケーション・コードの開発とデバッグを行うことができます。

- C++、C、およびADSP-BF533アセンブリで記述されたアプリケーション・プログラムの作成、コンパイル、アセンブル、およびリンク
- アプリケーション・プログラムのロード、実行、ステップ、停止、およびブレークポイントの設定
- データ・メモリとプログラム・メモリの読み書き
- コア・レジスタとペリフェラル・レジスタの読み書き
- メモリのプロット

パソコン (PC) からADSP-BF533プロセッサへアクセスするには、USBポートまたはオプションのJTAGエミュレータを使用します。USBインターフェースによって、ADSP-BF533プロセッサや評価ボード・ペリフェラルに自由にアクセスできます。アナログ・デバイセズのJTAGエミュレータは、ホストPCとターゲット・ハードウェアとの間に高速通信を提供します。また、広範囲のインサーキット・エミュレーション製品も用意しています。アナログ・デバイセズのエミュレータとDSP開発ツールの詳細については、下記のURLをご覧ください。

<http://www.analog.com/jp/processors/tools>

ADSP-BF533 EZ-KIT Liteは評価ボードの機能を実演するプログラム例を提供します。



EZ-KIT Lite評価システムで提供するVisualDSP++ライセンスでは、ユーザ・プログラムのサイズを内部メモリの20KBに制限しています。

ボードの特長:

- アナログ・デバイセズADSP-BF533プロセッサ
 - ✓ 756MHzまでの性能
 - ✓ 160ピン・ミニBGAパッケージ
 - ✓ 27MHz CLKIN発振器
- 同期DRAM (SDRAM)
 - ✓ MT48LC16M16—32 MB (16M×16ビット)
- フラッシュ・メモリ
 - ✓ 2MB (512K×16×2チップ)

- アナログ・オーディオ・インターフェース
 - ✓ AD1836—アナログ・デバイセズの96kHzオーディオ・コーデック
 - ✓ 4入力RCAフォノ・ジャック (2チャンネル)
 - ✓ 6出力RCAフォノ・ジャック (3チャンネル)
- アナログ・ビデオ・インターフェース
 - ✓ ADV7183ビデオ・デコーダ付き3入力RCAフォノ・ジャック
 - ✓ ADV7171ビデオ・エンコーダ付き3出力RCAフォノ・ジャック
- 非同期シリアル・インターフェース (UART)
 - ✓ ADM3202 RS-232ライン・ドライバ/レシーバ
 - ✓ DB9オス・コネクタ
- LED
 - ✓ 10個のLED: 電源に1個 (緑)、ボード・リセットに1個 (赤)、USBに1個 (赤)、汎用として6個 (黄)、USBモニタに1個 (黄)
- 押しボタン
 - ✓ バウンス防止ロジック付きの5個の押しボタン: リセットに1個、プログラマブル・フラグに4個
- 拡張インターフェース
 - ✓ PPI、SPI、EBIU、Timers2-0、UART、
プログラマブル・フラグ、SPORT0、SPORT1

- その他の機能

- ✓ JTAG ICE 14ピン・ヘッダ

EZ-KIT Lite ボードには2つのフラッシュ・メモリがあり、メモリの合計は2MBになります。フラッシュ・メモリを使用すれば、ユーザ固有のブート・コードを格納できるため、ボードをスタンドアロン・ユニットとして動作させることができます。詳細については、[2-6ページ](#)の「[フラッシュ・メモリの使い方](#)」を参照してください。ボードは32MBのSDRAMも搭載しており、ユーザがランタイムで使用できます。

SPORT0 はAD1836 オーディオ・コーデックにインターフェースされるため、オーディオ信号処理アプリケーションを作成できます。また、オフボード型コネクタにも接続されるため、他のシリアル・デバイスとの通信が可能になります。SPORT0の詳細については、[3-4ページ](#)の「[SPORT0オーディオ・インターフェース](#)」を参照してください。

DSPの平行・ペリフェラル・インターフェース (PPI) は、ビデオ・エンコーダとビデオ・デコーダの両方に接続されるため、ビデオ信号処理アプリケーションの作成が可能になります。

DSPのUARTは、RS232ライン・ドライバとDB9オス・コネクタに接続されるため、PCやその他のシリアル・デバイスとのインターフェースが可能になります。

さらに、EZ-KIT Lite ボードは、プロセッサの多くのペリフェラル・ポートへのアクセスも提供します。アクセスは、3コネクタ拡張インターフェースという形で提供されます。拡張インターフェースの詳細については、[3-8ページ](#)の「[拡張インターフェース](#)」を参照してください。

マニュアルの目的

このマニュアルでは、ハードウェアを使用し、PCにソフトウェアをインストールする方法を説明し、作成したコードをADSP-BF533 EZ-KIT Liteで実行するためのガイドラインを提供します。さらに、評価ボードのコンポーネントの動作と設定についても説明します。最後に、ADSP-BF533の将来のボード設計の参考として回路図と部品表を示します。

対象とする読者

このマニュアルは、ADSP-BF533 EZ-KIT Lite評価システムのユーザーズ・ガイドおよび参考資料です。アナログ・デバイセズBlackfinプロセッサのアーキテクチャ、動作、およびプログラミングに精通しているプログラマを主な対象としています。

アナログ・デバイセズBlackfinプロセッサに不慣れなプログラマは、このマニュアルに加えて『ADSP-BF533 Processor Hardware Reference』と『Blackfin Processor Instruction Set Reference』をご利用ください。これらのマニュアルでは、プロセッサのアーキテクチャと命令セットについて説明しています。VisualDSP++に不慣れなプログラマは、VisualDSP++のオンライン・ヘルプと、「VisualDSP++ユーザーズ・ガイド」または「入門ガイド」を参照してください。これらのドキュメントについては、「[関連ドキュメント](#)」を参照してください。

マニュアルの内容

マニュアルの構成：

- 第1章「はじめに」(1-1ページ)

ソフトウェアとハードウェアのインストール手順、PC システムの条件、および基本的なボード情報について説明します。

- 第2章「EZ-KIT Liteの使い方」(2-1ページ)

プログラマの観点から見た EZ-KIT Lite の情報と、使いやすいメモリ・マップを提供します。

- 第3章「EZ-KIT Liteハードウェア・リファレンス」(3-1ページ)

評価システムのハードウェア面に関する情報を提供します。

- 付録A「部品表」(A-1ページ)

EZ-KIT Lite ボードの製造に使用される部品の一覧を示します。

- 付録B「回路図」(B-1ページ)

EZ-KIT Lite のボードレベルのデバッグングを行ったり、リファレンス設計として使用するためのリソースを提供します。

この付録はオンライン・ヘルプの一部ではありません。オンライン・ヘルプで回路図を参照するには、インストール用 CD の Docs\EZ-KIT Lite Manuals フォルダにある、PDF 版の『ADSP-BF533 EZ-KIT Lite Evaluation System Manual』をご覧ください。

マニュアルの最新情報

この改訂版では、ブート・モードとコア電圧源選択ジャンパについての最新の回路図と情報を提供します。

テクニカル／カスタマ・サポート

DSPツール・サポートは、以下の方法でご利用になれます。

- DSP開発ツールのWebサイト

www.analog.com/jp/processors/tools

- 電子メールでのお問い合わせ

marcom.japan@analog.com

- アナログ・デバイセズの正規販売代理店

www.analog.com/intl/japan/salesdir/index.html

サポートするプロセッサ

ADSP-BF533 EZ-KIT Lite評価システムは、ADSP-BF533 Blackfin組込みプロセッサをサポートします。

製品情報

製品情報は、アナログ・デバイセズWebサイト、製品のCD-ROM、または印刷刊行物（マニュアル）で取得できます。

アナログ・デバイセズWebサイトのURLは、www.analog.com/jpです。このWebサイトでは、アナログ集積回路、アンプ、コンバータ、デジタル・シグナル・プロセッサなど、広範囲の製品についての情報を提供します。

■ MyAnalog.com

MyAnalog.com は、アナログ・デバイセス Web サイトの無料機能で、Web ページをカスタマイズして興味のある製品の最新情報だけを表示できます。また、興味のある Web ページの更新情報を、週に一度電子メールで受け取ることもできます。MyAnalog.com では、書籍、アプリケーション・ノート、データシート、コーディング例などにアクセスできます。

登録：

www.myanalog.com で登録できます。MyAnalog.com を使用するには、Register をクリックしてください。登録の所要時間は約 5 分です。その後、受け取りたい情報を選択できます。

すでに登録されたユーザの場合には、そのままログオンします。ユーザ名は、ユーザの電子メール・アドレスです。

■ DSP 製品情報

デジタル・シグナル・プロセッサの詳細については、当社の Web サイト (www.analog.com/jp/DSP) をご覧ください。技術刊行物、データシート、アプリケーション・ノート、製品概要、製品発表にアクセスできます。

■ 関連ドキュメント

製品関連の開発ソフトウェアの詳細については、以下の刊行物を参照してください。

記載されたドキュメントについては、VisualDSP++ システムの Docs フォルダまたはオンライン・ヘルプを参照してください。大部分のドキュメントは印刷物でも入手できます。



EZ-KIT Lite ボードを JTAG エミュレータと組み合わせて使用する場合には、エミュレータに添付のドキュメントを参照してください。

表 1. 関連する DSP 刊行物

書名	説明
ADSP-BF533 Embedded Processor Datasheet	一般的な機能説明、ピン配置、タイミング
ADSP-BF533 Blackfin Processor Hardware Reference	プロセッサの内部アーキテクチャと全レジスタの機能の説明
Blackfin Processor Instruction Set Reference	使用できる全プロセッサのアセンブリ命令の説明

表 2. 関連する VisualDSP++ 刊行物

書名	説明
VisualDSP++ 3.5 User's Guide for 16-Bit Processors	VisualDSP++ 3.5 の特長と使い方の詳細な説明
VisualDSP++ 3.5 Assembler and Preprocessor Manual for Blackfin Processors	Blackfin プロセッサのアセンブラ機能とコマンドの説明
VisualDSP++ 3.5 C/C++ Compiler and Library Manual for Blackfin Processors	Blackfin プロセッサのコンパイラ機能とコマンドの説明
VisualDSP++ 3.5 Linker & Utilities Manual for 16-Bit Processors	16 ビット・プロセッサのリンカ機能とコマンドの説明
VisualDSP++ 3.5 Loader Manual for 16-Bit Processors	16 ビット・プロセッサのローダー/スプリッタ機能とコマンドの説明

■ オンライン・ドキュメント

ソフトウェア・インストール・キットには、Windows[®] インターフェースの一部としてオンライン・ヘルプが組み込まれています。これらのヘルプ・ファイルは、VisualDSP++ と ADSP-BF533 EZ-KIT Lite 評価システムについての情報を提供します。

VisualDSP++ のヘルプを表示するには、**Help** メニュー項目をクリックするか、Windows のタスクバーで **スタート** → **プログラム** → **Analog Devices** → **VisualDSP for 16-bit Processors** → **VisualDSP++ Documentation** を選択します。

今ではVisualDSP++ヘルプ・システムの一部となっている、ADSP-BF533 EZ-KIT Liteのヘルプを表示するには、Help ウィンドウのContents タブでManuals → Hardware Tools → EZ-KIT Lite. Evaluation Systems を選択します。

ドキュメントの詳細については、下記のURLをご覧ください。

<http://www.analog.com/processors/Japan/resources/technicalLibrary>

■ 印刷物

資料のご請求に関しましては、フリーダイヤル0120-390769（サンキューアナログ）までお問い合わせください。

▶ VisualDSP++ のドキュメンテーション・セット

VisualDSP++マニュアルは、アナログ・デバイセズのWebサイトからダウンロードが可能です。印刷物をご希望の場合は、併設のフリーダイヤルまでお問い合わせください。

▶ ハードウェア・マニュアル

ハードウェア・リファレンス・マニュアルと命令セット・リファレンス・マニュアルは、アナログ・デバイセズのWebサイトからダウンロードが可能です。印刷物をご希望の場合は、併設のフリーダイヤルまでお問い合わせください。

▶ データシート

データシートはすべて、アナログ・デバイセズのWebサイトからダウンロードが可能です。印刷物をご希望の場合は、併設のフリーダイヤルまでお問い合わせください。

■ DSP 刊行物へのご意見

当社のマニュアルおよびオンライン・ヘルプについてのご意見・ご提案は、下記のアドレスにお寄せください。

marcom.japan@analog.com

表記規則

このマニュアルで使用する表記規則について、以下の表で説明します。

 このドキュメントでは、特定の章にだけ適用される表記規則が追加されることもあります。

例	説明
Close コマンド (File メニュー) または OK	太字スタイルのテキストは、VisualDSP++ 環境およびボードのメニュー・システム内の項目、およびユーザ・インターフェース項目であることを示します。
{this that}	構文説明での選択必須項目は、中カッコ内に縦棒で区切って示されます。この例は、this または that と解釈します。
[this that]	構文説明での省略可能項目は、大カッコ内に縦棒で区切って示されます。この例は、省略可能な this または that と解釈します。
[this, ...]	構文説明での省略可能な項目リストは、大カッコ内にカンマで区切った省略記号で示されます。この例は、this の省略可能なカンマ区切りリストと解釈します。
PF9-0	レジスタ、コネクタ、ピン、コマンド、ディレクティブ、キーワード、コーディング例、および機能名は、letter gothic フォントで示されます。
<i>filename</i>	キーワード以外のプレースフォルダは、斜体スタイルで示されます。
 注：	特に興味深い情報を提供したり、関連のトピックを示したりするためのものです。オンライン版のマニュアルでは、この記号の代わりに注という語が表示されます。
 注意：	製品の動作に影響を与える、重要な設計上またはプログラミング上の問題についての情報を提供するものです。オンライン版のマニュアルでは、この記号の代わりに注意という語が表示されます。

表記規則

第1章 はじめに

この章では、ADSP-BF533 EZ-KIT Lite 評価システムの使用を開始するために必要な情報を提供します。正しく動作させるために、[1-3ページの「インストール・タスク」](#)で説明する順序で、ソフトウェアとハードウェアをインストールします。

この章は、以下の節で構成されます。

- [「EZ-KIT Liteパッケージの内容」 1-1ページ](#)

この EZ-KIT Lite 評価システムに付属するコンポーネントの一覧を示します。

- [「PCの構成」 1-3ページ](#)

EZ-KIT Lite 評価システムで動作する PC の最低条件について説明します。

- [「インストール・タスク」 1-3ページ](#)

ハードウェアとソフトウェアのセットアップ手順を説明します。

EZ-KIT Lite パッケージの内容

ADSP-BF533 EZ-KIT Lite 評価システムのパッケージには、以下が含まれます。

- ADSP-BF533 EZ-KIT Lite ボード
- EZ-KIT Lite Quick Start Guide

EZ-KIT Lite パッケージの内容

- VisualDSP++ 3.5 Installation Quick Reference Card
- 以下の内容を含むCD：
 - ✓ 限定ライセンス付きの16ビット・プロセッサ用VisualDSP++
 - ✓ ADSP-BF533 EZ-KIT Lite デバッグ・ソフトウェア
 - ✓ USB ドライバ・ファイル
 - ✓ プログラム例
 - ✓ *ADSP-BF533* EZ-KIT Lite 評価システム・マニュアル
- 7.5Vの汎用DC電源
- USB 2.0タイプのケーブル
- 登録カード（記入の上、ご返送ください）

不足する項目がある場合には、EZ-KIT Liteのご購入先またはアナログ・デバイセズまでご連絡ください。

EZ-KIT Lite 評価システムには、ESD（静電放電）の影響を受けやすいデバイスが含まれています。人体や試験機器には静電気が蓄積されやすく、知らない間に放電されます。デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。性能の低下や機能の喪失を防止するために、適切な ESD 予防措置を講じることをお勧めします。未使用の EZ-KIT Lite ボードは、出荷時の保護用パッケージに保管してください。



PC の構成

VisualDSP++ ソフトウェアと EZ-KIT Lite が正しく動作するための、PC の最小構成を次に示します。

Windows 98、Windows 2000、Windows XP
Intel（または同等の）333MHz プロセッサ
VGA モニタとカラー・ビデオ・カード
2 ボタン・マウス
ハード・ドライブに 200MB の空き領域
128MB RAM
フルスピード USB ポート
CD-ROM ドライブ

 EZ-KIT Lite は、Windows 95 や Windows NT では動作しません。

インストール・タスク

ADSP-BF533 EZ-KIT Lite を安全かつ効果的に使用するために、次のタスク・リストを提供しています。ソフトウェアとハードウェアの正しい動作のために、以下の指示と順番に従ってください。

1. VisualDSP++ と EZ-KIT Lite ソフトウェアのインストール
2. VisualDSP++ ライセンスのインストールおよび登録
3. EZ-KIT Lite ハードウェアのセットアップ
4. EZ-KIT Lite の USB ドライバのインストール
5. USB ドライバのインストールの確認
6. VisualDSP++ の起動

■ VisualDSP++ と EZ-KIT Lite ソフトウェアのインストール

このEZ-KIT Liteは、16ビット・プロセッサ用のVisualDSP++ 3.5の最新バージョンに付属しています。VisualDSP++のインストールには、EZ-KIT Liteのインストールが含まれます。

VisualDSP++とEZ-KIT Liteソフトウェアをインストールするには：

1. VisualDSP++ インストール用 CD を CD-ROM ドライブに挿入します。
2. ご使用の PC で自動再生が有効である場合には、**Install Shield Wizard Welcome** 画面が表示されます。そうでない場合には、**スタートメニュー**から**ファイル名を指定して実行**を選択し、**名前**フィールドに `D:\¥ADI_Setup.exe` と入力します。ここで、D はご使用の CD-ROM ドライブの名前です。
3. 画面に表示される指示に従って、ソフトウェアのインストールを続行します。
4. **Custom Setup** 画面で使用可能なシステムのリストから **EZ-KIT Lite** を選択し、**インストール・ディレクトリ**を選択します。

Feature Description フィールドのアイコンをクリックして、選択したシステムの説明を表示します。終わったら、**次へ**をクリックします。

5. **Ready to Install** 画面でインストール・オプションを変更するには **Back**、ソフトウェアをインストールするには **Install**、インストールを終了するには **Cancel** をクリックします。
6. **EZ-KIT Lite** がインストールされると、**Wizard Completed** 画面が表示されます。終了するには **Finish** をクリックします。

■ VisualDSP++ ライセンスのインストールと登録

VisualDSP++とEZ-KIT Liteは許諾製品です。購入されたライセンスごとに、ソフトウェアのコピーを1つだけ実行することができます。VisualDSP++またはEZ-KIT Liteソフトウェアの新しいコピーをPCにインストールしたら、自分のライセンスをインストール、登録、および検証する必要があります。

ライセンスのインストールと登録のプロセスについては、ご使用のパッケージに同封されている『VisualDSP++ 3.5 Installation Quick Reference Card』（タスク1、2、3）をご覧ください。

■ EZ-KIT Lite ハードウェアのセットアップ

EZ-KIT Lite 評価システムには、ESD（静電放電）の影響を受けやすいデバイスが含まれています。人体や試験機器には静電気が蓄積されやすく、知らない間に放電されます。デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。性能の低下や機能の喪失を防止するために、適切な ESD 予防措置を講じることをお勧めします。未使用の EZ-KIT Lite ボードは、出荷時の保護用パッケージに保管してください。



ADSP-BF533 EZ-KIT Lite ボードは、スタンドアロン・ユニットとして、パソコンの外部で動作するように設計されています。コンピュータのケースを開ける必要はありません。

EZ-KIT Lite ボードを接続するには：

1. パッケージから EZ-KIT Lite ボードを取り外します。部品の損傷を防ぐため、ボードを扱うときには静電気放電を回避するよう注意してください。
2. [図 1-1](#) は、デフォルトのジャンパ設定、DIP スイッチ、コネクタの位置、システムで使用する LED を示します。最初に、ボードがデフォルト設定になっていることを確認します。

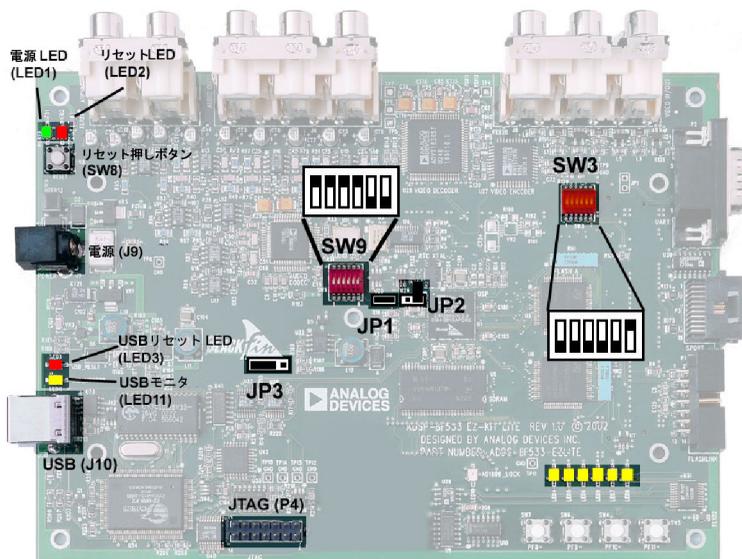


図 1-1. EZ-KIT Lite のハードウェア・セットアップ

3. 提供された電源を EZ-KIT Lite ボードの J9 に接続します。緑の電源 LED (LED1) の点灯を目視で確認します。また、2 つの赤のリセット LED (LED2 と LED3) が、一瞬点灯してから消えることを確認します。
4. USB ケーブルの一端を PC の使用可能なフルスピード USB ポートに接続し、他端を ADSP-BF533 EZ-KIT Lite ボードの J10 に接続します。

■ EZ-KIT Lite の USB ドライバのインストール

以下のプラットフォームにインストールされた EZ-KIT Lite 評価システムでは、フルスピード USB ポート (×1) が必要です。

- 1-7 ページの「[Windows 98 の USB ドライバ](#)」では、Windows 98 へのインストールを説明します。
- 1-11 ページの「[Windows 2000 の USB ドライバ](#)」では、Windows 2000 へのインストールを説明します。

- 1-12ページの「Windows XPのUSBドライバ」では、Windows XPへのインストールを説明します。

デバッグ・エージェントで使用するUSBドライバは、マイクロソフト認定ではありません。このドライバは商業環境を対象とせず、開発環境やラボ環境を対象としているためです。

▶ Windows 98 の USB ドライバ

初めてADSP-BF533 EZ-KIT Liteを使用する前に、Windows 98のUSBドライバをインストールする必要があります。

USBドライバをインストールするには：

1. CD を CD-ROM ドライブに挿入します。

デバイスをUSBポートに接続すると、[図 1-2](#)に示すように、Windows 98の新しいハードウェアの追加ウィザードが起動します。



図 1-2. Windows 98—新しいハードウェアの追加ウィザード

2. 次へをクリックします。

インストール・タスク

3. 図 1-3 に示すように、使用中のデバイスに最適なドライバを検索する（推奨）を選択します。



図 1-3. Windows 98—ドライバを検索

4. 次へをクリックします。
5. 図 1-4 に示すように、CD-ROM ドライブを選択します。



図 1-4. Windows 98—CD-ROM を検索

6. 次へをクリックします。

図 1-5 に示すように、Windows 98 はインストール用 CD の WmUSBEz.inf ファイルを検索します。



図 1-5. Windows 98—ドライバを検索

7. 次へをクリックします。

ファイルをコピーしています ... ダイアログ・ボックスが表示されます (図 1-6)。

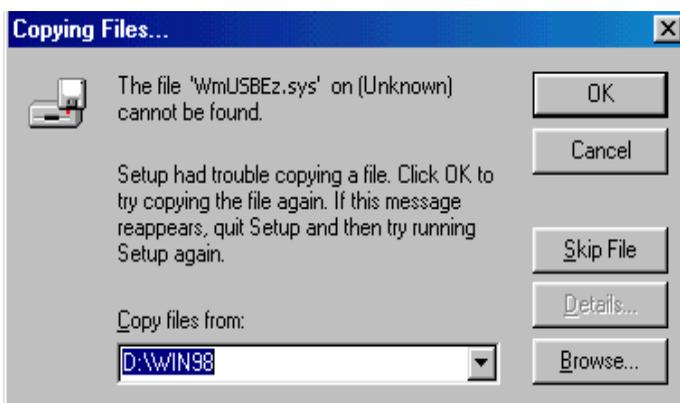


図 1-6. Windows 98—.SYS ファイルを検索

インストール・タスク

8. 参照をクリックします。

図 1-7 に示す開くダイアログ・ボックスが現われます。

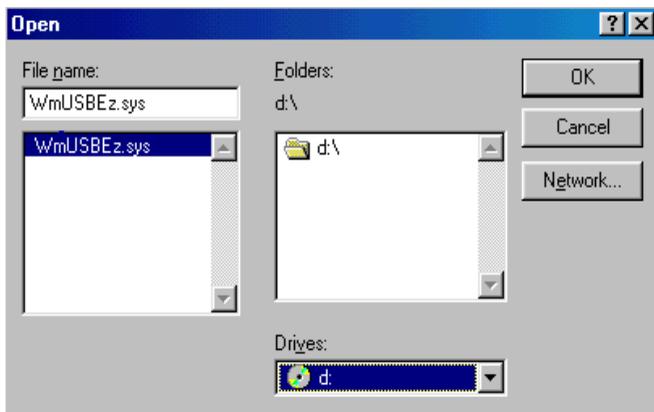


図 1-7. Windows 98—.SYS ファイルを開く

9. ドライブでは、ご使用の CD-ROM ドライブを選択します。

10. OK をクリックします。

ファイルをコピーしています ... ダイアログ・ボックス (図 1-8) が表示されます。

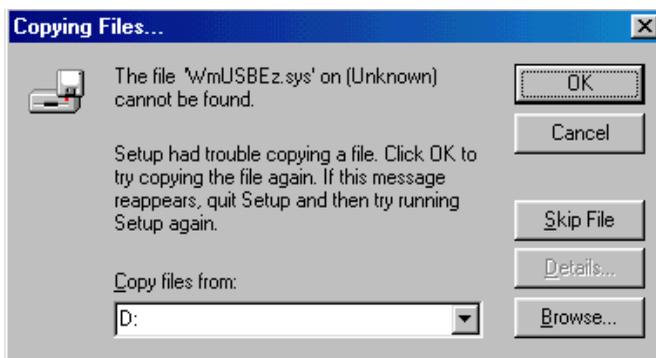


図 1-8. Windows 98—.SYS ファイルをコピー

11. OK をクリックします。

これでドライバのインストールが完了します (図 1-9)。



図 1-9. Windows 98—ソフトウェアのインストールが完了

12. 完了をクリックしてウィザードを終了します。

1-14 ページの「ドライバのインストールの確認」の指示に従って、インストールを確認します。

▶ Windows 2000 の USB ドライバ

VisualDSP++ 3.5 のインストール・ソフトウェアは、選択された EZ-KIT Lite に必要なドライバをプリインストールします。また、システム内に古いドライバが検出された場合には、そのドライバをアップグレードします。

- ⊘ VisualDSP++ 3.5 インストーラを実行する前に、他のハードウェアウィザード・ウィンドウがバックグラウンドで実行されていないことを確認します。実行中のウィザード・ウィンドウがある場合には、それらのウィンドウを閉じてからインストーラを起動します。

USB ドライバをインストールするには：

1. VisualDSP++ 3.5 がすでにシステムにインストールされている場合には、ステップ 2 に進みます。そうでない場合には、VisualDSP++ 3.5 のインストールを実行します。インストールの詳細については、『VisualDSP++ 3.5 Installation Quick Reference Card』を参照してください。
VisualDSP++ 3.5 を Windows 2000 にインストールする際には、適切な EZ-KIT Lite コンポーネントがインストール用に選択されていることを確認します。
2. EZ-KIT Lite デバイスを PC の USB ポートに接続します。
Windows 2000 は、EZ-KIT デバイスを自動的に検出し、選択されたデバイスに適切なドライバを自動的にインストールします（ステップ 1 を参照）。
3. 1-14 ページの「[ドライバのインストールの確認](#)」の指示に従って、インストールを確認します。

▶ Windows XP の USB ドライバ

VisualDSP++ 3.5 のインストール・ソフトウェアは、選択された EZ-KIT Lite に必要なドライバをプリインストールします。また、システム内に古いドライバが検出された場合には、そのドライバをアップグレードします。



VisualDSP++ 3.5 インストーラを実行する前に、他のハードウェアウィザード・ウィンドウがバックグラウンドで実行されていないことを確認します。実行中のウィザード・ウィンドウがある場合には、それらのウィンドウを閉じてからインストーラを起動します。

USB ドライバをインストールするには：

1. VisualDSP++ 3.5 がすでにシステムにインストールされている場合には、ステップ 2 に進みます。そうでない場合には、VisualDSP++ 3.5 のインストールを実行します。インストールの詳細については、『VisualDSP++ 3.5 Installation Quick Reference Card』を参照してください。

VisualDSP++ 3.5 を Windows XP にインストールする際には、適切な EZ-KIT Lite コンポーネントがインストール用に選択されていることを確認します。

2. EZ-KIT Lite デバイスを PC の USB ポートに接続します。
デバイスを USB ポートに接続すると、[図 1-10](#) に示すように、Windows XP の新しいハードウェアの検出ウィザードが起動します。



図 1-10. Windows XP—新しいハードウェアの検出ウィザード

インストール・タスク

3. ソフトウェアを自動的にインストールする（推奨）を選択し、次へをクリックします。
選択されたデバイスのドライバのインストールが完了すると（ステップ 1 を参照）、[図 1-11](#) に示すウィンドウが表示されます。



図 1-11. Windows XP—ドライバのインストールが完了

4. 「[ドライバのインストールの確認](#)」の指示に従って、インストールを確認します。

■ ドライバのインストールの確認

EZ-KIT Lite 評価システムをご使用になる前に、USB ドライバのソフトウェアが正しくインストールされていることを確認します。

1. USB ケーブルが評価ボードと PC に接続されていることを確認します。
2. 黄色の USB モニタ LED（LED11）の点灯を確認します。これは、ボードがホスト PC と適切に通信しており、VisualDSP++ を実行する準備ができていることを示します。

3. USB ドライバ・ソフトウェアが適切にインストールされていることを確認します。
Windows のデバイス マネージャを開き、[図 1-12](#) に示すように、ADI Development Tools の下に ADSP-BF533 EZ-KIT Lite が感嘆符なしで表示されることを確認します。



図 1-12. デバイス マネージャのウィンドウ

-  EZ-KIT Lite を Windows 98 で使用する場合には、USB ケーブルをボードから切り離してから、PC をブートします。Windows 98 がブートされ、ログオンしてから、USB ケーブルをボードに再接続します。この時点から、通常の動作を継続してください。

■ VisualDSP++ の起動

VisualDSP++ でセッションを設定するには :

1. 黄色の USB モニタ LED (USB コネクタの近くにある LED11) が点灯することを確認します。これは、ボードがホスト PC と適切に通信しており、VisualDSP++ を実行する準備ができていることを示します。

インストール・タスク

2. コントロール (CTRL) キーを押し下げます。
3. Windows のタスクバーで**スタートボタン**を選択し、**プログラム、Analog Devices、VisualDSP++ 3.5 for 16-bit Processors、VisualDSP++ Environment** を選択します。

初めて VisualDSP++ を実行する場合には、ステップ 4 に進みます。既存のセッションがある場合には、**Session List** ダイアログ・ボックスが表示されます。

4. **New Session** をクリックします。
5. 図 1-13 に示す、**New Session** ダイアログ・ボックスが表示されます。

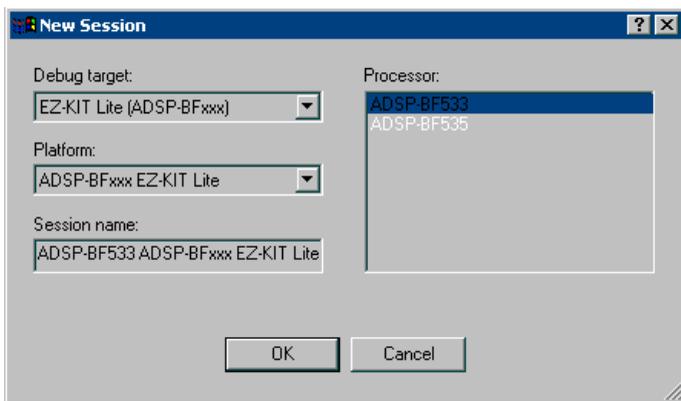


図 1-13. New Session ダイアログ・ボックス

6. Debug Target で、EZ-KIT Lite (ADSP-BFxxx) を選択します。
7. Processor で、適切なプロセッサ ADSP-BF533 を選択します。
8. Session Name に新しいターゲット名を入力するか、デフォルト名を受け入れます。
9. OK をクリックして Session List に戻ります。新しいセッションを反転表示させ、Activate をクリックします。

第2章 EZ-KIT LITEの使い方

この章では、ADSP-BF533 EZ-KIT Lite 評価システムのプログラム開発に役立つ情報を提供します。以下の節で構成されます。

- [「EZ-KIT Lite ライセンスの制約」 2-2 ページ](#)

EZ-KIT Lite に付属の VisualDSP++ ライセンスの制約について説明します。

- [「メモリ・マップ」 2-2 ページ](#)

ADSP-BF533 EZ-KIT Lite ボードのメモリ・マップを規定します。

- [「SDRAM インターフェースの使い方」 2-4 ページ](#)

内蔵 SDRAM を設定するためのレジスタ値を規定します。

- [「フラッシュ・メモリの使い方」 2-6 ページ](#)

内蔵フラッシュ・メモリについて説明します。

- [「プログラム例」 2-14 ページ](#)

ADSP-BF533 EZ-KIT Lite 評価システムに組み込まれているプログラム例についての情報です。

- [「バックグラウンド・テレメトリ・チャンネルの使い方」 2-14 ページ](#)

VisualDSP++ のバックグラウンド・テレメトリ・チャンネル機能の利点を説明します。

EZ-KIT Lite ライセンスの制約

- ・ [「EZ-KIT Lite VisualDSP++インターフェースの使い方」2-15ページ](#)

EZ-KIT Lite システムのトレース、性能モニタリング、ブート・ローディング、コンテキスト切り替え、およびターゲット・オプションの各機能について説明します。

ADSP-BF533 Blackfin プロセッサのプログラミングの詳細については、「[関連ドキュメント](#)」を参照してください。

EZ-KIT Lite ライセンスの制約

EZ-KIT Lite に付属のライセンスには、以下の制約があります。

- ・ ユーザ・プログラムのサイズは、ADSP-BF533 プロセッサの 20KB の内部メモリ・スペースに制限されます。
- ・ シミュレータ/エミュレータ・セッションへの接続は許可されません。
- ・ キット・ライセンス付きの VisualDSP++ を使用するには、EZ-KIT Lite ハードウェアを接続してパワーアップする必要があります。

メモリ・マップ

ADSP-BF533 プロセッサの内部 SRAM は、命令やデータの格納に使用できます。内部 SRAM の構成については、『[ADSP-BF533 Processor Hardware Reference](#)』を参照してください。

ADSP-BF533 EZ-KIT Lite ボードには、SDRAM とフラッシュ・メモリの 2 種類の外部メモリがあります。

SDRAM のサイズは 32M バイト (16M × 16 ビット) です。プロセッサのメモリ・セレクト・ピン_{~SMS0} は、SDRAM 用に設定されています。

フラッシュ・メモリは、2つのデュアルバンク・フラッシュ・メモリ・デバイスで実装します。これらのデバイスは、内部SRAMとレジスタに加えて、プライマリとセカンダリのフラッシュ・メモリを含みます。プライマリ・フラッシュ・メモリの合計は2Mバイトで、1Mバイトずつ、2つの独立した非同期メモリ・バンクにマッピングされます。セカンダリ・フラッシュ・メモリは、SRAMやレジスタとともに、非同期メモリ・スペースの3番目のバンクを占有します。その目的で、プロセッサのメモリ・セレクト・ピン~AMS0、~AMS1、~AMS2を使用します。

表 2-1. EZ-KIT Lite 評価ボードのメモリ・マップ

	開始アドレス	終了アドレス	内容
外部 メモリ	0x0000 0000	0x07FF FFFF	SDRAM バンク 0 (SDRAM)。2-4 ページの「 SDRAM インターフェースの使い方 」を参照。
	0x2000 0000	0x2000 FFFF	ASYNC メモリ・バンク 0 (プライマリ・フラッシュ A)。2-6 ページの「 フラッシュ・メモリの使い方 」を参照。
	0x2010 0000	0x201F FFFF	ASYNC メモリ・バンク 1 (プライマリ・フラッシュ B)。2-6 ページの「 フラッシュ・メモリの使い方 」を参照。
	0x2020 0000	0x202F FFFF	ASYNC メモリ・バンク 2 (フラッシュ A と B のセカンダリ・メモリ、SRAM、内部レジスタ)。2-6 ページの「 フラッシュ・メモリの使い方 」を参照。
	その他すべてのアドレス		未使用

SDRAM インターフェースの使い方

表 2-1. EZ-KIT Lite 評価ボードのメモリ・マップ (続き)

	開始アドレス	終了アドレス	内容
内部 メモリ	0xFF80 0000	0xFF80 3FFF	データ・バンク A SRAM 16KB
	0xFF80 4000	0xFF80 7FFF	データ・バンク A SRAM / キャッシュ 16KB
	0xFF90 0000	0xFF90 3FFF	データ・バンク B SRAM 16KB
	0xFF90 4000	0xFF90 7FFF	データ・バンク B SRAM / キャッシュ 16KB
	0xFFA0 0000	0xFFA0 FFFF	命令 SRAM 64KB
	0xFFA1 0000	0xFFA1 3FFF	命令 SRAM / キャッシュ 16KB
	0xFFB0 0000	0xFFB0 0FFF	スクラッチ・パッド SRAM 4KB
	0xFFC0 0000	0xFFDF FFFF	システム MMR 2MB
	0xFFE0 0000	0xFFFF FFFF	コア MMR 2MB
		その他すべてのアドレス	

SDRAM インターフェースの使い方

MT48LC4M16ATG-75 16M × 16ビット (32MB) SDRAMメモリを使用するには、3つのSDRAMコントロール・レジスタを初期化する必要があります。VisualDSP++ EZ-KIT Liteセッションにある (つまり、エミュレータを使用せずに、USBデバッグ・インターフェースを使用している) とき、SDRAMレジスタは、デバッガを通じて自動的に設定されます。表 2-2 に示す値は、デバッガを通じてバンク 0 がアクセスされる (たとえば、メモリ・ウィンドウの表示やプログラムのロードなどの処理) たびに使用されます。これらの数値は、最大の柔軟性が得られるよう設定され、54 ~ 133MHz のシステム・クロック周波数で有効です。

表 2-2. EZ-KIT Lite セッションの SDRAM デフォルト設定¹

レジスタ	値	機能
EBIU_SDGCTL	0x0091998D	SCLK = 133MHz で計算 16 ビット・データ・バス 外部バッファリング・タイミングはディスエーブル t _{WR} = 2 SCLK サイクル t _{RCD} = 3 SCLK サイクル t _{RP} = 3 SCLK サイクル t _{RAS} = 6 SCLK サイクル プリフェッチはディスエーブル CAS レイテンシ= 3 SCLK サイクル SCLK1 はディスエーブル
EBIU_SDBCTL	0x00000013	バンク 0 はイネーブル バンク 0 のサイズ= 32MB バンク 0 の列アドレス幅= 9 ビット
EBIU_SDRRC	0x000001A0	SCLK = 54MHz で計算 RDIV = 416 クロック・サイクル

1 54MHz <=SCLK <= 133MHz

EBIU_SDGCTL レジスタは、チップを最初にセルフリフレッシュ・モードにすることで、ユーザ・コード内での書き換えのみが可能です (ADSP-BF533 Blackfin プロセッサ・リファレンスを参照)。Settings プルダウン・メニューからアクセスできる Target Options ダイアログ・ボックスの該当するチェックボックスをクリアすると自動機能が無効になり、手動設定が可能になります。詳細については、2-18 ページの「ターゲット・オプション」を参照してください。

SDRAM の自動設定は、どの SCLK 周波数にも最適化されていません。表 2-3 には、118.8MHz、126MHz、および 133MHz の SCLK を使用する SDRAM レジスタに対して最適化された設定を示します。内部電圧レギュレータを使用する場合の EZ-KIT Lite の最大周波数である、594MHz のコア周波数を使用するとき、SCLK の最大周波数は 118.8MHz です。最大性能を達成するには、ユーザ・コードで EBIU_SDRRC レジスタだけを変更する必要があります。

フラッシュ・メモリの使い方

表 2-3. SDRAM の最適設定

レジスタ	SCLK = 133 MHz (プロセッサ MAX)	SCLK = 126 MHz (CCLK = 756 MHz)	SCLK = 118.8 MHz (CCLK = 594 MHz)
EBIU_SDGCTL	0x0091 998D	0x0091 998D	0x0091 998D
EBIU_SDBCTL	0x0000 0013	0x0000 0013	0x0000 0013
EBIU_SDRRC	0x0000 0406	0x0000 03CF	0x0000 0397

EZ-KIT のインストール・ディレクトリには、SDRAM インターフェースのセットアップ方法を示すプログラム例が含まれています。

フラッシュ・メモリの使い方

以下の節では、フラッシュ・メモリ・デバイスの設定方法に加えて、メモリや汎用 IO ピンの使い方を説明します。

ADSP-BF533 EZ-KIT Lite ボードでは、STMicroelectronics 社の 2 つの PSD4256G6V フラッシュ/汎用 IO デバイスを採用しています。これらのデバイスは、フラッシュ・メモリだけではなく、メモリ・マッピングされる追加の IO ピンも備えています。

EZ-KIT インストール・ディレクトリには、汎用 IO ピンの機能の実動作方法に加えて、フラッシュ・メモリのプログラム方法を示すコード例が含まれています。

■ フラッシュ・メモリのマップ

各デバイスには、次のメモリ・セグメントが含まれます。

- 1M バイトのプライマリ・フラッシュ・メモリ
- 64K バイトのセカンダリ・フラッシュ・メモリ
- 32K バイトの内部 SRAM

- ・ 256バイトのコンフィギュレーション・レジスタ (IO制御)

各セグメントへのアクセスは、8ビットまたは16ビットとすることができます。そのために、プロセッサのメモリ・セレクト・ピン~AMS0、~AMS1、~AMS2を使用します。非同期メモリ・バンク0は、ハード・リセットの後では常にイネーブルです。一方、バンク1とバンク2は、ソフトウェアでイネーブルにする必要があります。表 2-4 に、非同期メモリ・コンフィギュレーション・レジスタの例を示します。

表 2-4. 非同期メモリ・コントロール・レジスタの設定例

レジスタ	値	機能
EBIU_AMBCTL0	0x7BB07BB0	バンク1とバンク0のタイミング・コントロール
EBIU_AMBCTL1 ビット15-0	0x7BB0	バンク2のタイミング・コントロール (バンク3は使用せず)
EBIU_AMGCTL ビット3-0	0xF	すべてのバンクをイネーブル

表 2-5 に示すように、各フラッシュ・チップは、プロセッサのアドレス・スペースにマッピングされるメモリ・セクタによって最初に構成されます。

表 2-5. フラッシュ・メモリのマップ

開始アドレス	終了アドレス	内容
0x2000 0000	0x200F FFFF	フラッシュ A プライマリ (1MB)
0x2010 0000	0x201F FFFF	フラッシュ B プライマリ (1MB)
0x2020 0000	0x2020 FFFF	フラッシュ A セカンダリ (64KB)
0x2024 0000	0x2024 7FFF	フラッシュ A SRAM (32KB)
0x2027 0000	0x2027 00FF	フラッシュ A レジスタ (256 バイト)
0x2028 0000	0x2028 FFFF	フラッシュ B セカンダリ (64KB)
0x202C 0000	0x202C 7FFF	フラッシュ B SRAM (32KB)
0x202E 0000	0x202E 00FF	フラッシュ B レジスタ (256 バイト)
その他すべてのアドレス		予約済み

■ フラッシュの汎用 IO

ここでは、フラッシュ A またはフラッシュ B の適切なレジスタの設定により制御する、汎用 IO 信号について説明します。これらのレジスタは、[2-7 ページの表 2-5](#) に示すように、プロセッサのアドレス・スペースにマッピングされます。

フラッシュ・デバイスの IO ピンは、A ~ G のラベルを付けた 8 ビット・ポートとして配置されます。一連の 8 ビット・レジスタは、各ポートに関連付けられています。これらのレジスタは、Direction、Data In、および Data Out です。なお、Direction レジスタと Data Out レジスタは、パワーアップ時やハードウェア・リセット時にオール・ゼロにクリアされます。

Direction レジスタは、IO ピンの方向を制御します。ビットが 0 の場合、対応するピンは入力として機能します。ビットが 1 の場合、対応するピンは出力です。これは 8 ビットの読み出し／書き込みレジスタです。

Data In レジスタでは、ポートのピンのステータスを読み出すことができます。これは 8 ビットの読み出し専用レジスタです。

Data Out レジスタでは、出力ピンを 0 にクリアしたり、1 に設定したりできます。これは 8 ビットの読み出し／書き込みレジスタです。

ADSP-BF533 EZ-KIT Lite ボードでは、フラッシュ A とフラッシュ B のポート A と B だけを採用しています。[表 2-6](#) にフラッシュ A、[表 2-7](#) にフラッシュ B のコンフィギュレーション・レジスタ・アドレスを示します (ポート A と B だけを記載)。以下のビットは、拡張ボード・コネクタに接続します。

- ・ フラッシュ A ポート B のビット 7 と 6
- ・ フラッシュ B ポート A のビット 7-0 と、ポート B のビット 7-0

表 2-6. フラッシュA ポートA,B のコンフィギュレーション・レジスタ

レジスタ名	ポートA アドレス	ポートB アドレス
Data In (読み出し専用)	0x2027 0000	0x2027 0001
Data Out (読み出し/書き込み)	0x2027 0004	0x2027 0005
Direction (読み出し/書き込み)	0x2027 0006	0x2027 0007

表 2-7. フラッシュB ポートA,B のコンフィギュレーション・レジスタ

レジスタ名	ポートA アドレス	ポートB アドレス
Data In (読み出し専用)	0x202E 0000	0x202E 0001
Data Out (読み出し/書き込み)	0x202E 0004	0x202E 0005
Direction (読み出し/書き込み)	0x202E 0006	0x202E 0007

表 2-8 と表 2-9 に、IO 割り当てを示します。

表 2-8. フラッシュ A ポート A の制御

ビット番号	ユーザ IO	ビット値
7	未定義	任意
6	未定義	任意
5	PPI クロック選択ビット 1	00 = 局部発振器 (27MHz)
4	PPI クロック選択ビット 0	01 = ビデオ・デコーダ・ピクセル・クロック 1X = 拡張ボード PPI クロック
3	ビデオ・デコーダ・リセット	0 = リセット・オン、1 = リセット・オフ
2	ビデオ・エンコーダ・リセット	0 = リセット・オン、1 = リセット・オフ
1	予約済み	任意
0	コーデック・リセット	0 = リセット・オン、1 = リセット・オフ

フラッシュ・メモリの使い方

表 2-9. フラッシュ A ポート B の制御

ビット番号	ユーザ IO	ビット値
7	未使用	任意
6	未使用	任意
5	LED9	0 = LED オフ、1 = LED オン
4	LED8	0 = LED オフ、1 = LED オン
3	LED7	0 = LED オフ、1 = LED オン
2	LED6	0 = LED オフ、1 = LED オン
1	LED5	0 = LED オフ、1 = LED オン
0	LED4	0 = LED オフ、1 = LED オン

■ フラッシュ・メモリの設定

フラッシュ・メモリは、完全に設定可能です。各フラッシュのデフォルト設定を変更するには、PSDsoft Express™ ソフトウェアを使用する必要があります。また、プロジェクトが変更された後で、FlashLINK™ を使用してフラッシュ・メモリをプログラムし直す必要があります。デフォルトのプロジェクト・ファイルは、¥...¥VisualDSP 32-Bit Processors¥ Blackfin¥EZ-KITs¥ADSP-BF533¥PSDConfigFiles ディレクトリにあります。なお、PSDsoft Express による PSD4256G6V の設定や、FlashLINK を使用した再プログラミングにつきましては、アナログ・デバイセズではサポートいたしません。技術的なお問い合わせは、電子メールで STMicroelectronics 社 (apps.psd@st.com) にお願ひします。

PSD4256G6V は、STMicroelectronics 社 (www.st.com/psd) から発売されている FlashLINK JTAG プログラミング・ケーブルを使用して、プログラムし直すことができます。FlashLINK は、PC の任意の平行ポートに接続できます。DSM2150 の設定を変更し、FlashLINK ケーブルを動作させるには、PSDsoft Express 開発ソフトウェアが必要です。PSDsoft Express は、www.st.com/psd から無料でダウンロードできます。

LED と押しボタンの使い方

EZ-KIT Liteは、汎用IO用の4つの押しボタンと6つのLEDを提供します。

6つのLEDには、LED4～LED9のラベルが付けてあり、フラッシュ・メモリ・インターフェースの汎用IOピンを通じてアクセスします。ピンの詳細なプログラム方法については、[2-8ページ](#)の「[フラッシュの汎用IO](#)」を参照してください。

4つの汎用押しボタンには、SW4～SW7のラベルが付けてあります。個々のボタンのステータスを読み出すには、プログラマブル・フラグ (PF) 入力であるPF8～PF11を使用します。対応するスイッチを押すとPFは“1”を示します。スイッチが押されていない場合、PFは“0”を示します。押しボタンとPF入力との接続は、SW9 DIPスイッチによって行います。詳細については、[3-12ページ](#)の「[押しボタン・イネーブル・スイッチ \(SW9\)](#)」を参照してください。

LEDと押しボタンの機能を実演するために、EZ-KITインストール・ディレクトリにはプログラム例が収められています。

オーディオの使い方

AD1836オーディオ・コーデックは、3チャンネルのステレオ・オーディオ出力と、2チャンネルのマルチチャンネル96kHz入力を提供します。プロセッサのSPORT0インターフェースは、AD1836コーデックのステレオ・オーディオ・データ入/出力ピンで連結されます。プロセッサは、時分割多重 (TDM) またはI²Sモードでオーディオ・コーデックにデータを転送できます。

I²Sモードでは、コーデックは96kHzのサンプル・レートで動作可能ですが、2チャンネルの出力しか使用できません。TDMモードでのサンプル・レートは最大48kHzですが、すべての入/出力チャンネルを同時に使用できます。I²Sモードを使用する場合、プロセッサのTFS0ピンとRFS0ピンだ

オーディオの使い方

けでなく、TSCLK0ピンとRSCLK0ピンも、プロセッサの外部で接続する必要があります。これにはSW9 DIPスイッチを使用します（詳細については、[3-12ページの「押しボタン・イネーブル・スイッチ \(SW9\)」](#)を参照してください)。

AD1836オーディオ・コーデックの内部コンフィギュレーション・レジスタは、プロセッサのSPIポートを使用して設定します。プロセッサのPF4プログラマブル・フラグ・ピンは、このデバイスの選択に使用します。マルチチャンネル・コーデックの設定方法については、下記のURLをご覧ください。

www.analog.com/UploadedFiles/Data_Sheets/344740003AD1836_prc.pdf

AD1836コーデックのリセットは、フラッシュAの汎用IOピンPA0によって行います。ピンの使い方の詳細については、[2-8ページの「フラッシュの汎用IO」](#)を参照してください。

AD1836コーデックを実動作するために、EZ-KITインストール・ディレクトリにはプログラム例が収められています。

ビデオの使い方

このボードは、ビデオの入／出力アプリケーションをサポートします。ADV7171 ビデオ・エンコーダでは、最高3つのアナログ・ビデオ出力チャンネルを提供します。一方、ADV7183 ビデオ・デコーダでは、最高3つのアナログ・ビデオ入力チャンネルを提供します。エンコーダとデコーダは、ADSP-BF533 プロセッサの平行・ペリフェラル・インターフェース (PPI) に接続されます。ビデオ・インターフェース・ハードウェアの詳細については、[3-6 ページの「PPI インターフェース」](#)を参照してください。

ビデオ・インターフェースの動作のために、以下の基本ステップを実行する必要があります。

1. アプリケーションの必要に応じて、SW3 DIP スイッチを設定します。詳細については、[3-11 ページの「ビデオ設定スイッチ \(SW3\)」](#)を参照してください。
2. ビデオ・デバイスへのリセットを除去します。詳細については、[2-8 ページの「フラッシュの汎用 IO」](#)を参照してください。
3. デコーダを使用する場合：
 - ✓ プログラマブル・フラグ出力 PF2 を “0” に駆動してデバイスをイネーブルにします。
 - ✓ PPI クロックを選択します ([2-9 ページの表 2-8](#)を参照)。
4. 使用中のビデオ・デバイスの内部レジスタをプログラムします。ビデオ・エンコーダとデコーダでは、2 線式シリアル・インターフェースを使用して内部レジスタにアクセスします。プログラマブル・フラグ PF0 はシリアル・クロック (SCL)、PF1 はシリアル・データ (SDAT) として、それぞれ機能します。
5. ADSP-BF533 プロセッサの PPI インターフェース (コンフィギュレーション・レジスタ、DMA など) をプログラムします。

プログラム例

ビデオ・インターフェースの機能を実演するために、EZ-KITインストール・ディレクトリにはプログラム例が収められています。

プログラム例

評価ボードのさまざまな機能を実動作するために、ADSP-BF533 EZ-KIT Liteにはプログラム例が収められています。これらのプログラムは、EZ-KIT Lite ソフトウェアと一緒にインストールされ、¥...¥VisualDSP 16-bit Processors¥Blackfin¥EZ-KITs¥ADSP-BF533¥Examples にあります。詳細については、プログラム例と一緒に提供される readme ファイルを参照してください。

バックグラウンド・テレメトリ・チャンネルの使い方

ADSP-BF533のUSBデバッグ・エージェントでは、バックグラウンド・テレメトリ・チャンネル (BTC) をサポートします。これによって、DSPの実行を中断することなく、VisualDSP++ とプロセッサとの間のデータ交換が容易になります。

BTCを使用すれば、ユーザは、プロセッサの実行を中断することなく、更新または変更された変数を表示できます。高速の読み書きなどBTCの性能を高めるには、下記のURLで当社の最新のDSPエミュレータ・シリーズをご確認ください。

www.analog.com/processors/resources/crosscore/emulators/index.html

バックグラウンド・テレメトリ・チャンネルの詳細については、『VisualDSP++ 3.5 User's Guide for 16-Bit Processors』またはオンライン・ヘルプを参照してください。

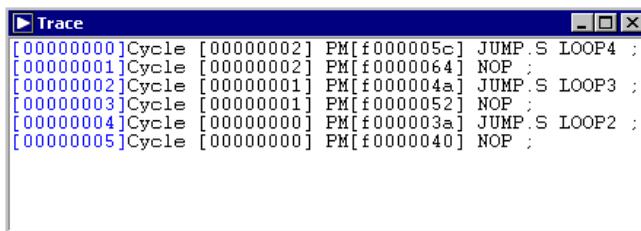
EZ-KIT Lite VisualDSP++ インターフェースの 使い方

ここでは、VisualDSP++ グラフィカル・ユーザ・インターフェースの以下のパーツについて説明します。

- ・ 「トレース・ウィンドウ」 2-15 ページ
- ・ 「パフォーマンス・モニタ」 2-16 ページ
- ・ 「ブート・ロード」 2-18 ページ
- ・ 「ターゲット・オプション」 2-18 ページ
- ・ 「制約付きのソフトウェア・ブレイクポイント」 2-21 ページ

■ トレース・ウィンドウ

View→Debug Windows メニューから Trace コマンドを選択すると、Trace ウィンドウが開きます (図 2-1)。



```
Trace
[00000000] Cycle [00000002] PM[f000005c] JUMP.S LOOP4 ;
[00000001] Cycle [00000002] PM[f0000064] NOP ;
[00000002] Cycle [00000001] PM[f000004a] JUMP.S LOOP3 ;
[00000003] Cycle [00000001] PM[f0000052] NOP ;
[00000004] Cycle [00000000] PM[f000003a] JUMP.S LOOP2 ;
[00000005] Cycle [00000000] PM[f0000040] NOP ;
```

図 2-1. Trace ウィンドウ

トレース・バッファには、プログラム・シーケンサによって取得したプログラム・フローの最後の変更履歴 16 回分が格納されます。プログラム・シーケンサの最新のパスを再現するには、この履歴をご覧ください。

トレース・バッファは、リセット・サービス・ルーチンにある間、もしくはゼロオーバーヘッド・ループに起因するフロー変化については、追跡を行いません。

 トレース・バッファを使用するには、プログラムがリセット・サービス・ルーチンを抜け出している必要があります。

▶ トレース・バッファをイネーブルにする

Trace ウィンドウにトレース履歴を表示するには、まず、トレース・バッファをイネーブルにします (Tools→Trace メニューから **Enable Trace** を選択します)。停止のたびに、Trace ウィンドウは、前回の停止以降に発生した変更によって更新されます。トレース・バッファを読み出すと、トレース・バッファの内容が破壊され、前回の実行より前に保存されていた情報は廃棄されます。

▶ トレース・バッファ・データの読み出し

青色の大カッコ内の最初の列は、Trace ウィンドウでの行番号を示します。

大カッコ内の2番目の列は、縦方向のペアで表示され、トレース番号を示します。各ペアでは、最初 (上側) がソース・トレースであり、2番目 (下側) がデスティネーション・トレースです。大カッコ内の3番目の列は、命令のアドレスを示します。各アドレスには、アセンブリ命令が続きます。

トレースは、上方に成長します。2-15 ページの図 2-1 では、トレース0はトレース1の前に発生し、トレース1はトレース2の前に発生したものです。

■ パフォーマンス・モニタ

Settings メニューから Performance Monitor を選択すると、図 2-2 に示す Performance Monitor Control ダイアログ・ボックスが開きます。ダイアログ・ボックスの説明を、2-17 ページの表 2-10 に示します。

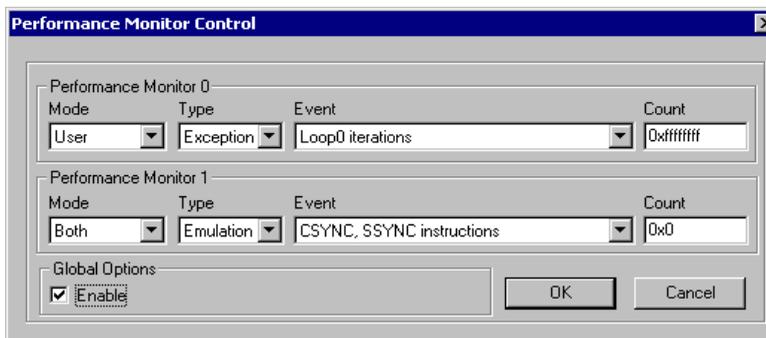


図 2-2. Performance Monitor ダイアログ・ボックス

Performance Monitor は32ビット・カウンタであり、コア内でのイベントの出現を追跡することによって、システム動作を解析できます。カウンタがゼロになると、**Type** オプションによって規定された、例外またはエミュレーション・イベントを引き起こします。

表 2-10. Performance Monitor のオプション

オプション	説明
Enable	性能モニタリングをイネーブルにします。
Mode	イベント追跡の動作モードを決定： Disabled : モニタをディスエーブルにします。 User : ユーザ・モードで追跡します。 Supervisor : スーパーバイザ・モードで追跡します。 Both : ユーザ・モードとスーパーバイザ・モードの両方で追跡します。
Type	マッチ時に発生するイベントのタイプを決定： Exception : 例外を発生させます。この例外を検出および処理するハンドラをインストールできます。 Emulation : DSP を停止させます。

表 2-10. Performance Monitor のオプション（続き）

オプション	説明
Event	追跡されるイベントを指定します。詳細については、ご使用のプロセッサの『Hardware Reference』を参照してください。イベントには、ストール、キャッシュのヒット/ミス、ループの繰り返し、ブランチ、割り込み、ロード、ストア、DMA アクセスなどが含まれます。
Count	カウントを指定します。32 ビット・カウンタがゼロになると、例外またはエミュレーション・イベントが発生します。たとえば、3 番目に出現したイベントで停止するには、count に 0xFFFFFFFF をロードし、Type に Emulation を設定します。カウンタは、カウントアップして折り返すため、プロセッサは希望どおりに停止します。

■ ブート・ロード

Settings メニューから **Boot Load** を選択すると、プロセッサが動作し、ボードでハード・リセットを実行します。このコマンドを使用すれば、ハード・リセットを実行したいときに、VisualDSP++ のシャット・ダウン、EZ-KIT Lite ボードのリセット、VisualDSP++ の再起動という手間を省けます。

この機能は、外付けパーツからデバッグ・ブート・コードをロードしたり、デバイスを既知の状態にしたいときにご使用ください。

■ ターゲット・オプション

Settings メニューから **Target Options** を選択すると、Target Options ダイアログ・ボックスが開きます（[図 2-3](#)）。ADSP-BF533 EZ-KIT Lite 評価システムのプロセッサを制御するには、Target Options を使用します。

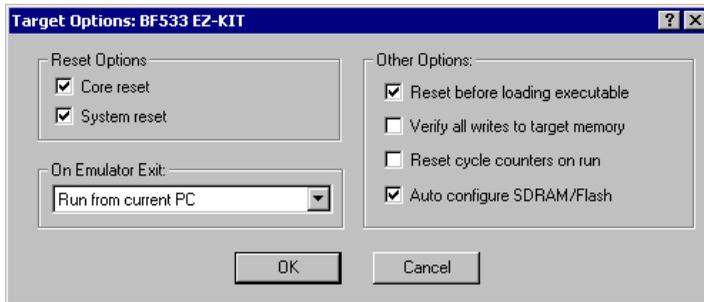


図 2-3. Target Options ダイアログ・ボックス

▶ Reset Options

Reset Options では、リセット時のプロセッサの動作を制御します。Reset Options を表 2-11 に示します。

表 2-11. Reset Options

オプション	説明
Core reset	デバッガがリセットを実行するときに、コアをリセットします。
System reset	デバッガがリセットを実行するときに、ペリフェラルをリセットします。

▶ On Emulator Exit

この Target Options は、VisualDSP++ が DSP の制御を放棄したとき（たとえば、VisualDSP++ を終了するとき）に、プロセッサの動作を制御します。このオプションを表 2-12 に示します。

▶ その他のオプション

表 2-13 に、その他の Target Options を示します。

表 2-12. On Emulator Exit Target Options

オプション	説明
On Emulator Exit	<p>エミュレータが DSP の制御を放棄したときの DSP の状態を決定：</p> <p>Reset DSP and Run : DSP はリセットされて、そのリセット・ベクトル位置から実行を開始します。</p> <p>Run from current PC : DSP は、その現在位置から実行を開始します。</p> <p>Stall the DSP : DSP をリセットしてから、内部メモリの最初の位置に JUMP 0 を書き込むため、終了後に DSP はタイト・ループ内で動きが取れなくなります。</p>

表 2-13. その他の Target Options

オプション	説明
Reset before loading executable	DSP プログラムをロードする前に、レジスタをリセットします。ファイルのロード時に DSP レジスタをそのリセット値に変更してはならない場合、このオプションをクリアします。
Verify all writes to target memory	<p>DSP へのすべてのメモリ書き込みを検査します。各書き込みの後で読み出しを実行し、マッチング条件がないかどうか値をチェックします。</p> <p>最初のプログラム開発時に、最初のビルド問題（存在しないメモリへのデータ・ロードなど）を特定して解決するには、このオプションを有効にします。</p> <p>実行可能ファイルのロード性能を高めるには、このオプションをクリアします。これによって VisualDSP++ は、各書き込みの確認に必要な追加の読み出しを行いません。</p>
Reset cycle counters on run	Run コマンドが発行される前に、サイクル・カウント・レジスタをゼロにリセットします。プログラム内のブレークポイント間で実行されたサイクル数をカウントするには、このオプションを選択します。
Auto configure SDRAM bank 0	<p>EZ-KIT Lite 評価ボードに組み込まれた SDRAM バンク 0 メモリと通信するために、VisualDSP++ は必要なレジスタを自動設定します。</p> <p>このオプションを選択すれば、VisualDSP++ を通じてバンク 0 がアクセスされたとき（たとえば、プログラムのロード時またはメモリ・ウィンドウを表示するとき）、VisualDSP++ はバンク 0 を設定します。メモリを手動で設定する場合には、このオプションをクリアします。</p>

■ 制約付きのソフトウェア・ブレイクポイント

EZ-KIT Lite 開発システムは、特定の条件が満たされたときにブレイクポイントの配置を制限します。つまり、一定の条件のもとでは、ブレイクポイントを効果的に配置できません。このような条件は、EZ-KIT Lite とそのターゲット・プロセッサのバス・アーキテクチャ、パイプラインの深さ、および配列に依存します。

EZ-KIT Lite VisualDSP++ インターフェースの使い方

第3章 EZ-KIT LITEハードウェア・リファレンス

この章では、ADSP-BF533 EZ-KIT Lite ボードのハードウェア設計について説明します。以下のテーマを取り上げます。

- [「システム・アーキテクチャ」 3-2ページ](#)

ADSP-BF533 EZ-KIT Lite ボードの設定およびボード部品とプロセッサとのインターフェースについて説明します。

- [「ジャンパとDIPスイッチの設定」 3-9ページ](#)

設定ジャンパとDIPスイッチの位置と機能について説明します。

- [「LEDと押しボタン」 3-13ページ](#)

LEDと押しボタンの位置と機能について説明します。

- [「コネクタ」 3-16ページ](#)

ボード上の全コネクタの位置とパーツ番号を示します。また、対応部品のメーカー情報とパーツ番号情報も提供します。

システム・アーキテクチャ

ここでは、EZ-KIT Lite ボード上のプロセッサの構成を説明します。

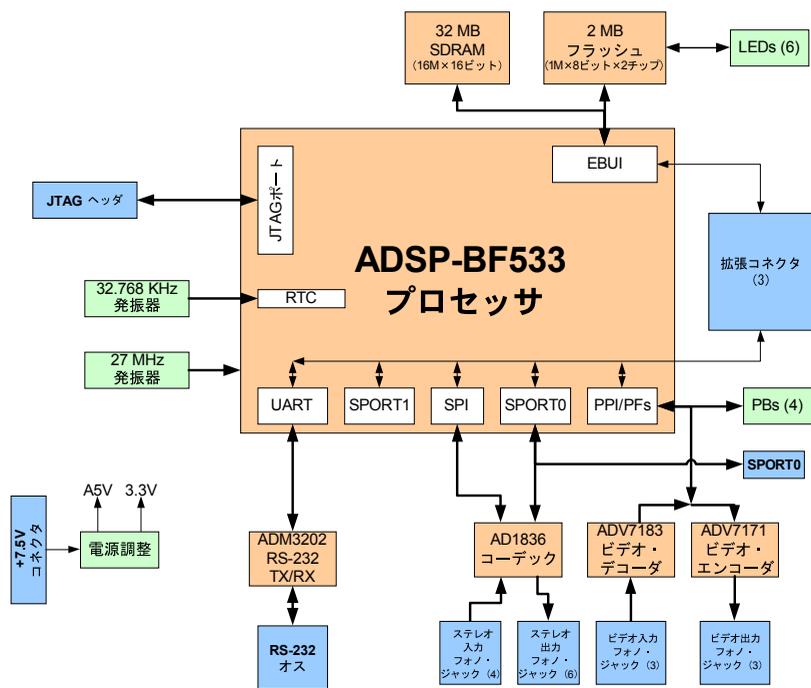


図 3-1. システム・アーキテクチャ

EZ-KIT Lite は、ADSP-BF533 Blackfin プロセッサの機能を実動作させるように設計されています。プロセッサの IO 電圧は 3.3V です。プロセッサのコア電圧は、内部電圧レギュレータまたは固定された 1.4V の外部レギュレータから供給できます。プロセッサが 600MHz を超える速度で動作している場合には、1.4V のレギュレータを使用する必要があります。コア電圧源の設定の詳細については、3-10 ページの「コア電圧源選択ジャンパ (JP3)」を参照してください。

コア電圧とコア・クロック・レートは、実行時にプロセッサで設定できます。入力クロックは27MHzです。32.768kHzの水晶発振子が、プロセッサのリアル・タイム・クロック (RTC) 入力を提供します。プロセッサのデフォルト・モードは、フラッシュ・ブートです。デフォルト・ブート・モードの変更については、[3-9ページ](#)の「ブート・モード選択ジャンパ (JP1、JP2)」を参照してください。

■ 外部バス・インターフェース・ユニット

外部バス・インターフェース・ユニット (EBIU) は16ビット幅のデータ・バス、アドレス・バス、および制御バスを含み、外部メモリとADSP-BF533デバイスを接続します。16ビットと8ビットの両方のアクセスをサポートします。EZ-KIT Liteでは、EBIユニットはSDRAMとフラッシュ・メモリに接続します。

32Mバイト (16M × 16ビット) のSDRAMは、同期メモリ・セレクト0ピン (~SMS0) に接続します。SDRAMの設定については、[2-4ページ](#)の「SDRAMインターフェースの使い方」を参照してください。なお、SDRAMクロックはプロセッサのクロック出力 (CLK OUT) です。この周波数が133MHzを超えないようにしてください。

2つのフラッシュ・メモリ・デバイスは、非同期メモリ・セレクト信号 ~AMS2 ~ ~AMS0 に接続します。デバイスは、合計で2Mバイトのプライマリ・フラッシュ・メモリ、128Kバイトのセカンダリ・フラッシュ・メモリ、および64KバイトのSRAMを提供します。通常動作時には、プロセッサは、ブーティングと情報の格納のためにこのメモリを使用できます。詳細については、[2-6ページ](#)の「フラッシュ・メモリの使い方」を参照してください。

すべてのアドレス信号、データ信号、制御信号は、拡張コネクタ (P3-1) を介して外部から取得できます。これらのコネクタのピン配置は、[付録B、B-1ページ](#)の「回路図」を参照してください。

■ SPORT0 オーディオ・インターフェース

SPORT0 インターフェースは、AD1836 オーディオ・コーデック、SPORT コネクタ (P3)、および拡張インターフェースに接続します。AD1836 コーデックは、プライマリとセカンダリのデータ送/受信ピンを使用して、オーディオ入/出力との間でデータを入/出力します。

SPORT コネクタのピン配置と拡張インターフェース・コネクタについては、[付録B、B-1 ページの「回路図」](#)を参照してください。

■ SPI インターフェース

プロセッサのシリアル・ペリフェラル・インターフェース (SPI) は、AD1836 オーディオ・コーデックと拡張インターフェースに接続します。AD1836 への SPI 接続は、デバイスのコントロール・レジスタへのアクセスに使用します。プロセッサの PF4 フラグは、SPI ポートのデバイス・セレクトとして使用します。

■ プログラマブル・フラグ

プロセッサには、15本のプログラマブル・フラグ・ピン (PF) があります。これらのピンには、プロセッサの設定に応じて、複数の機能があります。[表 3-1](#)に、EZ-KIT Lite でのプログラマブル・フラグ・ピンの使い方を示します。

表 3-1. プログラマブル・フラグの接続

DSP PF ピン	他の DSP 機能	EZ-KIT 機能
PF0		ADV7171 と ADV7183 をプログラムするためのシリアル・クロック
PF1		ADV7171 と ADV7183 をプログラムするためのシリアル・データ
PF2		ADV7183 の ~OE

表 3-1. プログラマブル・フラグの接続 (続き)

DSP PF ピン	他の DSP 機能	EZ-KIT 機能
PF3	FS3	ADV7183 のフィールド・ピン。3-11 ページの「ビデオ設定スイッチ (SW3)」を参照。
PF4		AD1836 の SPI セレクト
PF5		
PF6		
PF7		
PF8		押しボタン (sw4)。押しボタンをディスエーブルにする方法については、2-11 ページの「LED と押しボタンの使い方」と、3-12 ページの「押しボタン・イネーブル・スイッチ (SW9)」を参照。
PF9		押しボタン (sw5)。押しボタンをディスエーブルにする方法については、2-11 ページの「LED と押しボタンの使い方」と、3-12 ページの「押しボタン・イネーブル・スイッチ (SW9)」を参照。
PF10		押しボタン (sw6)。押しボタンをディスエーブルにする方法については、2-11 ページの「LED と押しボタンの使い方」と、3-12 ページの「押しボタン・イネーブル・スイッチ (SW9)」を参照。
PF11		押しボタン (sw7)。押しボタンをディスエーブルにする方法については、2-11 ページの「LED と押しボタンの使い方」と、3-12 ページの「押しボタン・イネーブル・スイッチ (SW9)」を参照。
PF12	PPI7	ADV7171 と ADV7183 のデータ (MSB)
PF13	PPI6	ADV7171 と ADV7183 のデータ
PF14	PPI5	ADV7171 と ADV7183 のデータ
PF15	PPI4	ADV7171 と ADV7183 のデータ

■ PPI インターフェース

ADSP-BF533 プロセッサの平行・ペリフェラル・インターフェース (PPI) は、半二重方式の双方向ポートであり、最高16ビットのデータに対応できます。このインターフェースには、専用の入力クロック (27MHz)、3つの多重フレーム同期信号、および4ビットの専用データがあります。残りのデータ・ビットは、再設定されたプログラマブル・フラグ・ピンから得られます。PPIによって多重化されるピンの詳細については、[3-4 ページの「プログラマブル・フラグ」](#)を参照してください。ADSP-BF533 プロセッサのPPIインターフェースについては、『ADSP-BF533 Blackfin Processor Hardware Reference』を参照してください。[表 3-2](#)に、PPIピンと、EZ-KIT Lite ボード上での使い方について説明します。

表 3-2. PPI 接続

DSP PPI ピン	他の DSP 機能	EZ-KIT 機能
PPI7	PF12	ADV7171 と ADV7183 のデータ (MSB)
PPI6	PF13	ADV7171 と ADV7183 のデータ
PPI5	PF14	ADV7171 と ADV7183 のデータ
PPI4	PF15	ADV7171 と ADV7183 のデータ
PPI3		ADV7171 と ADV7183 のデータ
PPI2		ADV7171 と ADV7183 のデータ
PPI1		ADV7171 と ADV7183 のデータ
PPI0		ADV7171 と ADV7183 のデータ
PF3	FS3	ADV7183 のフィールド・ピン。詳細については、 3-11 ページの「ビデオ設定スイッチ (SW3)」 を参照。
TMR1	PPI_HSYNC	ADV7171 と ADV7183 の HSYNC。詳細については、 3-11 ページの「ビデオ設定スイッチ (SW3)」 を参照。

表 3-2. PPI 接続 (続き)

DSP PPI ピン	他の DSP 機能	EZ-KIT 機能
TMR2	PPI_FSYNC	ADV7171 と ADV7183 の vsync。詳細については、3-11 ページの「ビデオ設定スイッチ (SW3)」を参照。
PPI_CLK		ADV7183 の出力クロックからの入力、またはプロセッサを駆動する同じ 27MHz 発振器からの入力。詳細については、2-13 ページの「ビデオの使い方」を参照。

ADSP-BF533 EZ-KIT Lite ボードでは、ビデオ出力とビデオ入力用に 8 ビットの PPI インターフェースを採用しています。

▶ ビデオ出力モード

ビデオ出力モードでは、PPI インターフェースを出力として設定し、内蔵のビデオ・エンコーダ・デバイスである ADV7171 に接続します。ADV7171 エンコーダ・デバイスは、DAC B、DAC C、および DAC D の出力で 3 つのアナログ・ビデオ・チャンネルを生成します。PPI データはエンコーダのピクセル入力の P7-0 に接続します。エンコーダの PPI 入力クロックは 27MHz で動作し、ADSP-BF533 プロセッサの CLK_IN と同相になります。

エンコーダの同期信号である HSYNC と VSYNC は、入力または出力として設定できます。ビデオ・ブランキング制御信号は、レベル “1” にあります。HSYNC 信号と VSYNC 信号は、3-11 ページの「ビデオ設定スイッチ (SW3)」で説明するように、SW3 スイッチを介して ADSP-BF533 プロセッサの多重同期ピンと内蔵ビデオ・デコーダ ADV7183 に接続できます。

▶ ビデオ入力モード

ビデオ入力モードでは、PPI インターフェースを入力として設定し、内蔵ビデオ・デコーダ・デバイス ADV7183 に接続します。ADV7183 デコーダは、AIN1、AIN4、および AIN5 の入力で 3 つのアナログ・ビデオ・チャンネルを受け取ります。デコーダのピクセル・データ出力 P15-8 では、PPI デー

タ（PPI3-0とPF15-12）を駆動します。2-9ページの表 2-8で示すように、PPIクロックを駆動するために、デコーダの27MHzピクセル・クロック出力を選択できます。

3-11ページの「ビデオ設定スイッチ（SW3）」で説明するように、デコーダの同期出力HS/HACTIVE、VS/VACTIVE、およびFIELDは、SW3DIPスイッチを介して、ADSP-BF533プロセッサの多重同期ピンとボード上のビデオ・エンコーダADV7171に接続できます。

■ UART ポート

プロセッサの非同期シリアル・インターフェース（UART）ポートは、拡張インターフェースだけでなく、ADM3202 RS232ライン・ドライバにも接続します。RS232ライン・ドライバはDB9オス・コネクタに接続されるため、PCやその他のシリアル・デバイスにインターフェースすることができます。

■ 拡張インターフェース

拡張インターフェースは、3つの90ピン・コネクタで構成されます。3-8ページの表 3-3に、各コネクタが提供するインターフェースを示します。これらのコネクタの正しいピン配置については、B-1ページの付録B「回路図」を参照してください。コネクタの外形寸法については、テクニカル／カスタマ・サポートにお問い合わせください。

表 3-3. コネクタ・インターフェース

コネクタ	インターフェース
J1	5V、GND、アドレス、データ、PPI
J2	3.3V、GND、SPI、NMI、TMR2-0、SPORT0、SPORT1、PF15-0、EBUI 制御信号
J3	5V、3.3V、GND、UART、フラッシュ IO、リセット、ビデオ制御信号

拡張インターフェースを使用するときには、電流とインターフェース速度の限界を考慮する必要があります。最大電流限界は、使用するレギュレータの機能に依存します。回路を追加すると信号に新たな負荷が加わり、実効最大速度が低下することがあります。



追加回路の影響について、アナログ・デバイセズは責任を負いません。また、サポートもしていません。

■ JTAG エミュレーション・ポート

JTAG エミュレーション・ポートによって、エミュレータは、6ピン・インターフェースを通じてプロセッサの内部／外部メモリにアクセスできます。プロセッサのJTAG エミュレーション・ポートはUSBデバッグ・インターフェースにも接続されます。エミュレータをP4でボードに接続すると、USBデバッグ・インターフェースがディスプレイになります。JTAGコネクタの詳細については、[3-20ページ](#)の「[JTAG \(P4\)](#)」を参照してください。

この他の使用可能なエミュレータについては、アナログ・デバイセズにご連絡ください（[「製品情報」](#)を参照）。

ジャンパと DIP スイッチの設定

ここでは、ジャンパとDIPスイッチの動作について説明します。[図 3-2](#)には、ジャンパとDIPスイッチの位置を示します。

■ ブート・モード選択ジャンパ (JP1、JP2)

プロセッサのブート・モードは、ジャンパJP1とJP2によって決まります。[表 3-4](#)に、使用可能なブート・モード設定を示します。デフォルトでは、プロセッサはボード上のフラッシュ・メモリからブートされます。

ジャンパと DIP スイッチの設定

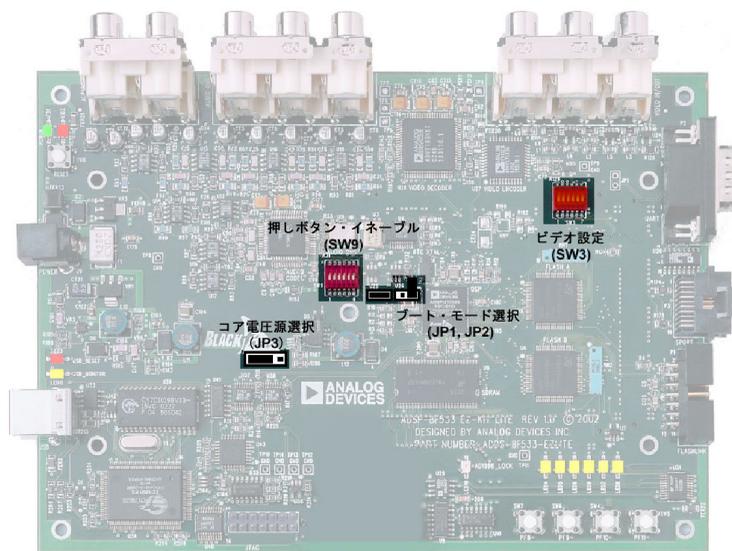


図 3-2. ジャンパおよび DIP スイッチの位置

表 3-4. ブート・モード設定

JP1 (BMODE1)	JP2 (BMODE0)	ブート・モード
インストール済み	インストール済み	16 ビットの外部メモリ
インストール済み ¹	未インストール	フラッシュ・メモリ
未インストール	インストール済み	予約済み
未インストール	未インストール	SPI EEPROM

1 デフォルト設定

■ コア電圧源選択ジャンパ (JP3)

プロセッサのコア電圧は、プロセッサの内部電圧レギュレータまたは固定された1.4Vの外部レギュレータから取得できます。プロセッサが600MHzを超える速度で動作するときには、1.4Vの外部レギュレータを使用する必要があります。表 3-5 に、コア電圧源選択ジャンパ JP3 の機能を示します。

表 3-5. コア電圧源設定

ポジション	コア電圧源
1 と 2	プロセッサの内部電圧レギュレータ
2 と 3	1.4V の外部レギュレータ

■ テスト DIP スイッチ (SW1、SW2)

ボードの下部には2つのDIPスイッチ (SW1 と SW2) があります。これらのスイッチは、テスト用にのみ使用されるため、常に“OFF”の位置にしてください。

■ ビデオ設定スイッチ (SW3)

ビデオ設定スイッチ (SW3) では、ADV7183 ビデオ・デコーダと ADV7171 ビデオ・エンコーダからのいくつかのビデオ信号が、プロセッサの PPI に転送される方法を制御します。また、PF2 ピンが ADV7183 ビデオ・デコーダ出力の OE を制御するかどうか、このスイッチによって決まります。表 3-6 に、“ON” 位置においてどのプロセッサの信号がエンコーダ/デコーダに接続されるかを示します。

表 3-6. ビデオ設定スイッチ (SW3)

スイッチ位置 (デフォルト)	プロセッサ信号	ビデオ信号
1 (OFF)	TMR1 (HSYNC)	HSYNC (ADV7171)
2 (OFF)	TMR1 (HSYNC)	HS (ADV7183)
3 (OFF)	TMR2 (VSYNC)	VS (ADV7183)
4 (OFF)	TMR2 (VSYNC)	VSYNC (ADV7171)
5 (OFF)	PF3 (FIELD)	FIELD (ADV7183)
6 (ON)	PF2	~OE (ADV7183)

ジャンパと DIP スイッチの設定

SW3の位置1～5では、VSYNC、HSYNC、およびFIELDの各制御信号がプロセッサPPIに転送されるかどうかと、その転送方法が決まります。エンコーダとデコーダの標準設定ではプロセッサがデータ・ストリームに組み込まれた制御情報を読み出しできるため、これは必要ありません。

SW3の位置6では、PF2がADV7183の~OE信号に接続されるかどうかが決まります。スイッチが“OFF”の場合、PF2は他の動作に使用でき、デコーダ出力イネーブルはプルアップ抵抗によって“HIGH”に保持されます。

■ 押しボタン・イネーブル・スイッチ (SW9)

押しボタン・イネーブル・スイッチ (SW9) の位置1～4によって、ユーザは、押しボタンに関連付けられているドライバをプロセッサのPFピンから切り離すことができます。位置5と6は、SPORT0のクロックと送/受信フレーム同期を接続するために使用されます。これは、AD1836ビデオ・デコーダとプロセッサがI²Sモードで通信しているときに重要です。表 3-7に、スイッチが“ON”位置のときに駆動されるPFを示します。

表 3-7. 押しボタン・イネーブル・スイッチ (SW9)

スイッチ位置	デフォルト設定	ピン番号	信号 (サイド 1)	ピン番号	信号 (サイド 2)
1	ON	1	SW4	12	PF8
2	ON	2	SW5	11	PF9
3	ON	3	SW6	10	PF10
4	ON	4	SW7	9	PF11
5	OFF	5	TFS0	8	RFS0
6	OFF	6	RSCLK0	7	TSCLK0

LED と押しボタン

ここでは、LEDと押しボタンの機能について説明します。図 3-3には、LEDと押しボタンの位置を示します。

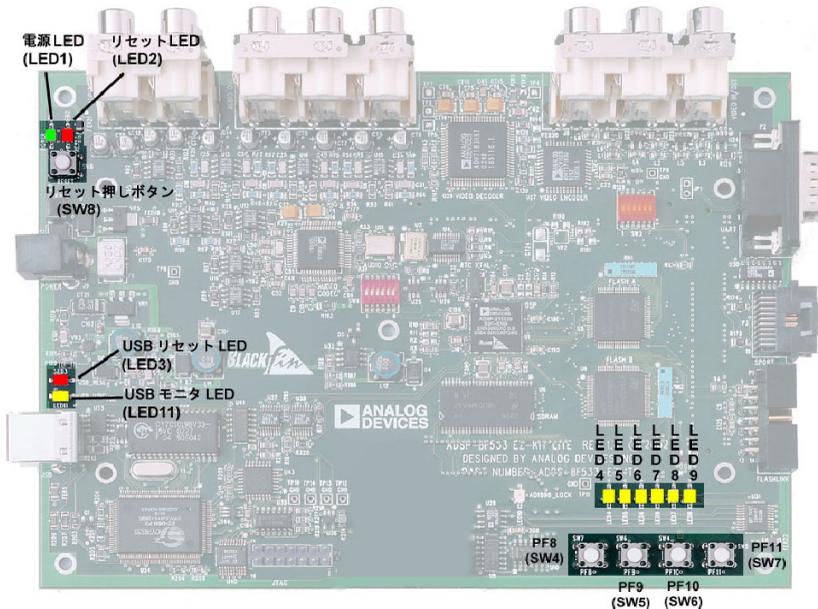


図 3-3. LED と押しボタンの位置

■ プログラマブル・フラグ押しボタン (SW7-4)

汎用のユーザ入力として4つの押しボタンSW7-4を提供しています。これらのボタンは、プロセッサのプログラマブル・フラグ・ピンPF11-8に接続します。押しボタンはアクティブ“HIGH”であり、押されると、プロセッサにHigh (1)を送信します。プロセッサをプログラムする際のPFの使い方については、2-11ページの「LEDと押しボタンの使い方」を参照してください。押しボタン・イネーブル・スイッチ (sw9) では、押しボタ

LED と押しボタン

ンをPFから切り離すことができます (詳細については、[3-12ページ](#)の「押しボタン・イネーブル・スイッチ (SW9)」を参照)。表 3-8に、プログラマブル・フラグ信号と対応するスイッチを示します。

表 3-8. プログラマブル・フラグ・スイッチ

DSP プログラマブル・フラグ・ピン	押しボタン参照記号
PF8	SW4
PF9	SW5
PF10	SW6
PF11	SW7

■ リセット押しボタン (SW8)

RESET押しボタンでは、USBインターフェース・チップ (U34) を除く、ボード上のすべてのICをリセットします。USBケーブルが差し込まれ、PCによって通信が正しく初期化された後では、押しボタンが押されてもチップはリセットされません。USB通信が初期化された後にUSBをリセットする唯一の方法は、ボードをパワーダウンすることです。

■ 電源 LED (LED1)

LED1の点灯 (緑色) は、ボードに適切な電源が供給されていることを示します。

■ リセット LED (LED2、LED3)

LED2の点灯は、すべての主要ICのマスター・リセットがアクティブであることを示します。LED3が点灯すると、USBインターフェース・チップ (U34) のリセット中です。USBチップがリセットされるのは、パワーアップ時、またはUSB通信が初期化されていない場合です。

■ ユーザ LED (LED9-4)

6つのLEDは、フラッシュ・メモリ (U5) の6本の汎用IOピンに接続します。LEDはアクティブ“HIGH”であり、フラッシュ・メモリ内の正しいメモリ・アドレスに“1”を書き込むと点灯します。LEDをプログラムする際のフラッシュの使い方については、[2-11ページの「LEDと押しボタンの使い方」](#)を参照してください。

表 3-9. ユーザ LED

LED 参照記号	フラッシュ・ポート名
LED4	PB0
LED5	PB1
LED6	PB2
LED7	PB3
LED8	PB4
LED9	PB5

■ USB モニタ LED (LED11)

USBモニタLED (LED11)は、USB通信が正しく初期化されて、VisualDSP++ EZ-KIT Liteセッションを使用してプロセッサに接続できることを示します。これには、約15秒かかります。LEDが点灯しない場合には、ボードの電源を再投入するか、USBドライバを再インストールします ([1-6ページの「EZ-KIT LiteのUSBドライバのインストール」](#)を参照)。

コネクタ

ここでは、コネクタ機能と対応コネクタについて説明します。図 3-4に、コネクタの位置を示します。

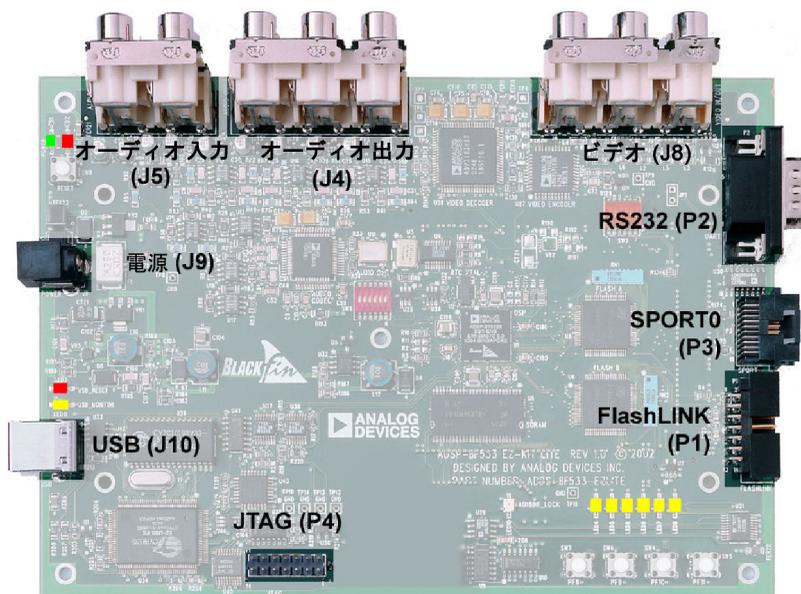


図 3-4. コネクタの位置

■ 拡張インターフェース (J3-1)

3つのボード間コネクタ・フットプリントは、プロセッサの大部分のペリフェラル・インターフェースに信号を供給します。コネクタはボードの下部にあります。拡張インターフェースの詳細については、[3-8ページ](#)を参照してください。J1、J2、およびJ3コネクタの価格と在庫については、Samtecにお問い合わせください。

パーツ説明	メーカー	パーツ番号
90 ポジション 0.05" 間隔、SMT (J1、J2、J3)	Samtec	SFC-145-T2-F-D-A
対応コネクタ		
90 ポジション 0.05" 間隔 (スルー・ホール)	Samtec	TFM-145-x1 Series
90 ポジション 0.05" 間隔 (表面実装)	Samtec	TFM-145-x2 Series
90 ポジション 0.05" 間隔 (低価格)	Samtec	TFC-145 Series

■ オーディオ (J4、J5)

パーツ説明	メーカー	パーツ番号
2 × 2 RCA ジャック (J5)	SWITCHCRAFT	PJRSAS2X2S01
3 × 2 RCA ジャック (J4)	SWITCHCRAFT	PJRSAS3X2S01
対応コネクタ		
2 チャンネル RCA 相互接続 ケーブル	Monster Cable	BI100-1M

■ ビデオ (J8)

パーツ説明	メーカー	パーツ番号
3 × 2 RCA ジャック (J4)	SWITCHCRAFT	PJRSAS3X2S01

■ 電源 (J9)

電源コネクタは、EZ-KIT Lite ボードの動作に必要なすべての電源を提供し、ボードに DC 電源を提供します。次の表に、電源コネクタのピン配置を示します。

コネクタ

パーツ説明	メーカー	パーツ番号
2.5mm 電源ジャック (J9)	SWITCHCRAFT	RAPC712
	Digi-Key	SC1152-ND
電源 (EZ-KIT Lite に付属)		
7.5V 電源	GlobTek	TR9CC2000LCP-Y

電源コネクタは、EZ-KIT Lite ボードに DC 電源を提供します。表 3-10 に、電源仕様を示します。

表 3-10. 電源仕様

端子	接続
センター・ピン	+7.5 VDC@2amps
外輪	GND

■ FlashLINK (P1)

FlashLINK コネクタを使用すれば、STMicroelectronics DSM2150 flash/PLD チップを設定およびプログラムすることができます。FlashLINK コネクタの詳細については、2-10 ページの「フラッシュ・メモリの設定」を参照してください。

パーツ説明	メーカー	パーツ番号
直角 7X2 シュラウド付き 0.1 間隔 (J10)	TYCO	2-767004-2
対応製品		
FlashLINK JTAG Programmer	ST Micro	FL-101B

■ RS232 (P2)

表 3-11 に、RS232 互換のコネクタを示します。

表 3-11. RS232 コネクタ

パーツ説明	メーカー	パーツ番号
DB9、オス、直角 (P2)	Digi-Key	A2096-ND
対応製品		
2m のメス間ケーブル	Digi-Key	AE1016-ND

■ SPORT0 (P3)

SPORT0 コネクタは、20 ピン・コネクタにリンクします。コネクタのピン配置については、[B-1 ページの「回路図」](#)を参照してください。コネクタの価格と在庫については、AMP にお問い合わせください。

パーツ説明	メーカー	パーツ番号
20 ポジション AMPMODU システム 50 ソケット (P3)	AMP	104069-1
対応コネクタ		
20 ポジション・リボン・ケーブル・ コネクタ	AMP	111196-4
20 ポジション AMPMODU システム 20 コネクタ	AMP	2-487937-0
20 ポジション AMPMODU システム 20 コネクタ (ロックなし)	AMP	2-487938-0
軟質フィルム接点 (コネクタごとに 20)	AMP	487547-1

■ JTAG (P4)

JTAG ヘッドは、JTAG インサーキット・エミュレータ・ポッド用の接続点です。エミュレータが JTAG ヘッドに接続されると、USB デバッグ・インターフェースがディスプレイにされます。

-  キーリングを提供するため、ピン 3 は欠落しています。対応コネクタのピン 3 には、プラグを装着させてください。
-  EZ-KIT Lite ボードでエミュレータを使用する際には、エミュレータで提供される接続指示に従ってください。

A 部品表

リファレンス	数量	説明	リファレンス 設計	メーカー	パーツ番号
1	2	74LVC14A SOIC14 HEX-INVER-SCHMITT- TRIGGER	U10,U41	TI	74LVC14AD
2	1	IDT74FCT3244APY SSOP20 3.3V-OCTAL-BUFFER	U31	IDT	IDT74FCT3244APY
3	1	IDT74FCT3807AQ QSOP20 3.3V 1-10 CLOCK DRIVER	U4	IDT	IDT74FCT3807AQ
4	1	CY7C64603-128 PQFP128 USB-TX/RX MICROCONTROLLER	U34	CYPRESS	CY7C64603-128NC
5	1	MMBT4401 SOT-23 NPN TRANSISTOR 200MA	Q1	FAIRCHILD	MMBT4401
6	1	74LVC00AD SOIC14	U9	PHILIPS	74LVC00AD
7	1	CY7C1019BV33-15VC SOJ32 128K X 8 SRAM	U39	CYPRESS	CY7C1019BV33-12VC
8	1	SN74AHC1G02 SOT23-5 SINGLE-2 INPUT-NOR	U44	TI	SN74AHC1G02DBVR
9	1	SN74LV164A SOIC14 8-BITPARALLEL-SERIAL	U35	TI	SN74LV164AD
10	1	CY7C4201V-15AC TQFP3264-BYTE-FIFO	U43	CYPRESS	CY7C4201V-15AC
11	1	12.0MHZ THR OSC006 CRYSTAL	Y1	DIG01	300-6027-ND

リファレンス	数量	説明	リファレンス 設計	メーカー	パーツ番号
12	1	SN74AHC1G00 SOT23-5 SINGLE-2-INPUT-NAND	U42	TI	SN74AHC1G00DBVR
13	1	12.288MHZ SMT OSC003	U11	DIG01	SG-8002CA-PCC-ND
14	1	SN74LVC1G125 SOT23-5 SINGLE-3STATE-BUFFER	U7	TI	SN74LVC1G125DBVR
15	1	NDS8434A SO-8 P-MOSFET	U32	FAIRCHILD SEMI	NDS8434A
16	1	MT48LC16M16A2TG-75 TSOP54 256MB-SDRAM	U8	MICRON	MT48LC16M16A2TG-75
17	1	27MHZ SMT OSC003	U3	EPSON	SG-8002CA MP
18	1	32.768KHZ SMT OSC008	U2	EPSON	MC-156 32.768KA-A2
19	2	PSD4256G6V-10UI TSOP54 1MB-FLASH/GPIO	U5-6	ST MICRO	PSD4256G6V-10UI
20	1	IDT2305-1DC SOIC8 1 TO 5 ZERO DELAY CLK BUF	U46	INTEGRATED SYS	ICS9112AM-16
21	1	SN74LVC1G32 SOT23-5 SINGLE-2 INPUT OR GATE	U21	TI	SN74LVC1G32DBVR
22	1	BF533 24LC00-SN "U33" SEE 1000127	U33	ANALOG DEVICES	
23	2	1000pF 50V 5% 1206 CERM	C96-97	AVX	12065A102JAT2A
24	6	2200pF 50V 5% 1206 NPO	C12,C17,C22, C27,C32,C37	AVX	12065A222JAT050
25	1	ADM708SAR SOIC8 VOLTAGE-SUPERVISOR	U29	ANALOG DEVICES	ADM708SAR
26	1	ADP3338AKC-33 SOT-223 3.3V-1.0AMP REGULATOR	VR1	ANALOG DEVICES	ADP3338AKC-3.3

部品表

リファレンス	数量	説明	リファレンス設計	メーカー	パーツ番号
27	1	ADP3339AKC-5 SOT-223 5V-1.5A REGULATOR	VR5	ANALOG DEVICES	ADP3339AKC-5-REEL
28	2	ADP3339AKC-33 SOT-223 3.3V 1.5A REGULATOR	VR3-4	ANALOG DEVICES	ADP3339AKC-3.3-RL
29	1	ADP3336ARM MSOP8 ADJ500MAREGULATOR	VR6	ANALOG DEVICES	ADP3336ARM-REEL
30	1	ADV7171KSU TQFP44 VID-ENCODER	U27	ANALOG DEVICES	ADV7171KSU
31	1	10MA AD1580BRT SOT23D 1.2V-SHUNT-REF	D1	ANALOG DEVICES	AD1580BRT
32	2	ADG752BRT SOT23-6 CMOS-SPDT-SWITCH	U25-26	ANALOG DEVICES	ADG752BRT
33	3	AD8061ART SOT23-5 300MHZ-AMP	U22-24	ANALOG DEVICES	AD8061ART-REEL
34	1	ADM3202ARN SOIC16 RS232-TXRX	U30	ANALOG DEVICES	ADM3202ARN
35	1	ADV7183KST LQFP80 VID-DECODER	U28	ANALOG DEVICES	ADV7183KST
36	8	AD8606AR SOIC8 OPAMP	U12-13, U15-20	ANALOG DEVICES	AD8606AR
37	1	ADSP-BF533SKBC MINIBGA160	U1	ANALOG DEVICES	
38	1	AD1836AAS MQFP52 MULTI-CHANNEL- 96KHZ-CODEC	U14	ANALOG DEVICES	AD1836AAS
39	5	RUBBER FEET BLACK	MH1-5	MOUSER	517-SJ-5018BK
40	1	PWR 2.5MM_JACK CON005 RA	J9	SWITCH- CRAFT	SC1152-ND12
41	1	USB 4PIN CON009 USB	J10	MILL-MAX	897-30-004-90-000000
42	1	RCA 2X2 CON013	J5	SWITCH- CRAFT	PJRS2X2S01

リファレンス	数量	説明	リファレンス設計	メーカー	パーツ番号
43	1	.05 10X2 CON014 RA	P3	AMP	104069-1
44	5	SPST-MOMENTARY SWT013 6MM	SW4-8	PANASONIC	EVQ-PAD04M
45	1	IDC 7X2 IDC7X2SRDRA RIGHT ANGLE SHROUDED	P1	MOLEX	70247-1401
46	3	0.05 45X2 CON019 SMT SOCKET	J1-3	SAMTEC	SFC-145-T2-F-D-A
47	4	DIP6 SWT017	SW1-3,SW9	DIG01	CKN1364-ND
48	2	RCA 3X2 CON024 RA	J4,J8	SWITCH- CRAFT	PJRS3X2S01
49	14	0.00 1/8W 5% 1206	R27-30,R148, R157-158, R167, R174-175, R177-178, R182,R193	YAGEO	0.0ECT-ND
50	7	AMBER-SMT LED001 GULL-WING	LED4-9, LED11	PANASONIC	LN1461C-TR
51	12	330pF 50V 5% 805 NPO	C13,C18,C23, C28,C33,C38	AVX	08055A331JAT
52	42	0.01uF 100V 10% 805 CERM	C4,C85,C87, C108, C112-113, C123-124, C126-128, C136, C146-147, C149-155, C159-161	AVX	08051C103KAT2A
53	8	0.22uF 25V 10% 805 CERM	C129-130, C137-142	AVX	08053C224FAT

部品表

リファレンス	数量	説明	リファレンス設計	メーカー	パーツ番号
54	73	0.1uF 50V 10% 805 CERM	C6,C8,C71-72, C75-81,C84, C86,C88-95, C98-101, C105, C109-111, C114-122, C125,C131	AVX	08055C104KAT
55	8	0.001uF 50V 5% 805 NPO	C7,C9-11, C49-50, C52-53	AVX	08055A102JAT2A
56	8	10uF 16V 10% C TANT	CT13, CT21-27	SPRAGUE	293D106X9016C2T
57	45	10K 100MW 5% 805	R1, R4, R10, R12-13, R15-16	AVX	CR21-103J-T
58	9	33 100MW 5% 805	R5-6, R8-9, R31,R144, R179,R183	AVX	CR21-330JTR
59	2	4.7K 100MW 5% 805	R17,R220	AVX	CR21-4701F-T
60	1	1M 100MW 5% 805	R202	AVX	CR21-1004F-T
61	1	1.5K 100MW 5% 805	R203	AVX	CR21-1501F-T
62	1	1.2K 1/8W 5% 1206	R129	DALE	CRCW1206-122JRT1
63	6	49.9K 1/8W 1% 1206	R38,R45,R54, R62,R70,R78	AVX	CR32-4992F-T
64	2	2.21K 1/8W 1% 1206	R212-213	AVX	CR32-2211F-T
65	1	2000pF 50V 5% 1206 CERM	C83	AVX	12065A202JAT2A
66	12	100pF 100V 5% 1206 NPO	C15,C20,C25, C30,C35,C40,	AVX	12061A101JAT2A
67	5	10uF 16V 10% B TANT	CT1-2, CT14-16	AVX	TAJB106K016R
68	4	100 100MW 5% 805	R149,R152, R154-155	AVX	CR21-101J-T

リファレンス	数量	説明	リファレンス設計	メーカー	パーツ番号
69	6	220pf 50V 10% 1206 NPO	C16,C21,C26, C31,C36,C41	AVX	12061A221JAT2A
70	4	600 100MHZ 200MA 603 0.50 BEAD	FER14-17	MURATA	BLM11A601SPT
71	3	2A S2A_RECT DO-214AA SILICON RECTIFIER	D2-4	GENERAL- SEMI	S2A
72	12	600 100MHZ 500MA 1206 0.70 BEAD	FER1-5, FER9-11, FER18-19, FER18-19, FER21-22	DIGI-KEY	240-1019-1-ND
73	4	237 1/8W 1% 1206	R93,R95,R97, R99	AVX	CR32-2370F-T
74	4	750K 1/8W 1% 1206	R86,R90,R94, R96	DALE/VISHAY	CRCW12067503FRT1
75	16	5.76K 1/8W 1% 1206	R82-85, R87-89, R91-92,R98	PHYCOMP	9C12063A5761FKHFT
76	6	11.0K 1/8W 1% 1206	R34,R48,R50, R58,R66,R74	DALE	CRCW12061102FRT1
77	8	120PF 50V 5% 1206 NPO	C42-45,C55, C57-59	PHILLIPS	1206CG121J9B200
78	1	68PF 50V 5% 1206	C82	PHILLIPS	1206CG680J9B200
79	1	1UF 16V 10% 805 X7R	C5	MURATA	GRM40X7R105K016A L
80	12	75 1/8W 5% 1206	R113-114, R116-117, R120-121	PHILIPS	9C12063A75R0JLHFT
81	2	30PF 100V 5% 1206	C206-207	AVX	12061A300JAT2A
82	1	68UF 6.3V 20% D TANT	CT28	PANASONIC	ECS-TOJD686R
83	6	680PF 50V 1% 805 NPO	C14,C19,C24, C29,C34,C39	AVX	08055A681FAT2A

部品表

リファレンス	数量	説明	リファレンス設計	メーカー	パーツ番号
84	3	10UF 25V +80-20% 1210 Y5V	C198-200	MURATA	GRM235Y.5V106Z025
85	6	2.74K 1/8W 1% 1206	R41,R47,R57,R65,R73,R81	PANASONIC	ERJ-8ENF2741V
86	12	5.49K 1/8W 1% 1206	R35,R40,R42,R49,R51,R56,R59	PANASONIC	ERJ-8ENF5491V
87	6	3.32K 1/8W 1% 1206	R36,R43,R52,R60,R68,R76	DALE	CRCW12063321FRT1
88	6	1.65K 1/8W 1% 1206	R37,R44,R53,R61,R69,R77	PANASONIC	ERJ-8ENF1651V
89	10	10UF 16V 20% CAP002 ELEC	CT3-12	DIG01	PCE3062TR-ND
90	1	53.6K 1/10W 1% 805	R184	PHILIPS	9C08052A5362FKRT/R
91	1	10UH 47 +/-20 IND001	L12	DIG01	445-1202-2-ND
92	2	10K 50MW 5% BGA36	RN1-2	CTS	RT130B7
93	15	0.00 100MW 5% 805	R3,R22,R24-25,R111,R132,R135-136,R141,R186-189,R210,R222	VISHAY	CRCW0805 0.0 RT1
94	1	190 100MHZ 5A FER002	FER23	MURATA	DLW5BSN191SQ2
95	1	3.32K 100MW 1% 805	C188	DIG01	P3.32KCCTR-ND
96	3	22 1/10W 5% 805	R14, R180-181	VISHAY/DALE	CRCW0805220JRT1
97	6	0.68UH 0.72 10% 805	L4-9	MURATA	LQG21NR68K10T1
98	1	1A ZHCS1000 SOT23D SCHOTTKY	D5	ZETEX	ZHCS1000
99	1	5.6K 1/10W 5% 805	R140	VISHAY	CRCW0805562JRT1
100	3	2.2UH 0.63 10% 805	L1-3	MURATA	LQG21N2R2K10
101	3	1UF 10V 10% 805	C60-61,C104	AVX	0805ZC105KAT2A

リファレンス	数量	説明	リファレンス 設計	メーカー	パーツ番号
102	2	18PF 50VDC 5% 805 CERM	C1, C3	PANASONIC	ECJ-2VC1H180J
103	1	10M 1/8W 5% 805	R20	AVX	CR21-106J-T
104	1	DB9 9PIN DB9M RIGHTANGLEMALE	P2	3M	787203-2
105	7	1K 1/8W 5% 1206	R115, R118-119, R125-126, R131	AVX	CR32-102J-T
106	3	100K 1/8W 5% 1206	R112,R130, R176	CR1206-1003 FRT1	
107	2	22 1/8W 5% 1206	R200,R207	DALE	CRCW1206220JRT1
108	9	270 1/8W 5% 1206	R146-147, R160-162, R164-165, R168,R195	AVX	CR32-271J-T
109	1	680 1/8W 5% 1206	R163	AVX	CR32-681J-T
110	1	150 1/8W 1% 1206	R122	PANASONIC	ERJ-8ENF1500V
111	2	RED-SMT LED001 GULL-WING	LED2-3	PANASONIC	LN1261C
112	1	GREEN-SMT LED001 GULL-WING	LED1	PANASONIC	LN1361C
113	6	604 1/8W 1% 1206	R39,R46,R55, R63,R71,R79	PANASONIC	ERJ-8ENF6040V
114	4	1uF 25V 20% A TANT -55+125	CT17-20	PANASONIC	ECS-T1EY105R
115	2	ADG774A QSOP16 QUICKSWITCH-257	U37-38	ANALOG DEVICES	ADG774ABRQ
116	1	IDC 7X2 IDC7X2 HEADER	P4	BERG	54102-T08-07
117	1	2.5A RESETABLE FUS001	F1	RAYCHEM CORP.	SMD250-2

A

B

C

D

1

1

2

2

3

3

ADSP-BF533 EZ-KIT Lite

DNP = Do Not Populate



**ANALOG
DEVICES**

20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

Approvals	Date	Title ADSP-BF533 EZ-KIT LITE - TITLE		
Drawn		Size C	Board No. A0167-2001	Rev 1.6C
Checked		Date 12-21-2004_15:13		Sheet 1 of 12
Engineering				

A

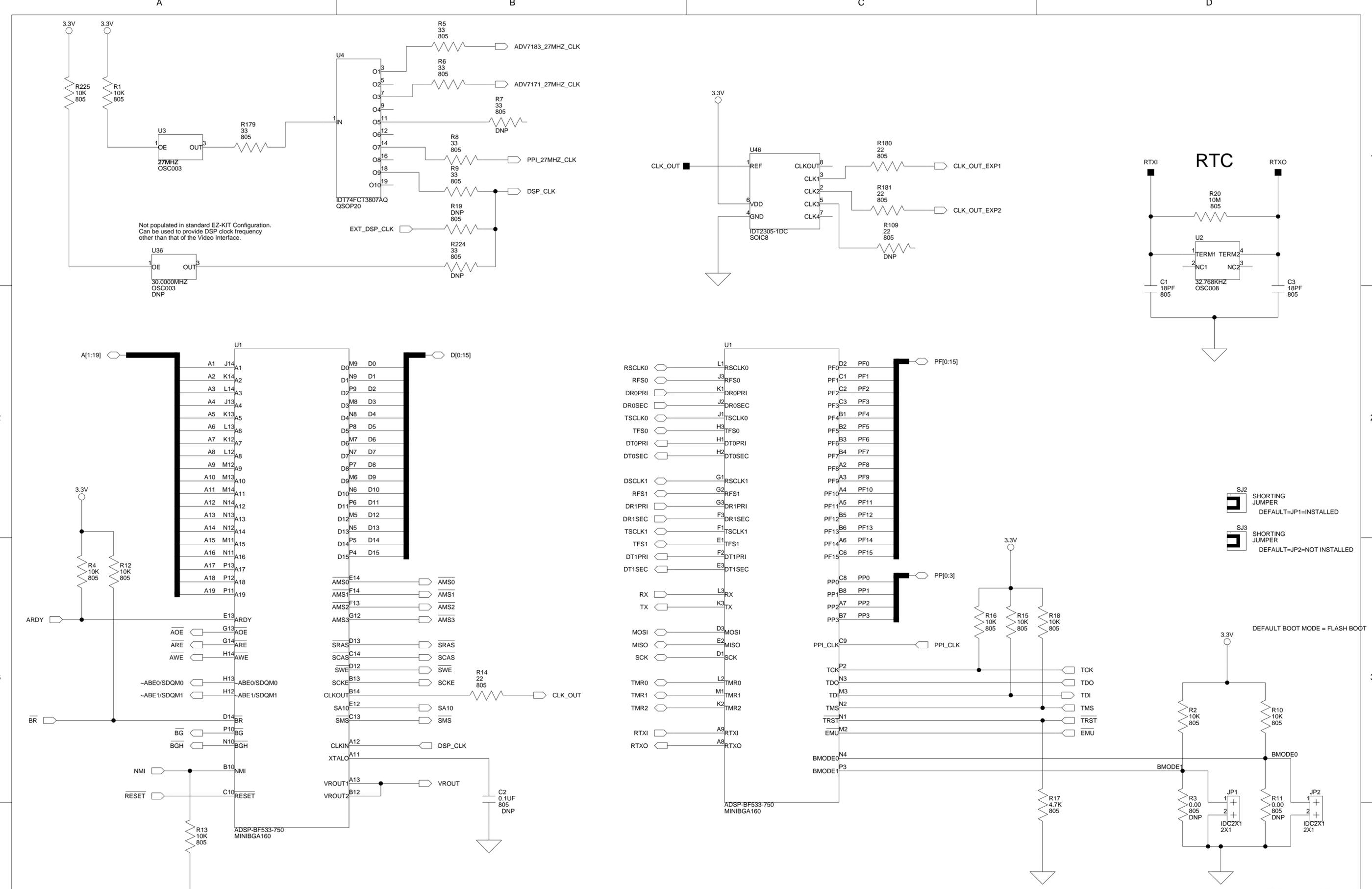
B

C

D

4

4



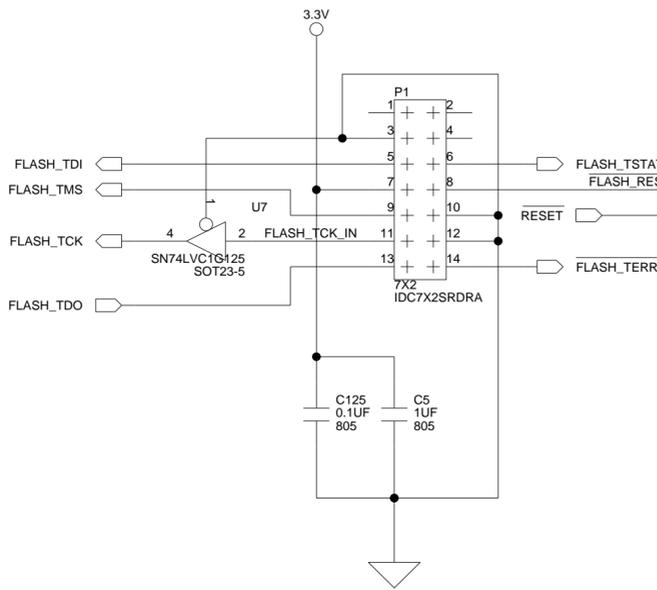
DNP = Do Not Populate

ANALOG DEVICES

20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

Approvals	Date	Title	
Drawn		ADSP-BF533 EZ-KIT LITE - DSP	
Checked		Size	Board No.
Engineering		C	A0167-2001
		Date	Sheet
		12-21-2004_15:13	2 of 12

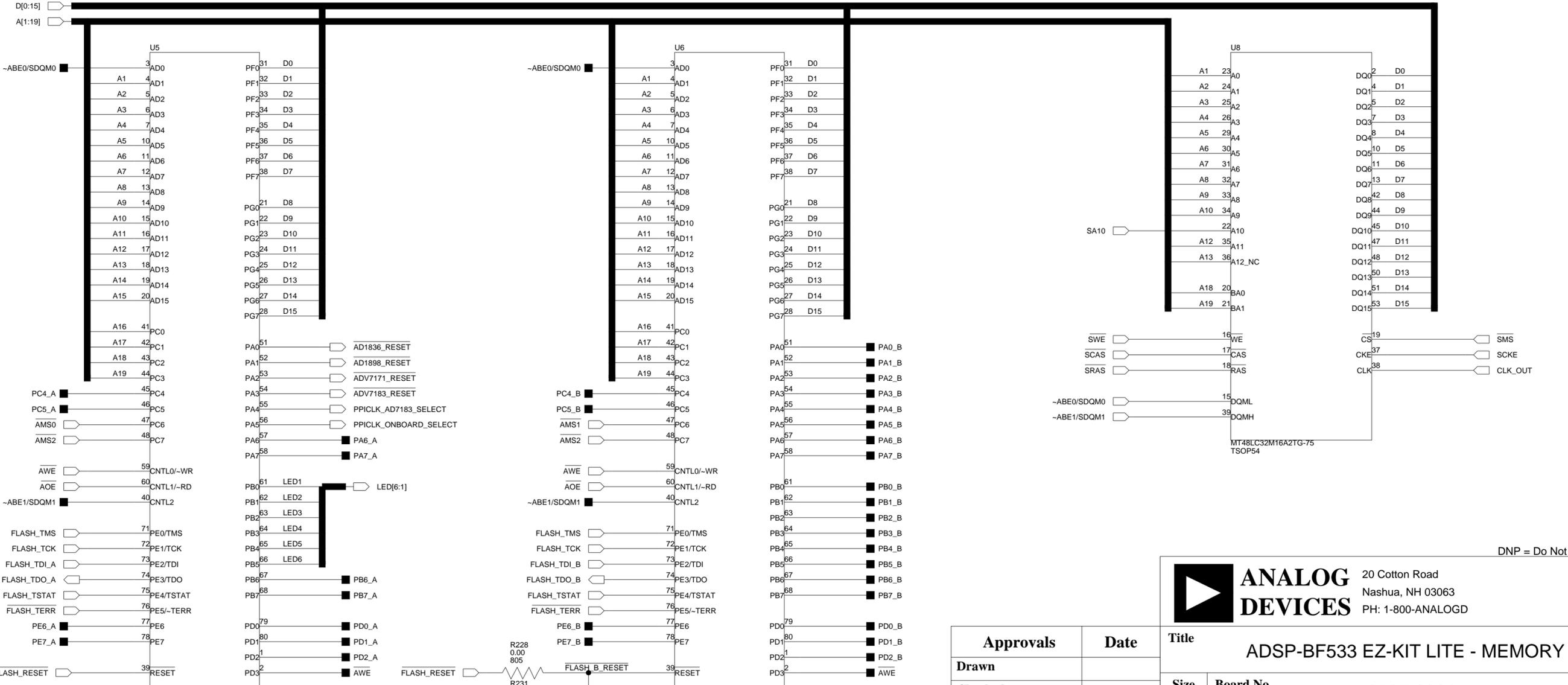
FlashLINK JTAG HEADER



FLASH A (1MB)
512K x 16

FLASH B (1MB)
512K x 16

SDRAM 512Mb
(64MB - 32M x 16)



DNP = Do Not Populate



Approvals		Date		Title	
Checked		Engineering		ADSP-BF533 EZ-KIT LITE - MEMORY	
Size C	Board No.	Rev		1.6C	
Date	12-21-2004_15:12	Sheet	3	of	12

A

B

C

D

1

1

2

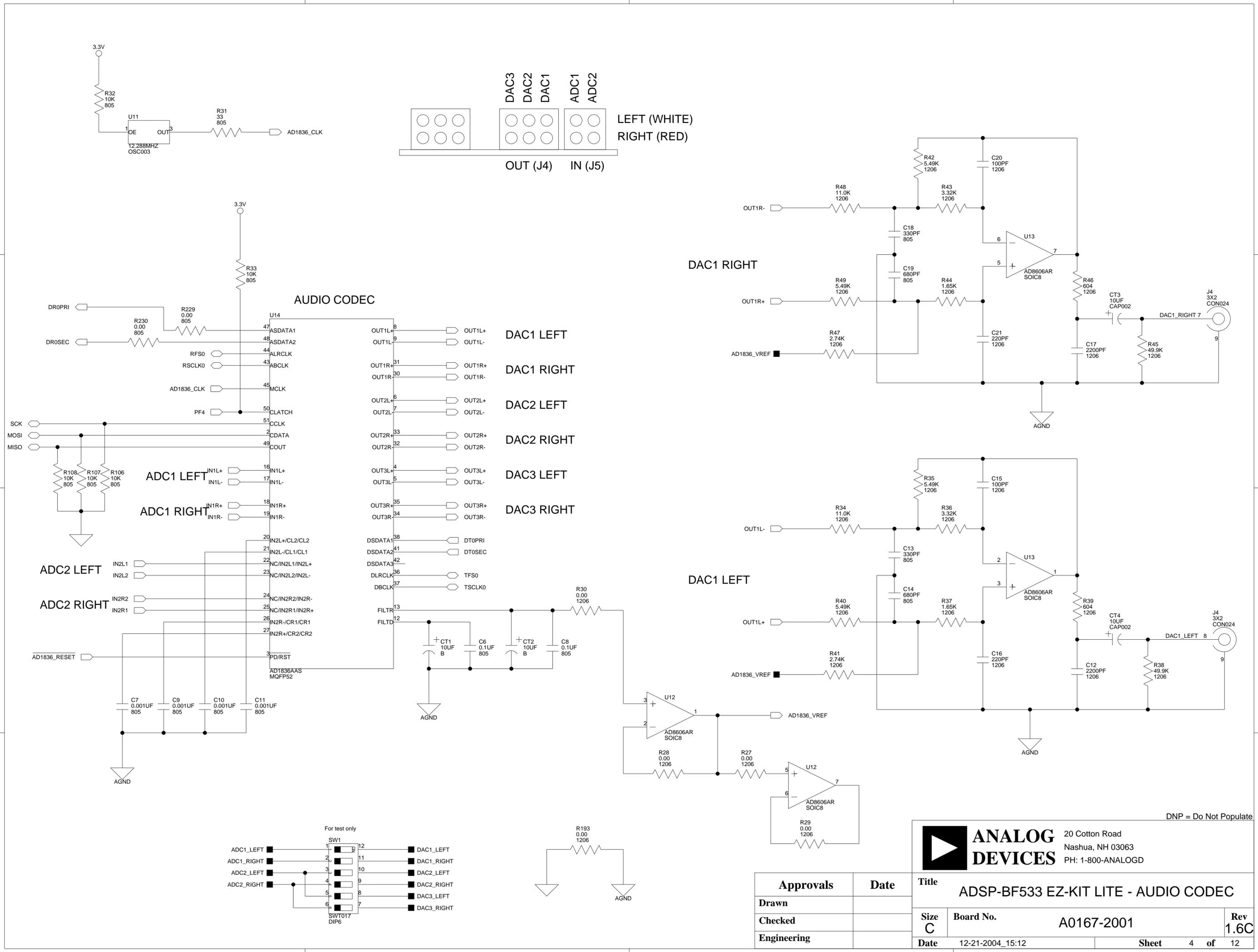
2

3

3

4

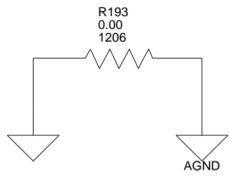
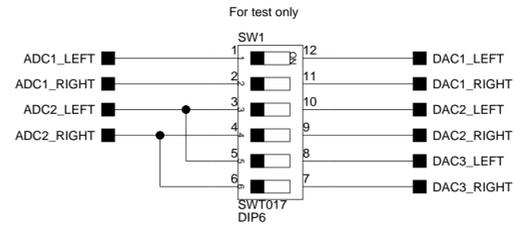
4



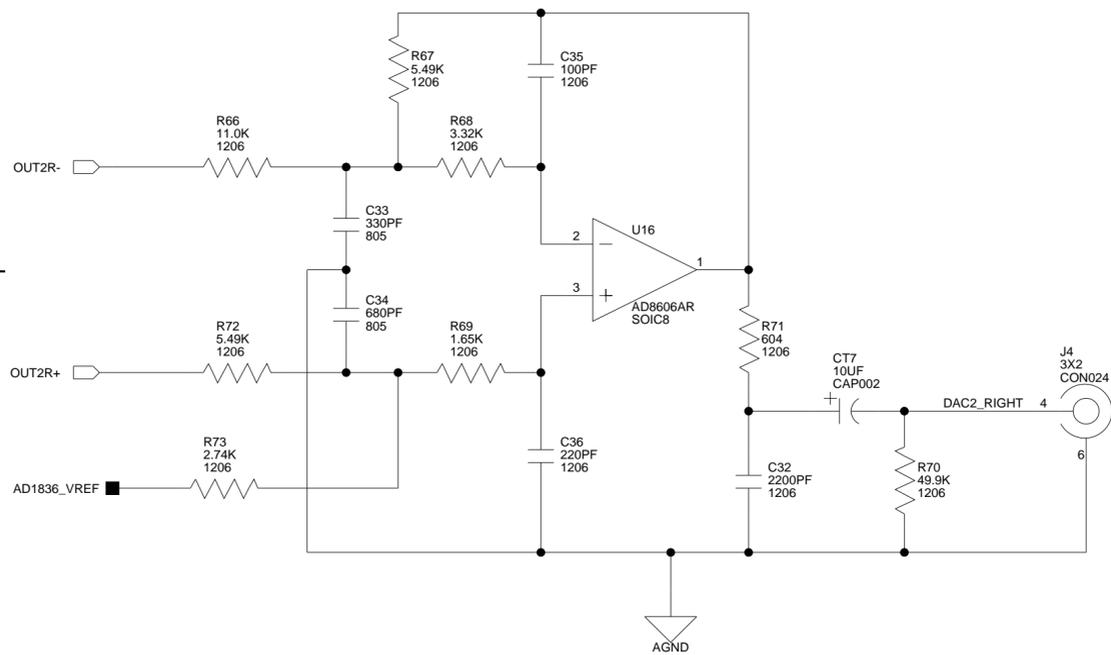
DNP = Do Not Populate

 ANALOG DEVICES		20 Cotton Road Nashua, NH 03063 PH: 1-800-ANALOGD	
		Title ADSP-BF533 EZ-KIT LITE - AUDIO CODEC	
Size C	Board No. A0167-2001	Rev 1.6C	
Date 12-21-2004_15:12	Sheet 4 of 12		

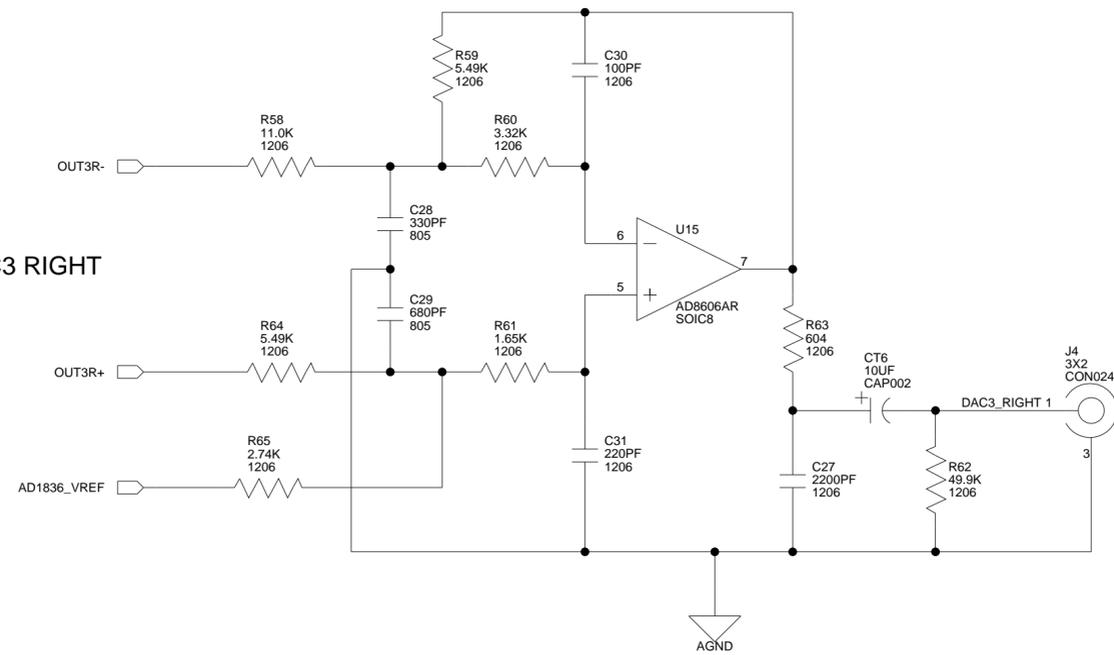
Approvals	Date
Drawn	
Checked	
Engineering	



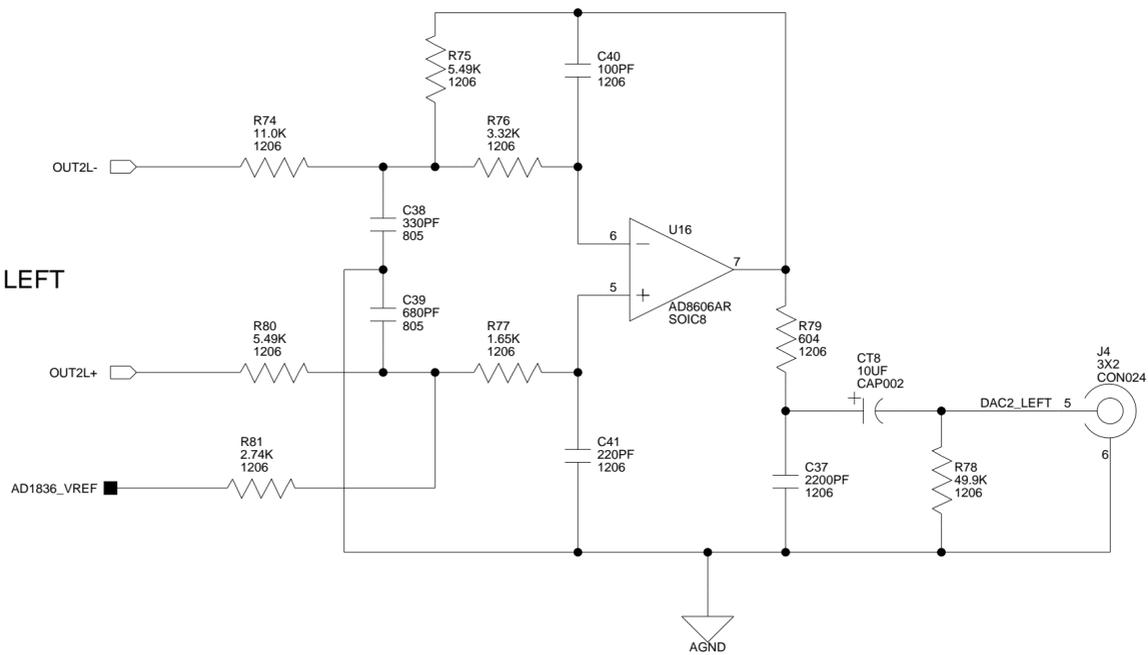
DAC2 RIGHT



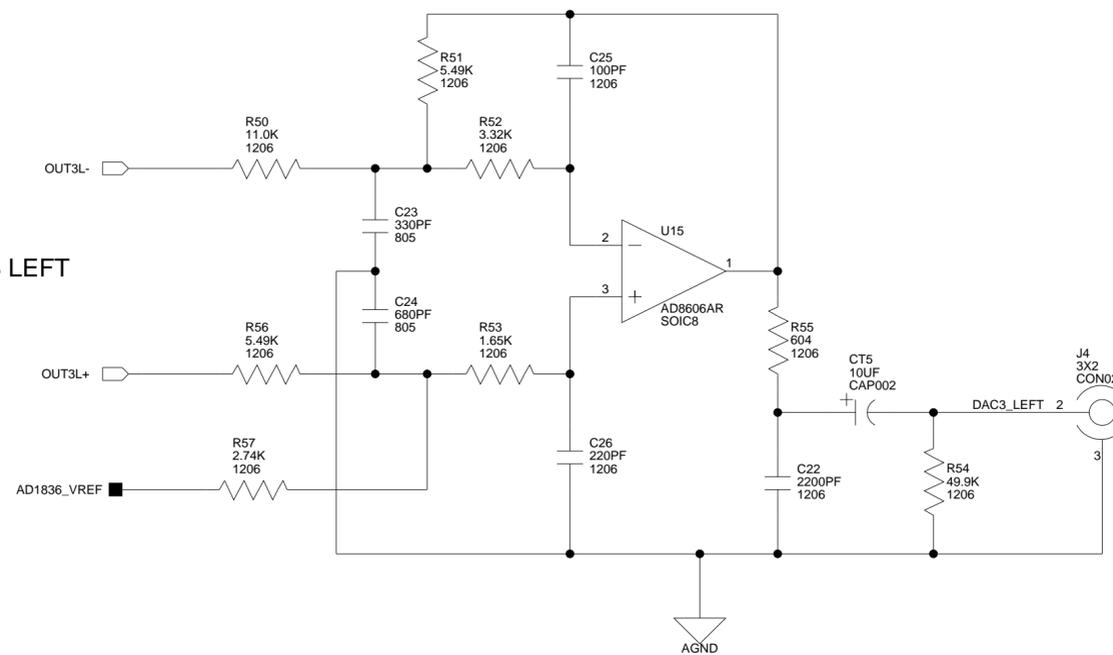
DAC3 RIGHT



DAC2 LEFT



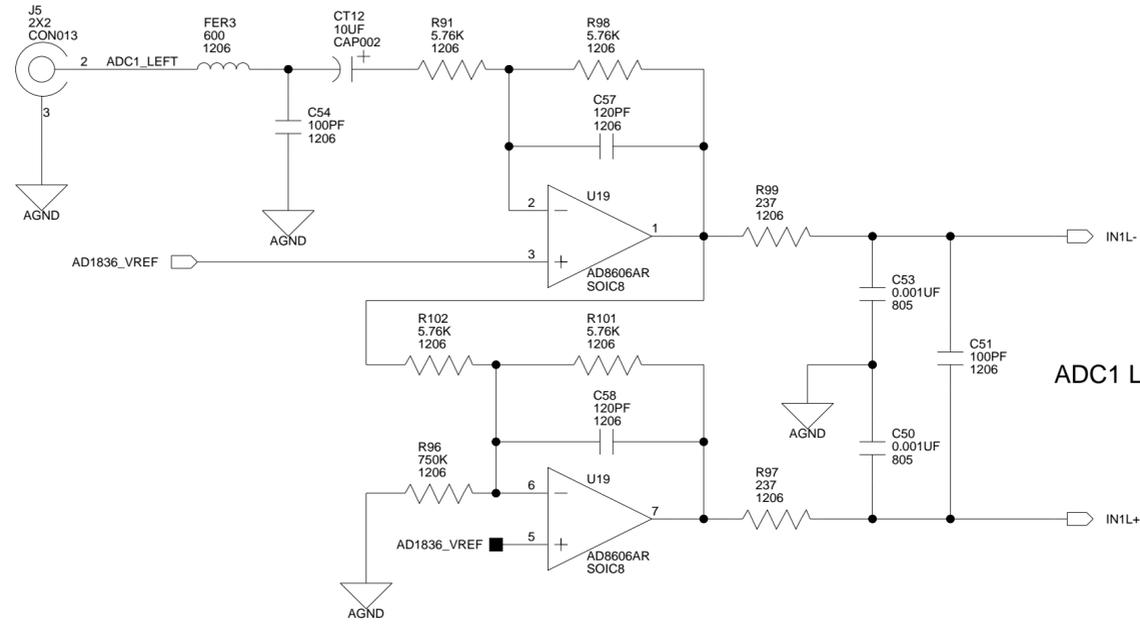
DAC3 LEFT



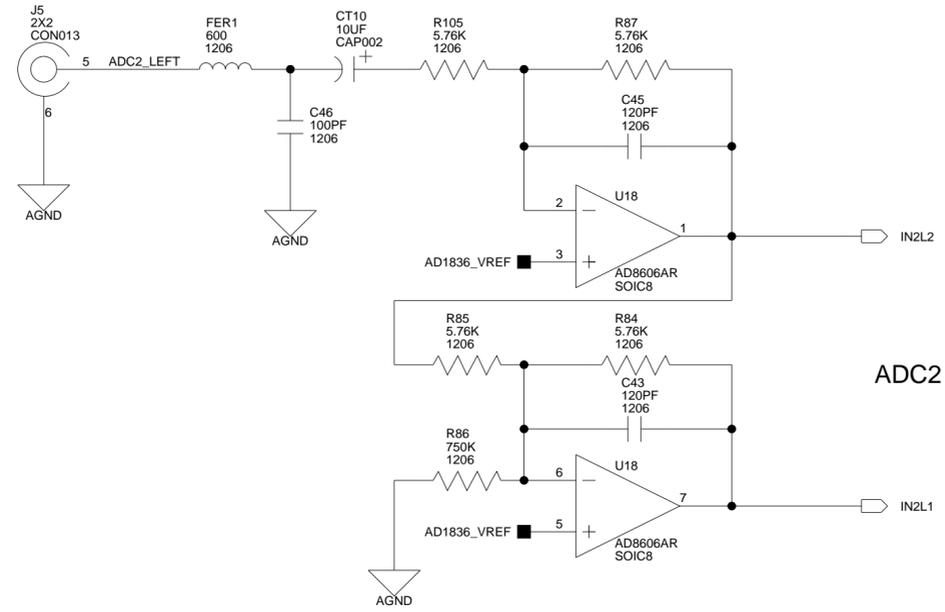
DNP = Do Not Populate

ANALOG DEVICES 20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

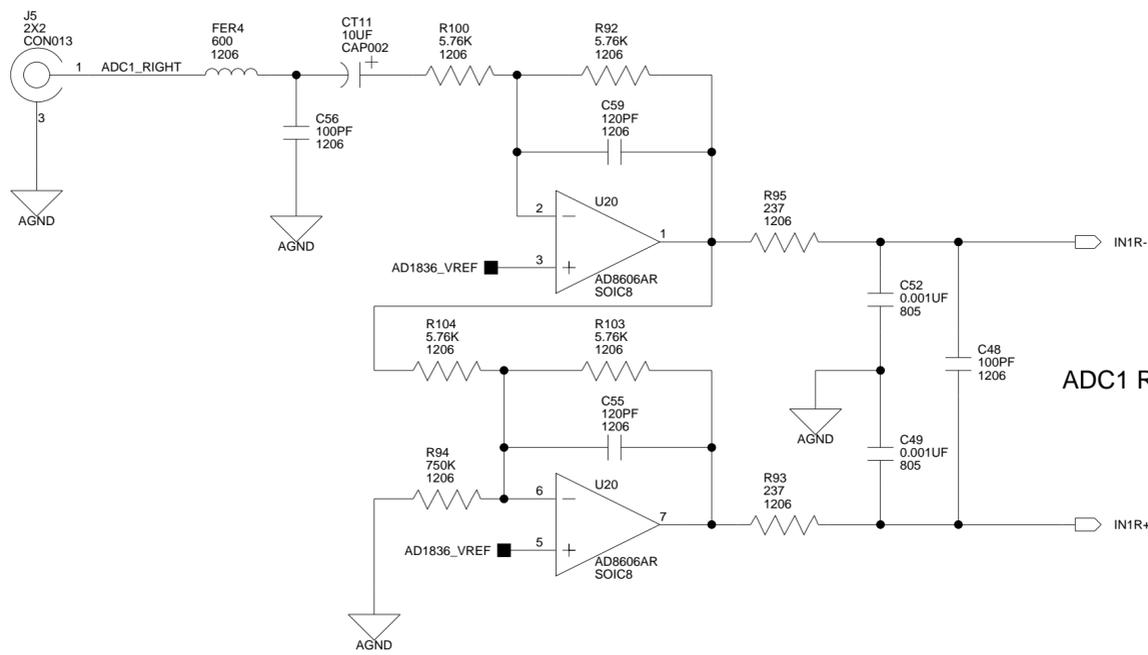
Approvals	Date	Title ADSP-BF533 EZ-KIT LITE - AUDIO OUT	
Drawn		Size C	Board No. A0167-2001
Checked		Date 12-21-2004_15:12	Rev 1.6C
Engineering		Sheet 5	of 12



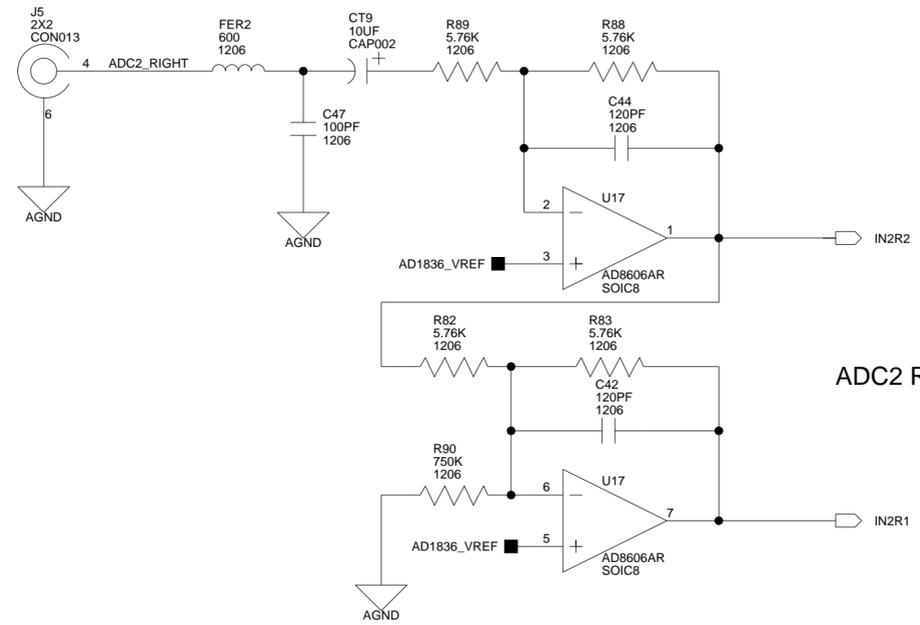
ADC1 LEFT



ADC2 LEFT



ADC1 RIGHT



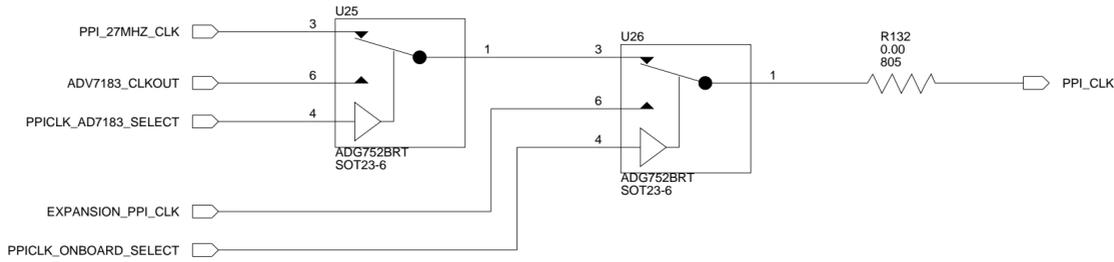
ADC2 RIGHT

DNP = Do Not Populate

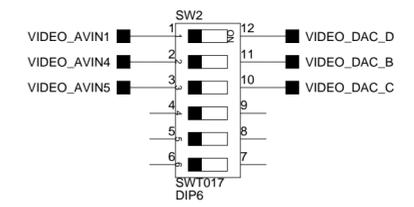
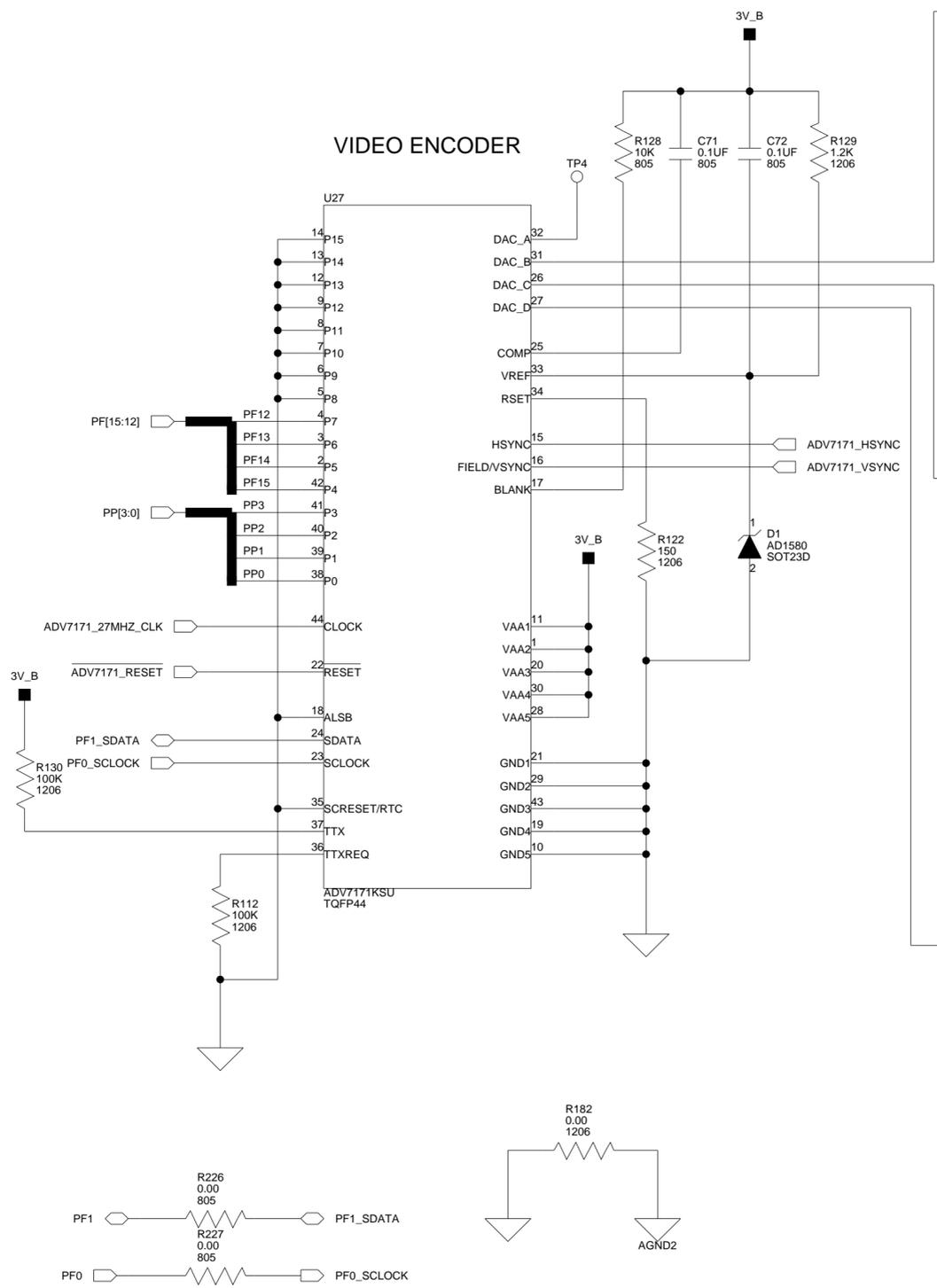
 ANALOG DEVICES		20 Cotton Road Nashua, NH 03063 PH: 1-800-ANALOGD		
		Title ADSP-BF533 EZ-KIT LITE - AUDIO IN		
Approvals Drawn Checked Engineering	Date	Size C	Board No. A0167-2001	Rev 1.6C
Date 12-21-2004_15:12		Sheet 6 of 12		

PPICKL_ONBOARD_SELECT	PPICKL_AD7183_SELECT	PPCLK
0	0	PPL_27MHZ_CLK (DEFAULT)
0	1	ADV7183_CLKOUT
1	X	EXPANSION_CLK

	DAC B	DAC C	DAC D
Composite Video	CVSB		CVSB
Component Video	B	R	G
Differential Component Video	U	V	Y
S Video		C	Y



VIDEO ENCODER



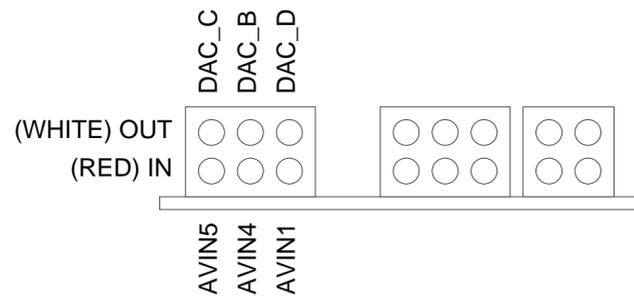
DNP = Do Not Populate

ANALOG DEVICES

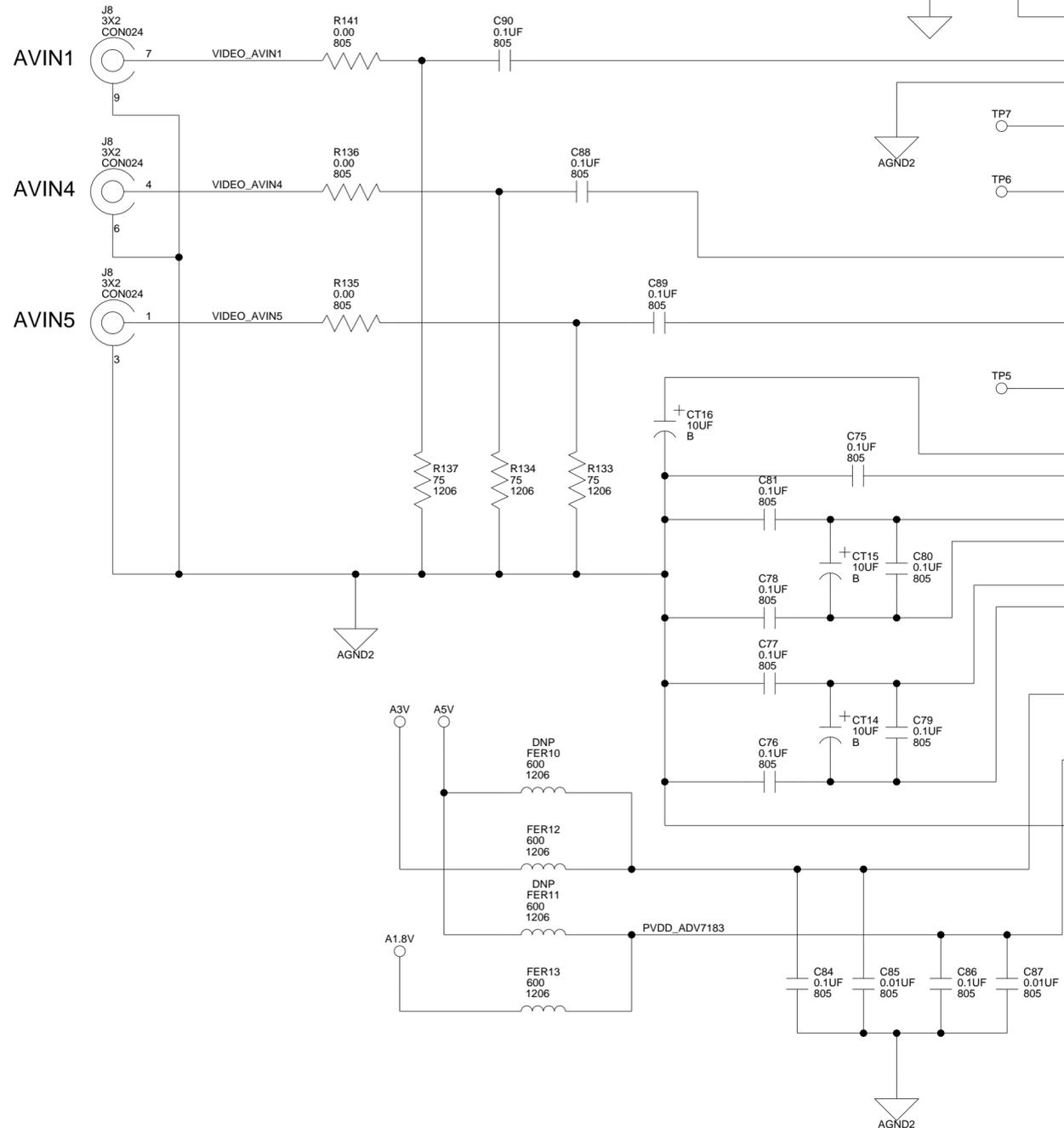
20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

Approvals		Date		Title	
Drawn		Checked		Engineering	
Size C		Board No.		Rev	
Date		Sheet		of	
12-21-2004_15:12		7 of 12		A0167-2001 1.6C	

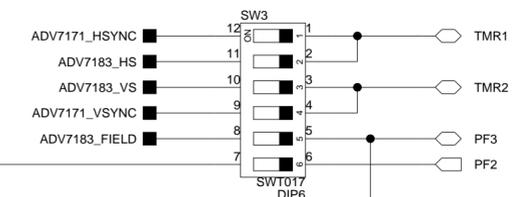
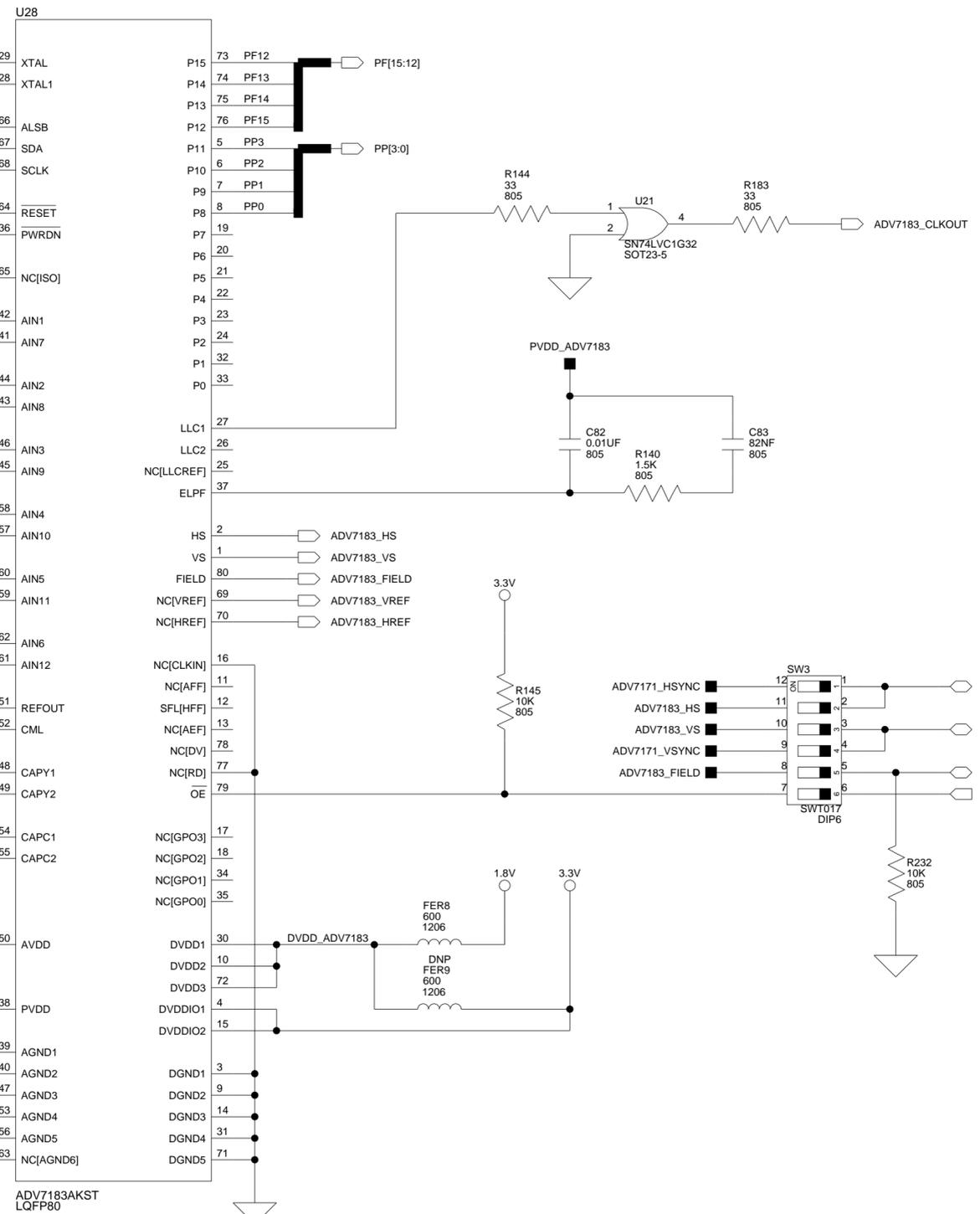
Approvals	Date
Drawn	
Checked	
Engineering	



	AVIN1	AVIN4	AVIN5
Composite Video	CVBS	CVBS	CVBS
Differential Component Video	Y	U	V
S Video	Y	C	



VIDEO DECODER



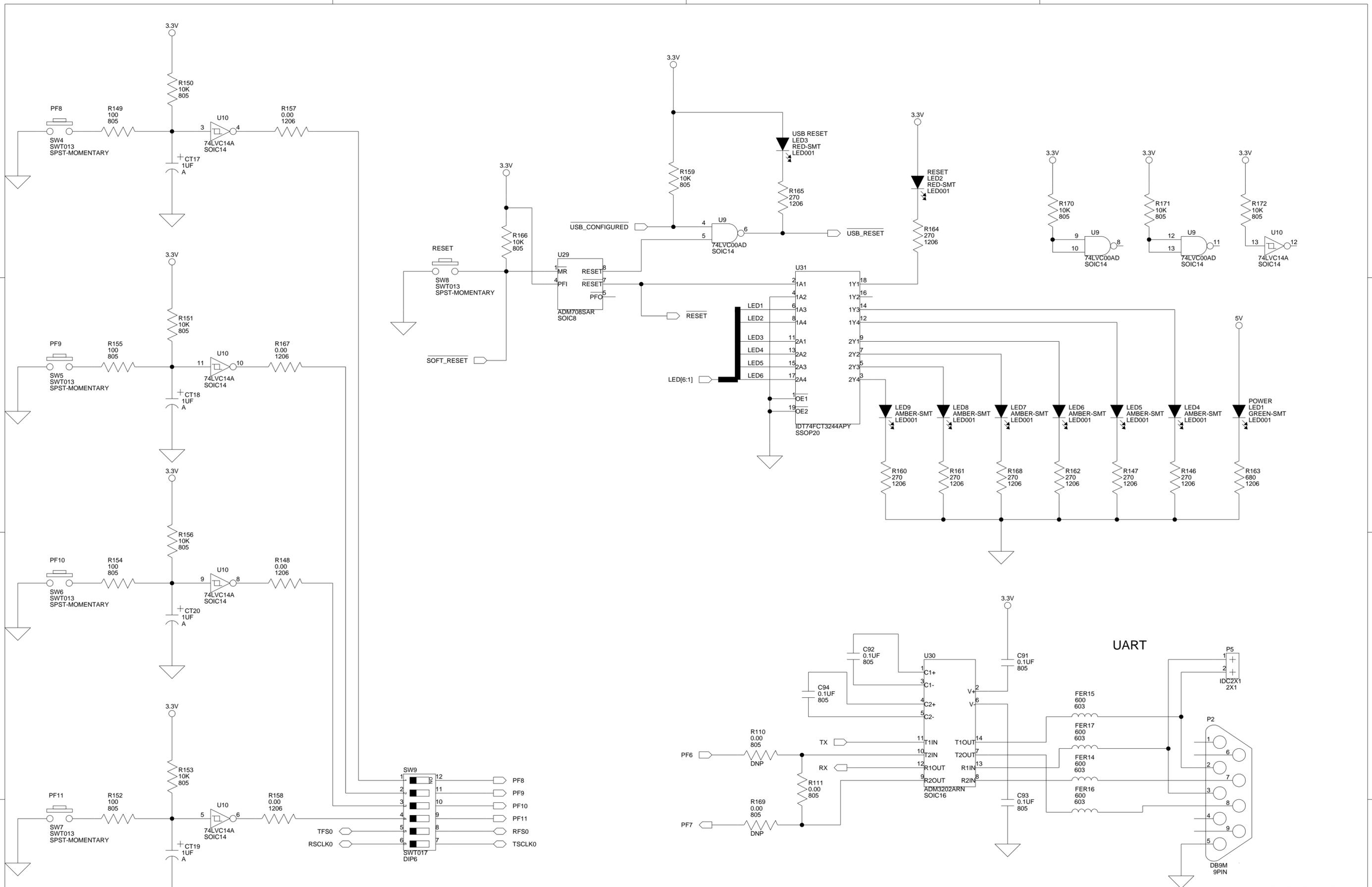
DNP = Do Not Populate

20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

Approvals		Date		Title	
Drawn		Board No.		Rev	
Checked		Size C		Sheet 8 of 12	
Engineering		Date		Rev 1.6C	

Approvals	Date
Drawn	
Checked	
Engineering	

Title		Rev	
ADSP-BF533 EZ-KIT LITE - VIDEO IN		1.6C	
Board No.		Sheet	
A0167-2001		8 of 12	
Date		Rev	
12-21-2004_15:12		1.6C	



SW8 PB Enable Switch

Position	Function
1-4	Connects the push buttons to the Programmable Flags of the DSP Useful if using the PFs for another purpose.
5,6	Connects SPORT0 frame sync and clock together external to the DSP Required when AD1836 is in I2S mode

DNP = Do Not Populate

ANALOG DEVICES

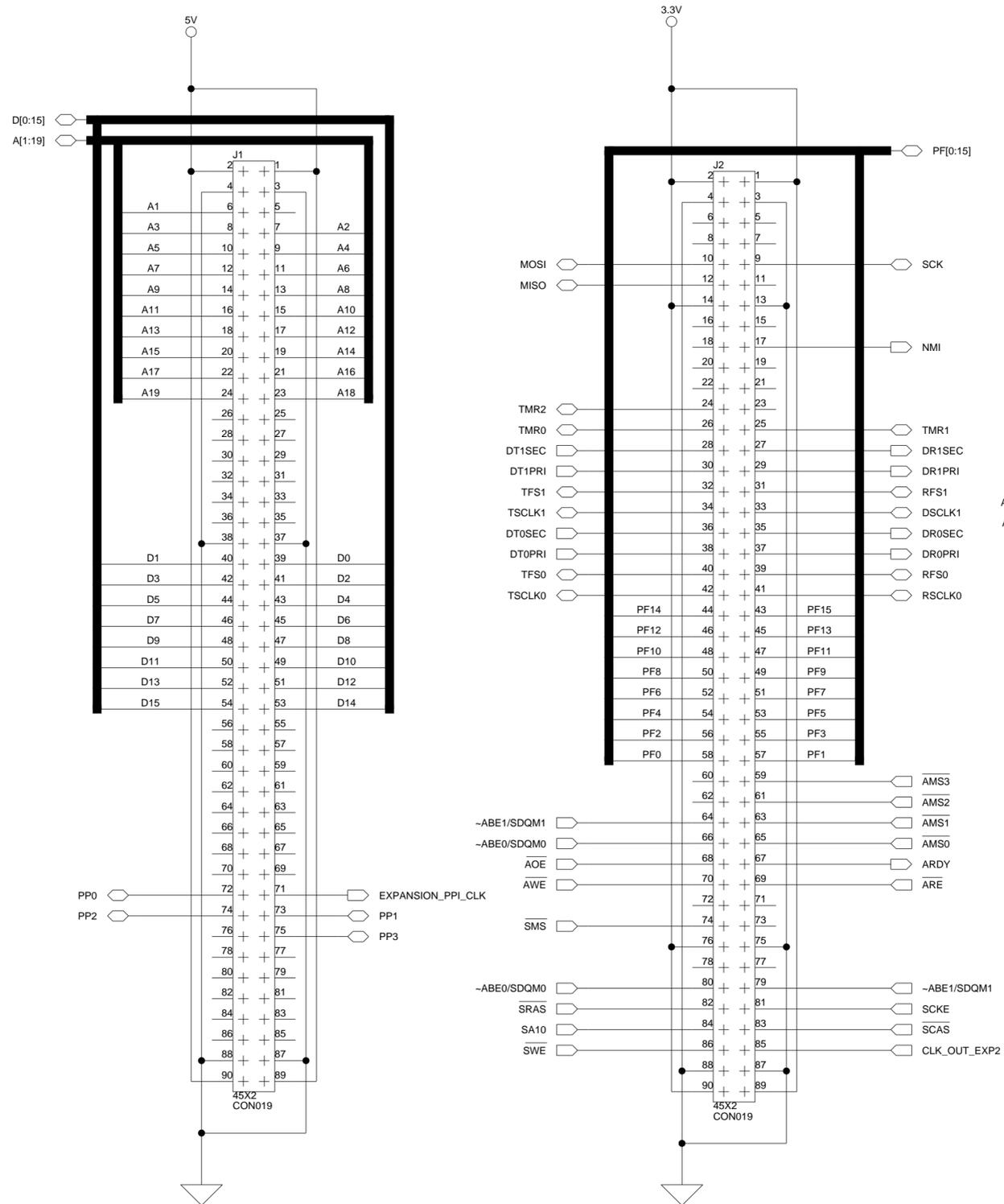
20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

Title ADSP-BF533 EZ-KIT IO/RESET/UART

Size C	Board No. A0167-2001	Rev 1.6C
Date 12-21-2004_15:12	Sheet 9 of 12	

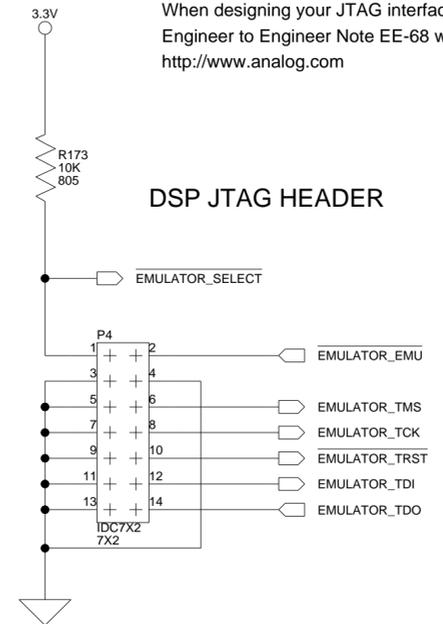
Approvals	Date	Title
Drawn		
Checked		
Engineering		

EXPANSION INTERFACE (TYPE B)

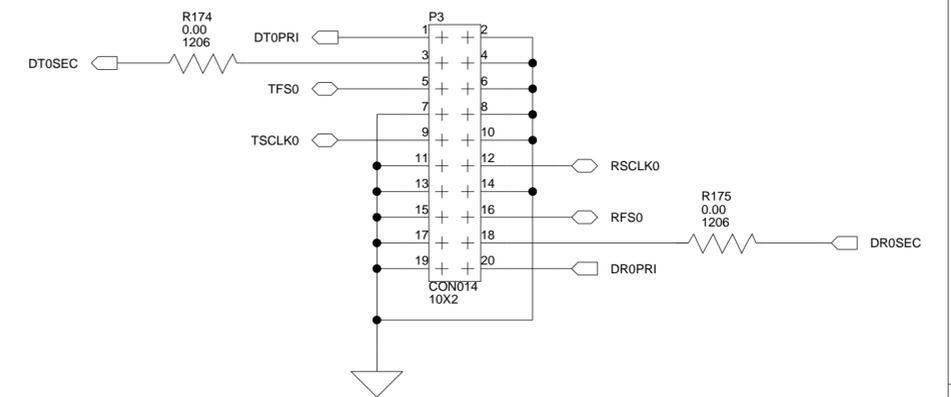


All USB interface circuitry is considered proprietary and has been omitted from this schematic.
 When designing your JTAG interface please refer to the Engineer to Engineer Note EE-68 which can be found at <http://www.analog.com>

DSP JTAG HEADER



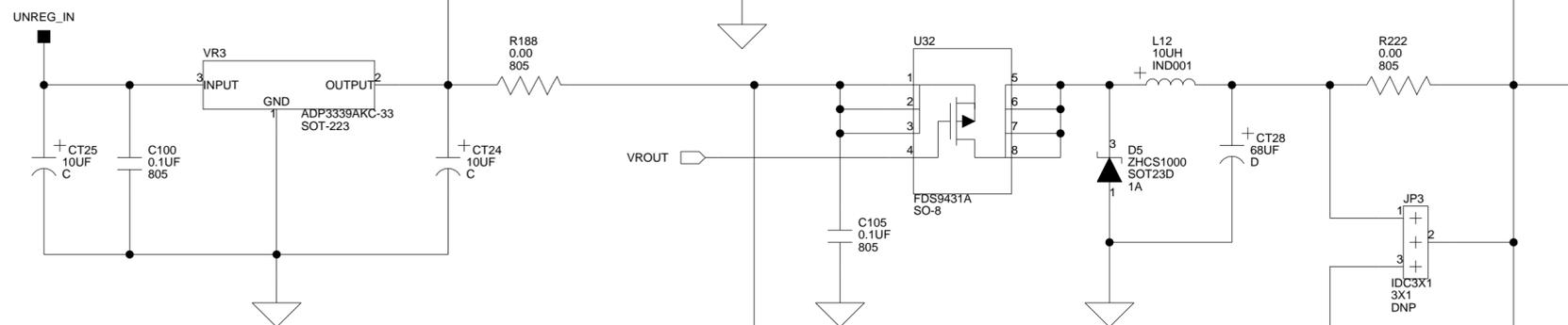
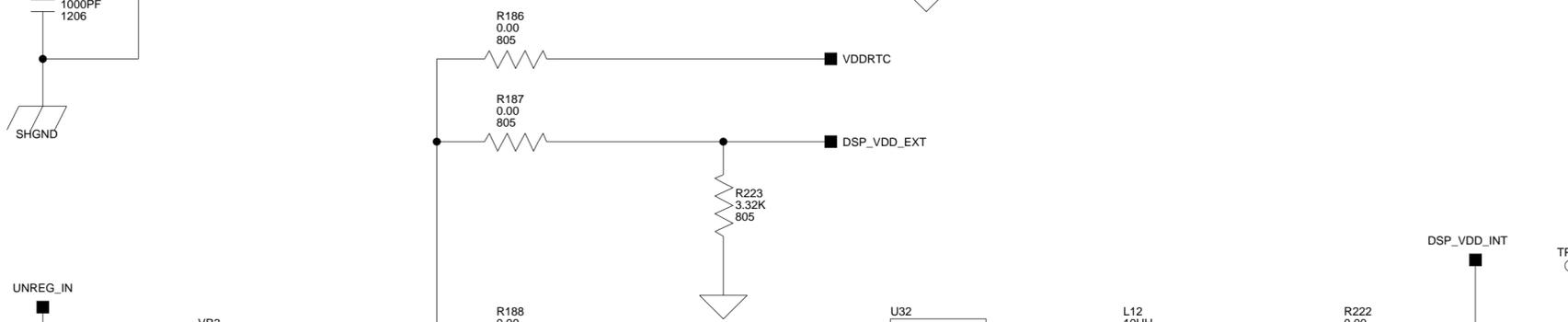
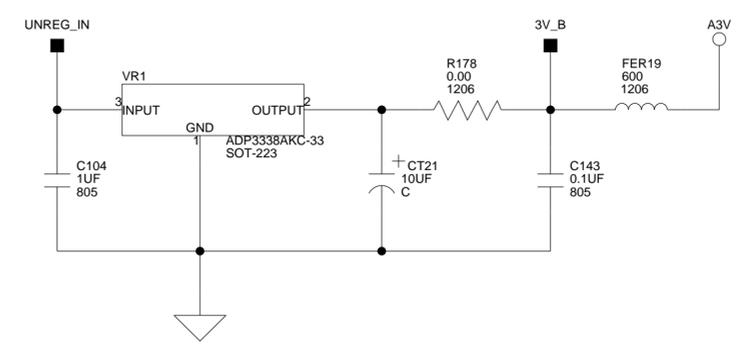
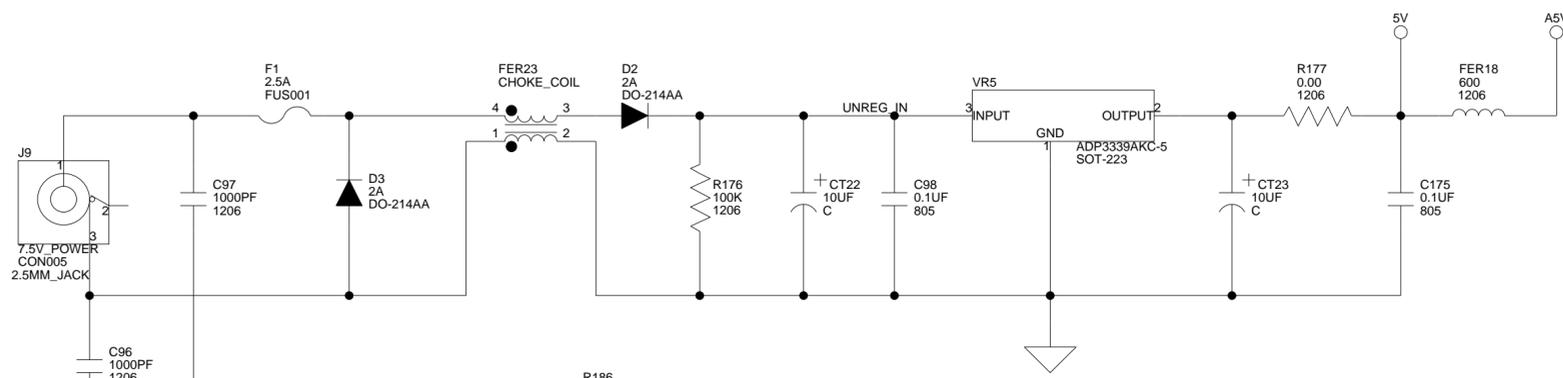
SPORT0



DNP = Do Not Populate

		20 Cotton Road Nashua, NH 03063 PH: 1-800-ANALOGD	
		Title ADSP-BF533 EZ-KIT LITE - CONNECTOR	
Size C	Board No. A0167-2001	Rev 1.6C	
Date 12-21-2004_15:11	Sheet 10 of 12		Rev 1.6C

Approvals	Date
Drawn	
Checked	
Engineering	

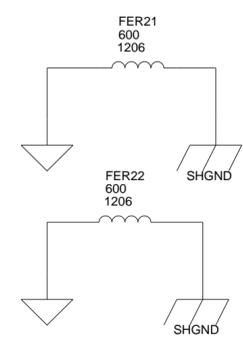
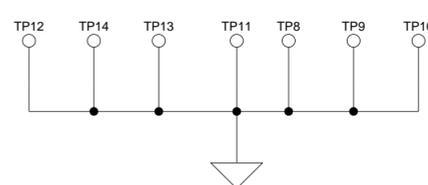
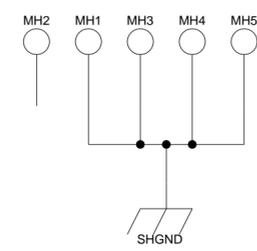
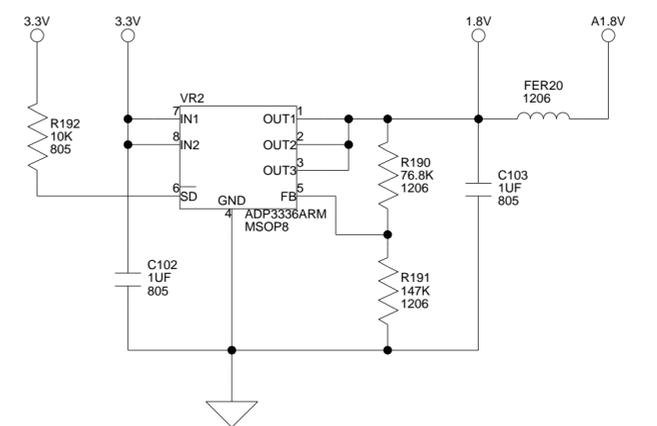
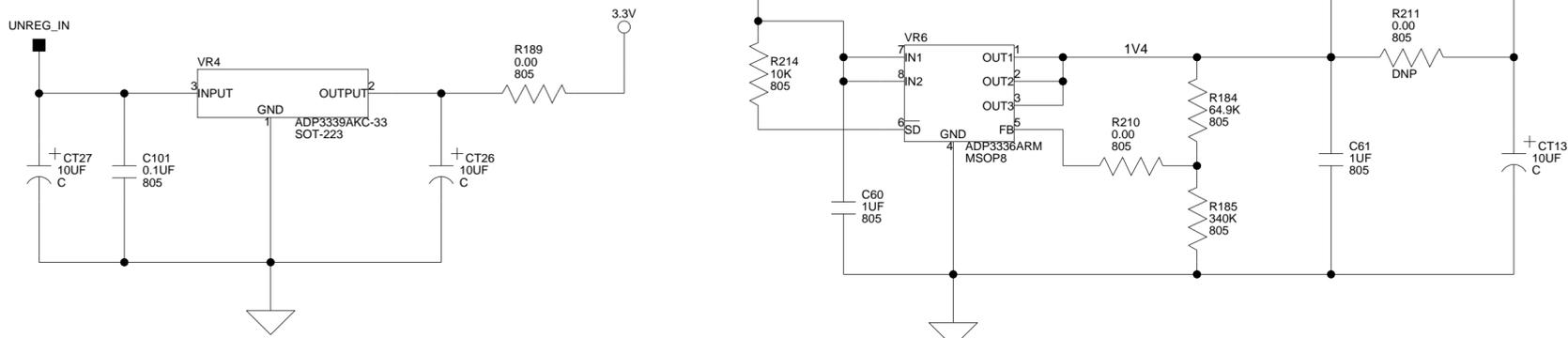


SJ1 SHORTING JUMPER
DEFAULT=2 & 3

SW10: Core Voltage Source Select
DEFAULT: Not Populated

Position	Function
1 and 2	DSP_VDD_INT = DSP Internal Voltage Regulation
2 and 3	DSP_VDD_INT = 1.4V Fixed

Note: For boards without a 750MHz processor this jumper will not be populated and the DSP_VDD_INT will be hard-wired with R222 to use the processor internal regulator.



DNP = Do Not Populate

ANALOG DEVICES

20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

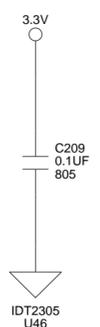
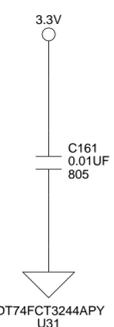
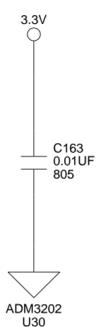
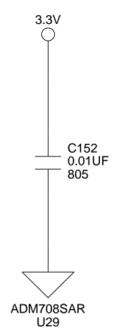
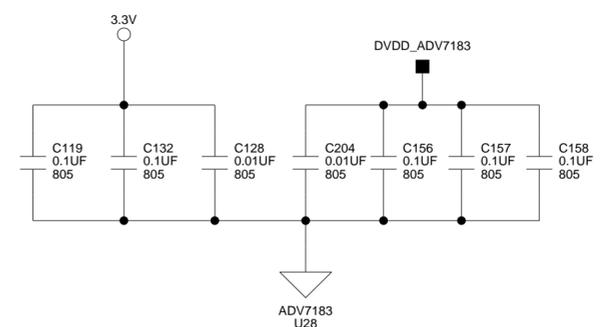
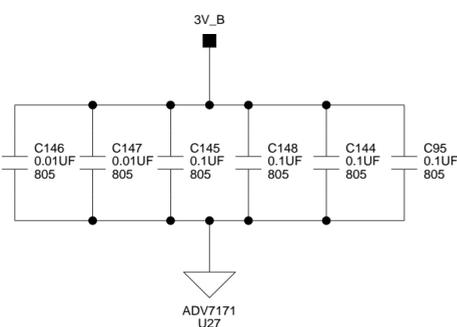
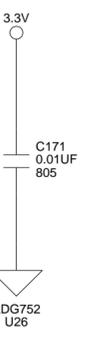
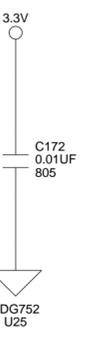
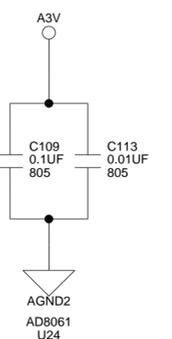
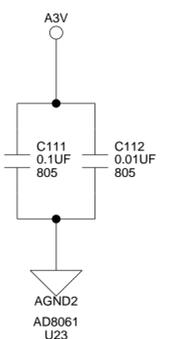
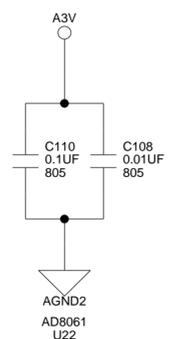
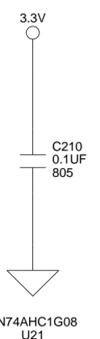
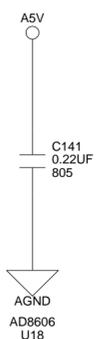
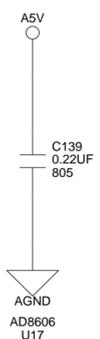
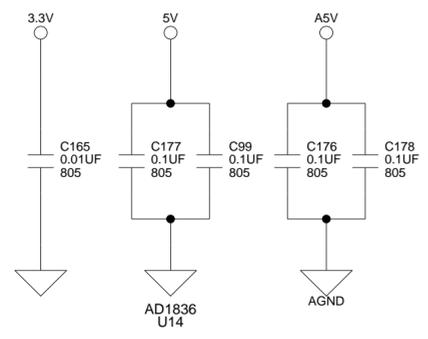
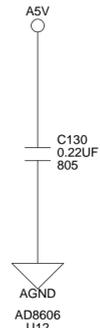
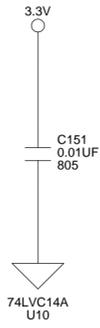
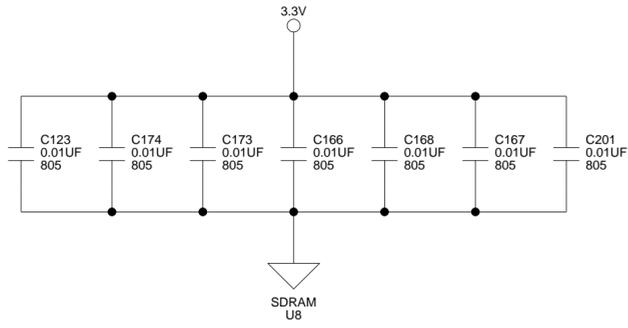
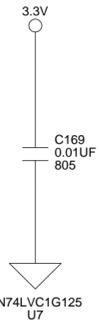
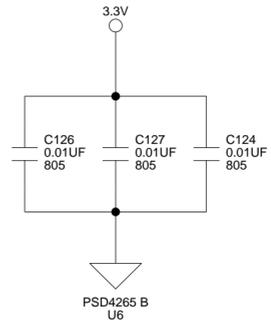
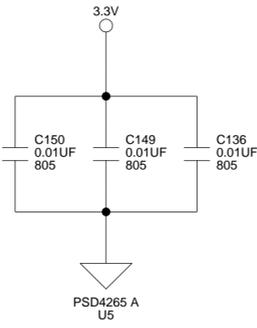
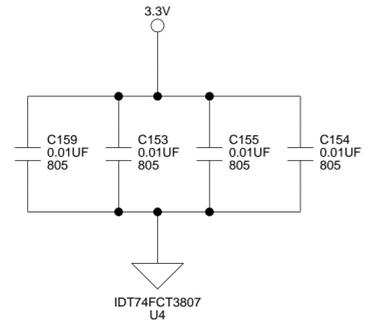
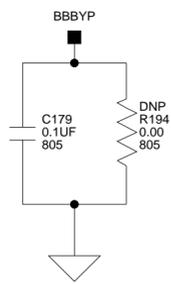
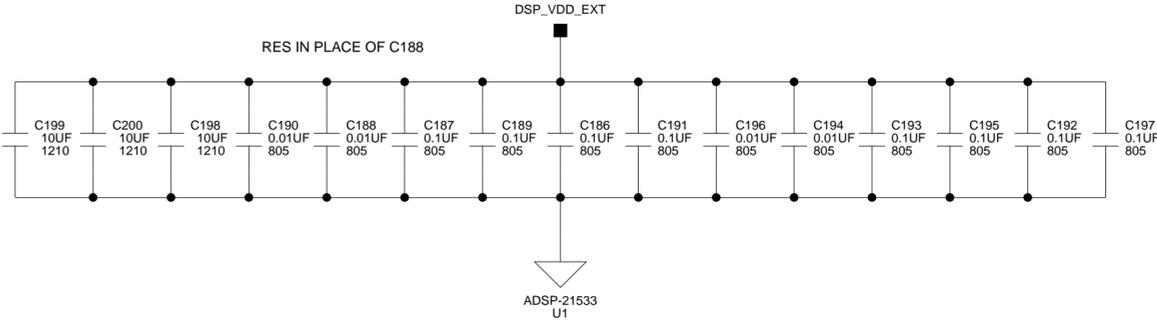
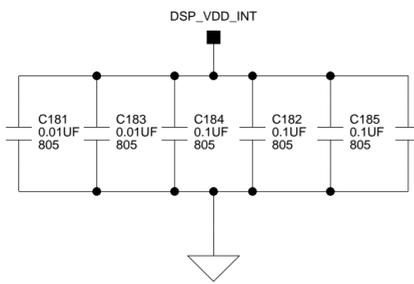
Approvals		Date		Title ADSP-BF533 EZ-KIT LITE - POWER	
Drawn				Size C	Board No. A0167-2001
Checked				Date 12-21-2004_15:11	Rev 1.6C
Engineering				Sheet 11 of 12	

A

B

C

D



DNP = Do Not Populate



ANALOG DEVICES

20 Cotton Road
Nashua, NH 03063
PH: 1-800-ANALOGD

Approvals	Date
Drawn	
Checked	
Engineering	

Title ADSP-BF533 EZ-KIT LITE - BYPASS CAPS	
Size C	Board No. A0167-2001
Date 12-21-2004_15:11	Rev 1.6C
Sheet 12 of 12	

A

B

C

D

I 索引

記号

~AMS0、メモリ・セレクト・ピン、
2-3, 2-7, 3-3
~AMS1、メモリ・セレクト・ピン、
2-3, 2-7, 3-3
~AMS2、メモリ・セレクト・ピン、
2-3, 2-7, 3-3
~SMS0、メモリ・セレクト・ピン、
2-2, 3-3

A

AD1836, 2-11, 3-4, 3-12
ADSP-BF533 プロセッサ
CLK IN, 3-7
CLK OUT, 3-3
IO 電圧, 3-2
アドレス・スペース, 2-7
オーディオ・インターフェース、
SPORT0 を参照
外部バス・インターフェース・ユ
ニット (EBIU) , 3-3
コア電圧, 3-2
内部 SRAM, 2-2
内部メモリの制約, 2-2
入力クロック, 3-3
パラレル・ペリフェラル・イン
ターフェース (PPI) , 3-6

ペリフェラル・ポート, xii
メモリ・マップ, 2-2
リアル・タイム・クロック (RTC) ,
3-3
ADV7171、ビデオ・エンコーダ、
2-13, 3-6, 3-7, 3-11
ADV7183、ビデオ・デコーダ, 2-13,
3-6, 3-7, 3-11
ASYNC、メモリ・バンク 0-2, 2-3

D

DIP スイッチ, 3-9
SW を参照

E

EBIU_SDBCTL, 2-5
EBIU_SDGCTL, 2-5
EBIU_SDRRC, 2-5
EZ-KIT Lite ボード
アーキテクチャ, 3-2
特長, x

H

HSYNC 信号, 3-6, 3-7, 3-11