

IBISモデルの開発方法【Part 3】 実測データを基に品質レベル3の IBISモデルを作成する

著者：Christine C. Bernal、プロダクト・アプリケーション・エンジニア
 Janchris Espinoza、プロダクト・アプリケーション・エンジニア
 Aprille Hernandez-Loyola、プロダクト・アプリケーション・エンジニア

概要

一般に、IBIS (Input/Output Buffer Information Specification) モデルは、設計した回路のシミュレーション結果を基にして作成されます。しかし、設計に関する情報を収めたファイルが古かったり、存在しなかったりといったケースは少なくありません。あるいは、一部の部品が古い製品で、フォーマットの問題から回路図のファイルを使用できないといったことも起こり得ます。そこで、本稿では実際のICを使用し、その実測結果を基にしてIBISモデルを作成する手順を示します。その手順は、データの抽出やモデルの検証といった作業から成ります。現実のプリント回路基板では、パターンの寄生要素に起因するインピーダンス・ミスマッチが発生します。その問題を最小限に抑えるためには、IBISモデルの作成に向けた専用のボードを使用してデータを収集しなければなりません。本稿で取り上げる具体的な例では、そのようにしてシグナル・インテグリティに関する制約を管理し、信頼性の高いIBISモデルを作成します。その上で、シミュレーションと実測を組み合わせることで作成したモデルの検証を行います。その結果として、品質レベル3に適合するIBISモデルを完成させます。

はじめに

IBISは、ICのI/Oバッファをモデル化するための標準フォーマットです。シグナル・インテグリティのシミュレーションなどに使用できるビヘイビア・モデルとして、世界中で利用が広がっています。各種ICのモデルの精度は、業界で提供されているIBISモデルの品質に依存することになります。品質と信頼性に優れたIBISモデルを提供することは、お客様に対して自社の強い責任感を表明することにつながります。

IBISモデルの代表的な作成方法としては、シミュレーション結果を利用するというものが挙げられます。しかし、その方法は、設計情報を収めたファイルが存在しないという理由で利用できないことがあります。そのような場合に解決策となるのが、実測結果を基にしてIBISモデルを作成する方法です。この方法を利用すれば、品質が高く、より現実のデバイスの特性に近いビヘイビア・モデルを作成することが可能です。

図1に、実測結果を基にIBISモデルを作成する方法の工程を示しました。この方法では、まずICのサンプルを用意し、そのレシーバーとドライバが備える各種バッファの動作を観測します。その結果として、V-I (電圧・電流) データとV-t (電圧・時間) データを取得します。それらのデータを使用してIBISモデルを構築します。次に、適切な負荷条件の下で、IBISモデルのシミュレーション結果と実測結果を照らし合わせて検証を実施します。この工程を完了すれば、品質レベル2bのIBISモデルが得られたこととなります。更に上の品質レベル3を達成するには、トランジスタ・レベルの回路図を基にしたシミュレーション結果と、作成したIBISモデルを使用したシミュレーション結果を比較する工程を追加しなければなりません。この検証においても、推奨される適切な負荷条件を適用する必要があります。

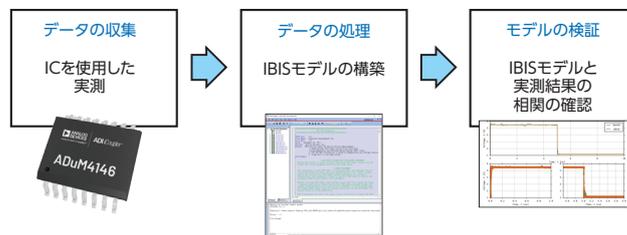


図1. 実測結果を基にしたIBISモデルの生成手順

IBIS品質タスク・グループは、IBISモデルの品質基準を定めるためのQC (Quality Control) プロセスを定めています。そのプロセスは、5つの品質レベルをベースとしています。各品質レベルは、表1に示したように定義されています。

表1. IBIS品質仕様で定められた品質レベル

| 品質レベル | 説明 |
|-------|----------------------------|
| 0 | パーサ (ibischk) による検証に合格 |
| 1 | チェックリスト・ドキュメントの定義に完全に従っている |
| 2a | シミュレーション結果の相関を確認済み |
| 2b | ICの実測結果との相関を確認済み |
| 3 | 上記のすべてを満たす |

表1に示した品質レベルは、ベンダーによって異なるIBISモデルの品質についての基準になります¹。このように設定された基準を満たすことで、精度が高く、信頼できるモデルであるという確証をお客様に示すことができます。モデルの品質レベルが高いほど、その精度は高いと言えます。高い品質レベルを満たすには、より多くの検証プロセスに対応する必要があります。

以下、5つの品質レベルについて順に説明していきます。なお、IBISの精度を確認するためのチェックリストや、広く認知されている5つの品質レベルについて詳しく知りたい方は、稿末に示した参考資料2「Semiconductor Modeling: For Simulating Signal, Power, and Electromagnetic Integrity (半導体のモデリング：信号、電力、電磁界インテグリティのシミュレーションに対応)」をご覧ください。

品質レベル0：パーサによる検証に合格

品質レベル0で求められるのは、IBISに対応するパーサ (ibischk) による検証に合格することです。これは、最小限の要件だと言えます。ibischkによるテストでエラーが発生しないこと、また解消できない警告についてはすべて合理的な説明できることが求められます。警告が発生しないことが理想ですが、なかには回避できない警告も存在することは認知されています。IBISモデルを作成する場合、ibischkから発せられるエラー、警告、注意の各メッセージを参考にすることで、何が問題なのかを把握することができます。そのため、問題のある部分を容易に修正することができます。ibischkによってIBISモデルの検証を行うと、図2のような結果が得られます。

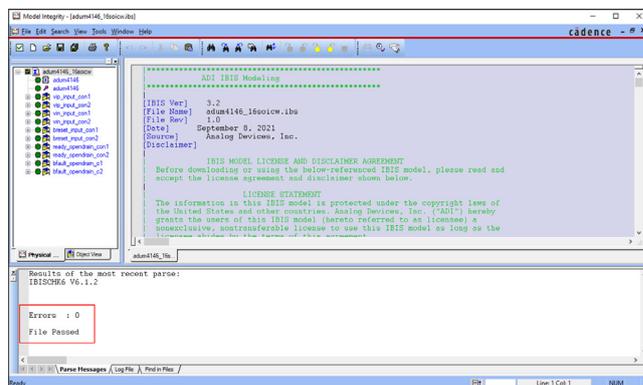


図2. ibischkによる検証の結果。
このIBISモデルはパーサによる検証に合格しています。

品質レベル1：チェックリスト・ドキュメントの定義に完全に従っている

品質レベル1のIBISモデルを実現するためには、まず品質レベル0をクリアしなければなりません。その上で、基本的なシミュレーションの正確性と完全性についての追加のチェックに適合させる必要があります。まず、パッケージの寄生要素、ピンの構成、負荷のパラメータが正しく定義されていなければなりません。また、上昇率/下降率 (ramp) や標準値/最小値/最大値が、デバイスの仕様と一致している必要があります。品質レベル1の要件については、[こちらのファイル](#)を参考にしてください。

品質レベル2a：シミュレーション結果の相関を確認済み

品質レベル2aの達成に向けては、IBISモデルで得られる特性と、ICのトランジスタ・レベルの設計との比較を実施します。IBISモデルに負荷を接続したときのシミュレーション結果と、トランジスタ・レベルの回路に同じ負荷を接続した場合のシミュレーション結果の相関を確認するということです。2つのシミュレーション結果を比較することにより、モデルが品質レベル2aを満たすかどうかを確認することができます。

品質レベル2b：ICの実測結果との相関を確認済み

品質レベル2bの達成に向けては、IBISモデルを使用したシミュレーション結果と、現実のICの実測結果を比較します。その際には、品質レベル2aの場合と同様に、両方の回路に同じ負荷を接続して相関を確認します。得られた相関結果に基づいて、IBISモデルが品質レベル2bを満たすかどうかを判定します。

品質レベル3：シミュレーションと実測の両方の相関を確認済み

品質レベル3を達成するには、トランジスタ・レベルの回路と実際のICの両方を対象としてIBISモデルの検証を行うことが求められます。つまり、品質レベル2aと同2bで扱う両方の相関を確認する必要があります。当然のことながら、パーサによる検証に合格していること (品質レベル0)、品質チェックリストに従っている (品質レベル1) ことも求められます。

具体例に基づく IBIS モデルの作成／検証

本稿では、絶縁型のゲート・ドライバ「ADuM4146」をケース・スタディの対象として解説を進めることにします。ADuM4146は、特にSiCベースのMOSFETの駆動を念頭に置いて最適化された製品です。3つの入力ピン (VIP、VIN、RESET) と2つのオープンドレイン・ピン (READYとFAULT) を備えています (図3)。本稿では、入力バッファとしてはVIPピン、オープンドレイン・バッファとしてはFAULTピンだけを対象として解説を進めることにします。同じ種類のバッファに対応するピンについては、IBISモデルの作成／検証の手順は同じになるからです。とはいえ、IBISモデルに含まれるデータは必ずしも同じになるとは限りません。その点には注意してください。

ADuM4146は、標準的なSOIC_Wパッケージを採用しています。検証のプロセスでは、このパッケージは寄生要素のRLC (抵抗／インダクタンス／容量) 成分の値を使って表現されます。パッケージのRLCの値は、パッケージを担当する技術者がシミュレーションによって抽出しています。また、IBISモデルの評価専用のボードには、そのプリント基板の寄生要素が存在しています。それらを表すRLCの値は、基板を担当する技術者によって抽出されています。

表2は、ADuM4146のピン構成と、各ピンのバッファの種類を示したものです。これらの情報は、IBISモデルにおいてキーワード [Pin] を使用して記述します。

表2. ADuM4146が備える各ピンの名前、バッファの種類

| ピン番号 | 信号名 | モデル名 |
|------|------------|------------------|
| 1 | VSS1 | GND |
| 2 | VIP | vip_input |
| 3 | VIN | vin_input |
| 4 | READY | ready_opendrain |
| 5 | FAULT | bfault_opendrain |
| 6 | RESET | breset_input |
| 7 | VDD1 | POWER |
| 8 | VSS1 | GND |
| 9 | VSS2 | GND |
| 10 | DESAT | NC |
| 11 | GND2 | GND |
| 12 | VOUT_OFF | NC |
| 13 | VDD2 | POWER |
| 14 | VOUT_ON | NC |
| 15 | GATE_SENSE | NC |
| 16 | VSS2 | GND |

IBISモデルの作成に向けた実測の手順

実測によってデータを収集する際には、様々な外的要因の影響を受ける可能性があります。実測値との相関をとって品質の高いモデルを作成するには、それらの要因を補償しなければなりません。

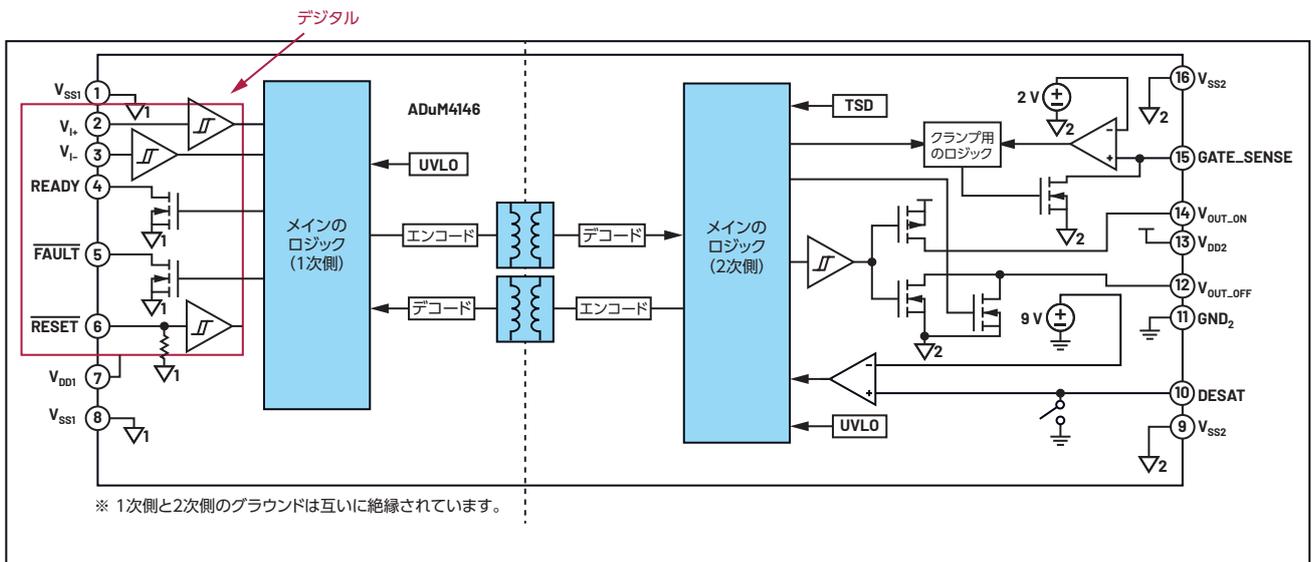


図3. ADuM4146の機能ブロック図

外的要因の影響を最小限に抑えるには、テストの対象となるデバイス (DUT) を専用のボードに配置します (図4)。このボードは、デバイスの動作の正確な測定を妨げるおそれのある容量を抑えることを目的として設計されています。寄生要素の中でも、寄生容量は現実のICの特性を測定する際に重大な問題になります。実際、ICのモデルにおいて動作周波数と帯域幅に対する制約要因になることも少なくありません。

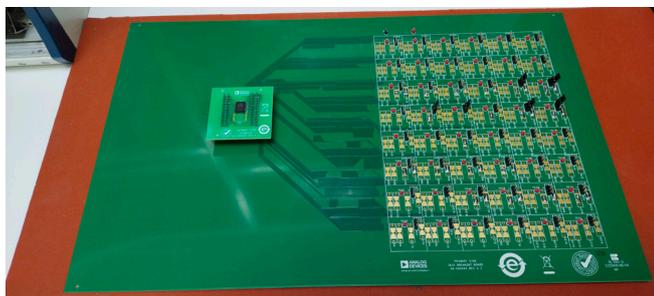


図4. 実測を行うための専用ボード。
IBISモデルの作成に向けて使用します。

事前の準備

ここからは、実測をベースとしたIBISモデルの作成手順について説明していきます。表3は、実測の前に準備すべき事柄についてまとめたものです。一方、表4には、バッファの動作を定義する各種のモデル・タイプとその構成要素を示しています。モデル・タイプについては、「IBISモデルの開発方法【Part 1】IBISモデルの開発が設計の成功に不可欠な理由」³と「IBISモデルの開発方法【Part 2】独自のIBISモデルの作成方法」⁴を参照してください。必要に応じて、稿末に示した参考資料5「IBIS Modeling Cookbook for IBIS Version 4.0 (IBISモデリング・クックブック IBIS Version 4.0対応版)」もご覧になるとよいでしょう。

表3. 実測の前に準備するもの

| 必要なもの | 説明 |
|---------------------|--|
| DUT/サンプル | テスト済みの良好なサンプルを用意 |
| アダプタ・ボード | ICのパッケージの種類を定義 |
| パッケージの寄生要素 (RLC) の値 | デバイスのピン配置図を用意 |
| ICのデータシートの仕様 | 以下の項目を確認する <ul style="list-style-type: none"> ▶ ロジック回路の電源電圧の範囲 ▶ デジタル電源の範囲 (必要な場合) ▶ ピン配置 ▶ 動作温度範囲 ▶ ハイ/ローの入力電圧範囲 ▶ ハイ/ローの出力電圧範囲 ▶ タイミング・テストにおける負荷と特性 ▶ 動作理論 |

表4. 実測の対象とするモデル・タイプと構成要素

| モデル・タイプ | モデルの構成要素 |
|-------------------------------------|---|
| Input | <ul style="list-style-type: none"> ▶ [Power Clamp] ▶ [Ground Clamp] |
| Output 3-State, Output 2-State, I/O | <ul style="list-style-type: none"> ▶ [Power Clamp] ▶ [Ground Clamp] ▶ [Pullup] ▶ [Pulldown] ▶ [Rising Vddref] ▶ [Falling Vddref] ▶ [Rising Gndref] ▶ [Falling Gndref] |
| Open_drain, I/O_open_drain | <ul style="list-style-type: none"> ▶ [Power Clamp] ▶ [Ground Clamp] ▶ [Pulldown] ▶ [Rising Vddref] ▶ [Falling Vddref] |
| Open_source, I/O_open_source | <ul style="list-style-type: none"> ▶ [Power Clamp] ▶ [Ground Clamp] ▶ [Pullup] ▶ [Rising Gndref] ▶ [Falling Gndref] |

実測用の環境設定

IBISモデルの作成に向けてデータ収集を行う際には、ICの動作について理解しておくことが不可欠です。これは、モデルを作成するための最初の工程で行うべきことです。実測によって抽出したV-IデータとV-tデータは、どちらも表形式でIBISモデル内に記述します。

V-Iデータには、ESD (Electro Static Discharge) に対するクランプ動作やドライバの駆動能力に関する情報が含まれています。一方、V-tデータには、ローの状態からハイの状態への遷移 (ならびに、その逆の遷移) に関する情報が含まれます。スイッチング動作については、出力バッファが実際に駆動するのと同じ値の負荷を出力ピンに接続した状態で測定を行います。実際には、標準的な伝送線の特性インピーダンスである50Ωを負荷の値として使用するのが一般的です。

V-Iデータは、電圧を掃引してバッファの電流の振る舞いを測定することで取得します。それには、電流のシンク/ソースが可能なプログラマブル電源とカーブ・トレーサを使用します。測定においては、 $-V_{DD} \sim 2 \times V_{DD}$ の電圧範囲で標準値、最小値、最大値を取得することが推奨されます。V-tデータの測定には、適切な帯域幅を備える低容量のプローブとオシロスコープを使用します。

測定を行う際には、DUTを専用のボード上に配置し、温度制御システムを適用します。様々な温度の下で測定を行うことにより、最低、標準、最高の性能が得られる状態で測定値を取得します。ここで、最低の性能というのは、駆動能力が最も低く、信号のエッジが最も緩やかになる状態のことを指します。一方、最高の性能が得られる状態では、駆動能力が最も高く、信号のエッジが最も急峻になります。前者の状態のデータは125°Cの条件下で取得されます。後者の状態のデータは-40°Cの条件下で取得されます。

測定データの抽出

実測環境の準備が整ったら、必要なV-Iデータ/V-tデータの収集を開始します。出力バッファとI/Oバッファについては、V-Iデータの表に加えて、立上がり/立下がりのデータが必要です。入力バッファに必要なのはV-Iデータの表のみです。

▶ V-Iデータの測定

実測によって取得したV-Iデータは、IBISの4つのキーワードに対応する形で使用します。まず、キーワード[Pullup]を使用することで、プルアップ用のコンポーネントがハイを駆動する場合のV-I特性を記述します。一方、キーワード[Pulldown]は、プルダウン用のコンポーネントがローを駆動する場合のV-I特性の記述に使用します。キーワード[Power Clamp]、[GND Clamp]は、ESD保護用のダイオードが高インピーダンスの状態にある場合のV-I特性に対応します。

V-I特性を測定する際には、ICを専用ボード上に配置し、電源ピンとグラウンド・ピンを電源に接続します。また、温度制御システムを準備し、所望の温度に調整して温度が安定するのを待ちます。準備が整ったら、推奨範囲内で電圧を掃引し、カーブ・トレーサを使用して対象となるバッファの電流を測定します。

[Pullup]と[Power Clamp]に対応するデータを取得するには、掃引装置の正のノードを電源電圧に接続し、負のノードをピンに接続します。[Pulldown]と[GND Clamp]に対応するデータを取得する場合には、掃引装置をグラウンド基準で使用します。カーブ・トレーサによって推奨範囲全体で電圧を掃引することができない場合には、外挿処理が必要になる可能性があります。

図5に示したのは、[GND Clamp]に対応する入力バッファ (V_{i+}) のV-Iデータを測定するための設定です。一方、図6は、この設定を使用して測定したV-Iデータのプロットです。グラウンド・クランプ用の回路は、入力電圧がグラウンドよりも低くなるとトリガされます。それにより、負の電流は徐々に減っていき、最終的にはゼロにセトリングします。入力ピン (V_{IP}) には、パワー・クランプ用のコンポーネントは存在しません。したがって、そのモデルにも[Power Clamp]に対応するデータは記述しません。

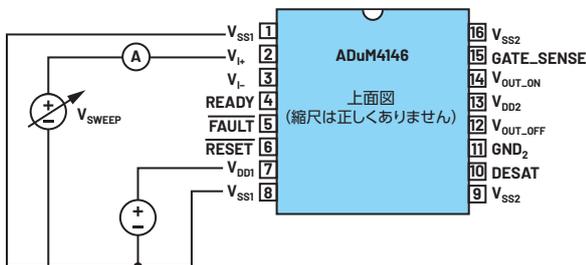


図5. [GND Clamp]に対応するV-Iデータを測定するための設定

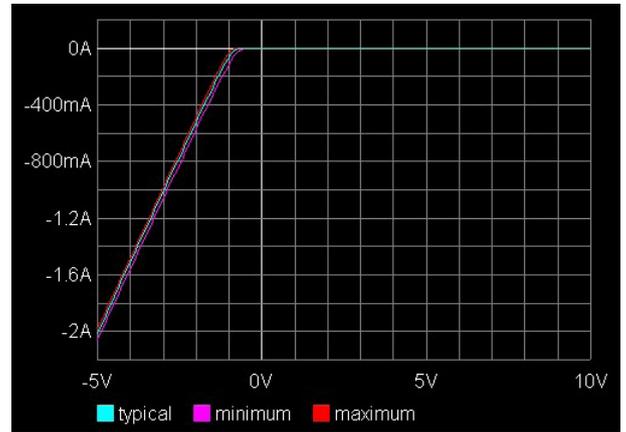


図6. [GND Clamp]に対応するV-Iデータ。入力バッファの測定結果です。

出力バッファについても、ESDに対応するクランプ、プルアップ、プルダウンのデータを同じ方法で取得します。但し、ADuM4146のREADYピンとFAULTピンは、オープンドレインのバッファです。つまり、プルアップ用のコンポーネントは存在しないので、必要なのはプルダウンのデータだけになります。

図7に、[Pulldown]に対応するV-Iデータを示しました。これは、ADuM4146が備えるオープンドレインのバッファについて測定を行った結果です。- V_{DD} ~ $2 \times V_{DD}$ の電圧範囲において、プルダウン曲線の電流は、負の値からスタートし、ゼロを通過して正の象限へと変化していきます。

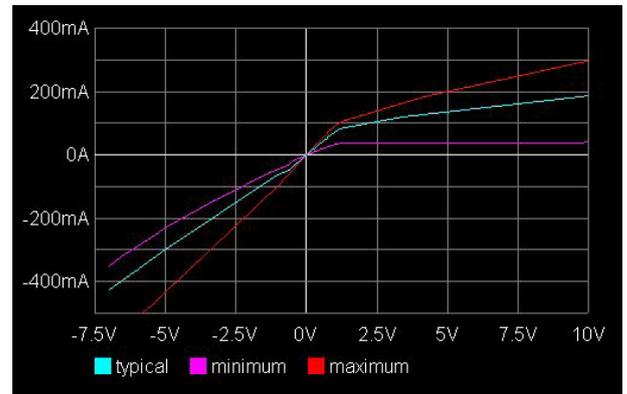


図7. [Pulldown]に対応するV-Iデータ。オープンドレイン・バッファの測定結果です。

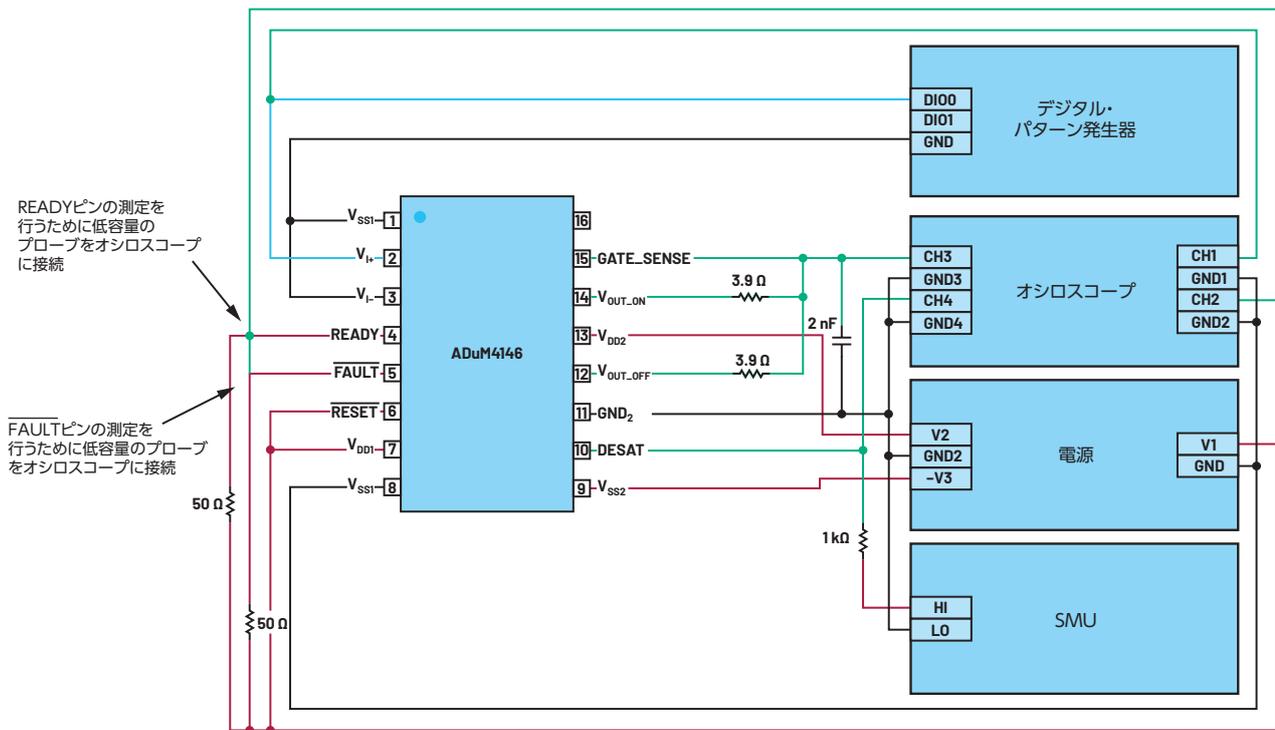


図8. READYピン/ $\overline{\text{FAULT}}$ ピンのスイッチング動作を対象とした測定環境

▶ バッファの容量 C_{comp} の抽出

稿末に示した参考資料5には、各パッドに対応するダイのトータルの容量 C_{comp} について、次のように書かれています。すなわち、 C_{comp} は「配置/配線が完全に行われたバッファの設計において、パッケージの影響を除外し、パッド側からバッファを見た場合の容量」であると定義されています。 C_{comp} の値を得るための1つの方法は、以下の式を使うことです。

$$C_{\text{comp}} = C_{\text{IN}} - C_{\text{pkg}}$$

ここで、 C_{IN} はICの入力容量、 C_{pkg} はICのパッケージの容量です。

▶ V-t データの測定

実測によって取得したV-tデータも、IBISの4つのキーワードに対応します。[Rising Vddref]は、電源を基準とする負荷を使用した場合のローからハイへの遷移を表します。一方、[Falling Vddref]は同じ条件におけるハイからローへの遷移に対応します。[Rising Gndref]は、グラウンドを基準とする負荷を使用した場合のローからハイへの遷移を表します。他方、[Falling Gndref]は同じ条件におけるハイからローへの遷移に対応しま

す。これらに関連するキーワードに[Ramp]があります。これは、ある状態から別の状態に遷移する際の変化率を表します。その遷移波形において、20%~80%の電圧範囲を対象として値を算出します。

立上がり時/立下がり時のデータは、オシロスコープを使用し、適切な負荷を駆動するバッファの信号を測定することで取得します。ここでは、伝送線の特徴インピーダンスに対応する50Ωの負荷を使用することにします。オープンドレイン・バッファについては、負荷をバッファと電源に接続し、 V_{DD1} を基準とするスイッチング動作を対象として測定を行います。最小値、標準値、最大値を取得できるように、必要に応じて温度制御システムを使用して温度を安定させてください。図8に示したのは、ADuM4146のREADYピンと $\overline{\text{FAULT}}$ ピンのスイッチング動作を対象とする場合の測定環境です。ADuM4146のデジタル出力ピンはオープンドレインなので、必要なのは電源電圧を基準とする立上がり/立下がりデータのみです。

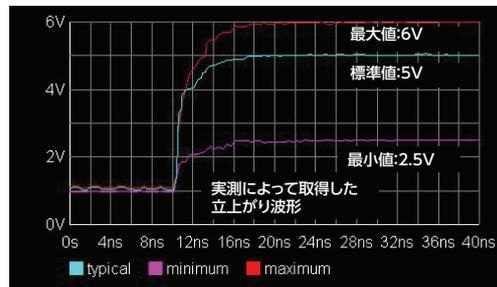
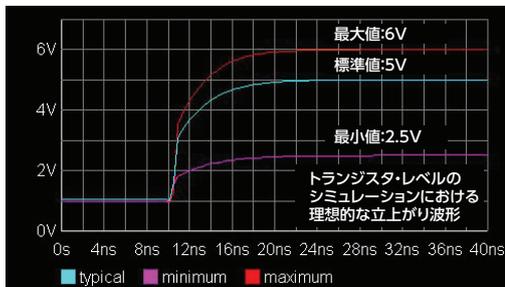


図9. $\overline{\text{FAULT}}$ ピンの立上がり波形。
基準は V_{DD1} です。

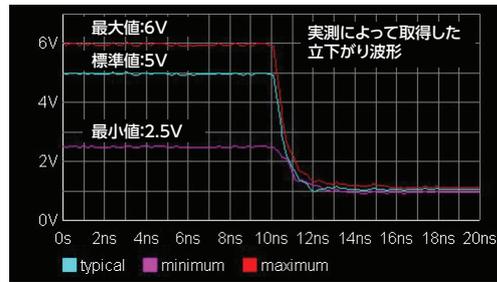
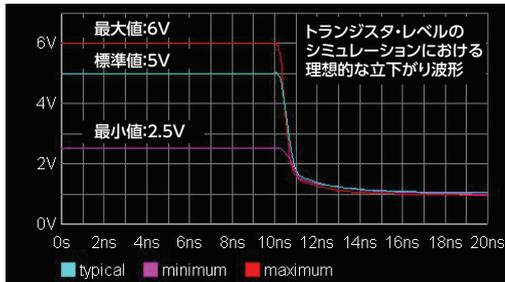


図10. $\overline{\text{FAULT}}$ ピンの立下がり波形。
基準は V_{DD1} です。

図9、図10に示したのは、それぞれFAULTピンの立上がり／立下がり波形です。トランジスタ・レベルのシミュレーション結果とICの実測結果を示しています。いずれも、負荷として50Ωの抵抗を V_{DD1} に接続するという条件で標準値、最小値、最大値を測定しています。

IBISモデルの作成

次の工程では、収集したデータを処理してIBISモデルのテキスト・ファイルを作成します。具体的には、未処理のデータの表をIBISのフォーマットで書き込みます。必要なキーワードの下に表を配置して、パラメータの値も記述します。この手順の詳細については、「[IBISモデルの開発方法【Part 1】IBISモデルの開発が設計の成功に不可欠な理由](#)」³を参照してください。

図11に示したのは、実測結果を基に作成したADuM4146のIBISモデルです。作成したモデルについては、まずパーサ (ibischk) による検証を実施します。パーサは、V-IデータとV-tデータの整合性や表形式のデータにおける単調性の確認など、基本的なチェックを担います。検証のプロセスに進む前に、すべてのエラー、警告、注意に完全に対処しておかなければなりません。また、IBISモデルが品質チェックリストに従っていることも確認する必要があります。

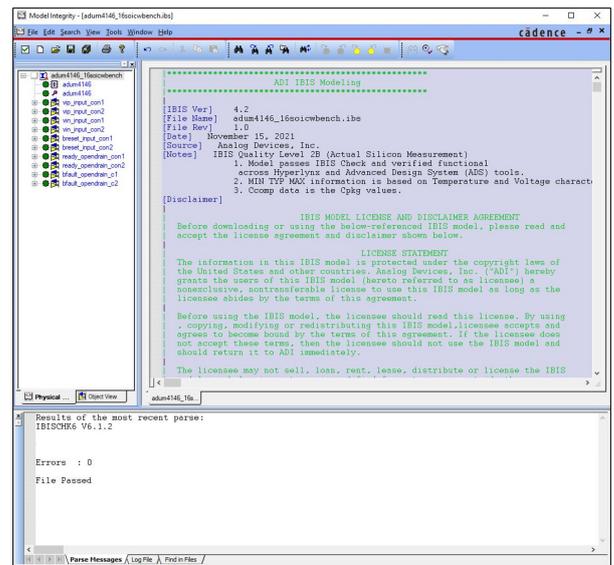


図11. 実測結果を基に作成したADuM4146のIBISモデル

検証と結果

続いては、「[IBISモデルの開発方法【Part 2】独自のIBISモデルの作成方法](#)」⁴で説明した手順に従って検証を実施します。検証プロセスの詳細については、この記事を参照してください。

図12に、検証プロセスのフローチャートを示しました。最後まで到達すれば、そのIBISモデルは品質レベル3に適合していることとなります。IBISモデルについては、まずパーサによる検証に合格する必要があります。パーサによる検証は、ibischkが組み込まれたソフトウェアか、ibis.orgが提供しているオープンソースの実行可能コードを使用することで実施できます。ibischkによる検証に合格したら、次は、トランジスタ・レベルの回路図またはICのサンプルに対する相関を確認します。本稿では、品質レベル3の達成を目指すので、ADuM4146のIBISモデルを、トランジスタ・レベルの回路図と実際のサンプルの両方と照らし合わせて相関を確認します。それにあたっては、FOM (Figure of Merit : 性能指数) の値を設定します。FOMの値は、IBISモデルと両者の相関がとれているか否かの判定に使用します。品質レベル3の検証に合格するには、両方の相関どりに使用するFOMの値が95%以上になっていなければなりません。ここでは、曲線下面積の指標を使用することで両方のFOMの値を計算します。その際には、どちらにも同じ負荷の条件を適用しなければなりません。ICのデータシートを見ると、通常動作に関するテストを実施する際の負荷の条件が記載されています。IBISモデルの検証も、その条件に従って実施することをお勧めします。

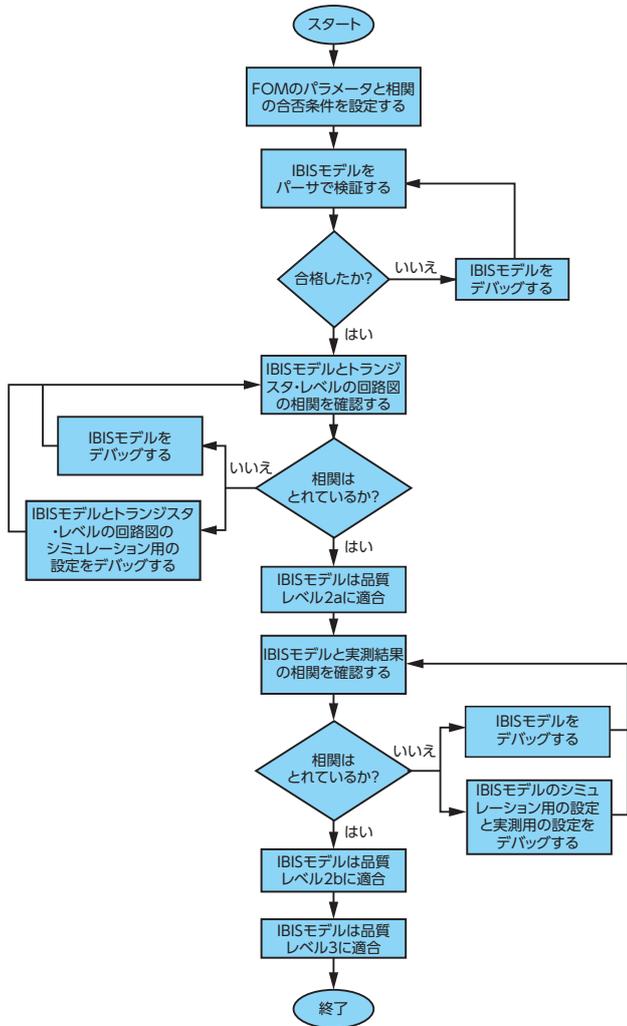


図12. IBISモデルの検証プロセスのフローチャート。最後まで到達すれば、品質レベル3に適合していることとなります。

リファレンス (実測結果など) に対するIBISモデルの相関を正しく検証するには、実測用の回路に信号を印加するための基板のパターンに関連する要素を、シミュレーション用の設定に追加する必要があります。

以下、品質レベル3を達成するために実施しなければならない2つの検証プロセスについて説明します。

品質レベル2aの検証プロセス

図13に示したのは、品質レベル2aを達成するための検証プロセスです。このプロセスではシミュレーションのレベルで相関の確認を行います。つまり、IBISモデルを使用したシミュレーションの結果が、トランジスタ・レベルのシミュレーションの結果とどの程度一致するのかを評価します。図14に示したのは、ADuM4146のIBISモデルを使用したシミュレーションに適用する設定です。IBISモデルにおける入力バッファとオープンドレイン・バッファに負荷の条件を適用しています。

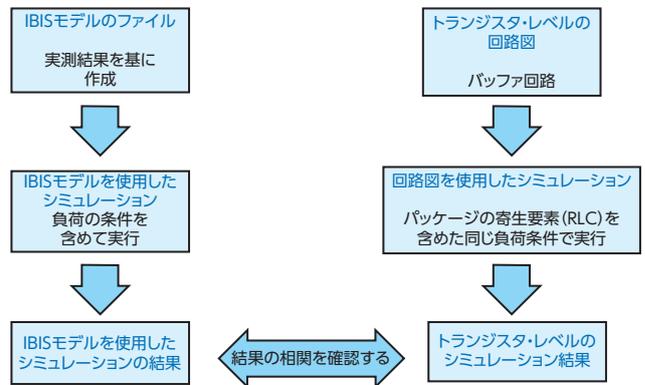


図13. 品質レベル2aの検証プロセス

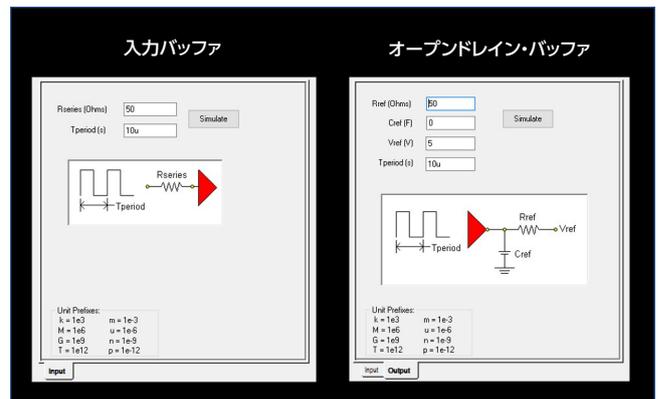


図14. 入力バッファとオープンドレイン・バッファに対するシミュレーション用の設定

図15、図16に、トランジスタ・レベルの回路図を使用したシミュレーション用の設定を示しました。それぞれ、入力バッファとオープンドレイン・バッファに対し、負荷の条件を含めた設定を適用しています。バッファと負荷の間には、ICのパッケージの寄生要素 (RLC) を追加しています。これにより、IBISモデルに適用したパッケージの寄生要素の設定と同等の条件が得られています。

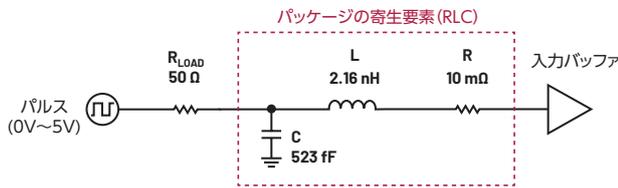


図15. 入力バッファのシミュレーション用の設定。トランジスタ・レベルの回路図に対し、負荷の条件を含む設定を行っています。

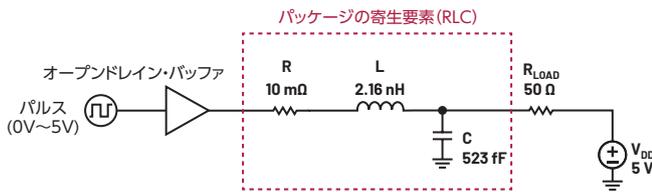


図16. オープンドレイン・バッファのシミュレーション用の設定。トランジスタ・レベルの回路図に対し、負荷の条件を含む設定を行っています。

図17、図18は、それぞれ入力バッファとオープンドレイン・バッファにおける相関を示したものです。標準的な負荷を適用してIBISモデルを使用したシミュレーションを実行し、同じ負荷を適用したトランジスタ・レベルの回路図のシミュレーション結果と比較しています。オープンドレイン・バッファについては、いずれのシミュレーションにおいても50Ωの抵抗を負荷として使用しました。両方の設定に対し、10マイクロ秒のパルスを入力してトランジェント解析を行っています。

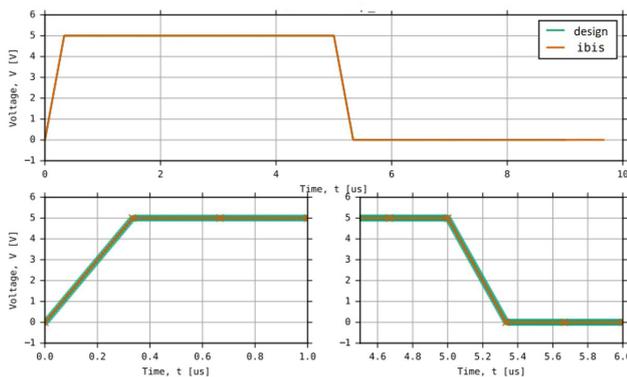


図17. 入力バッファの相関。トランジスタ・レベルの回路図のシミュレーション結果とIBISモデルのシミュレーション結果を比較しています。

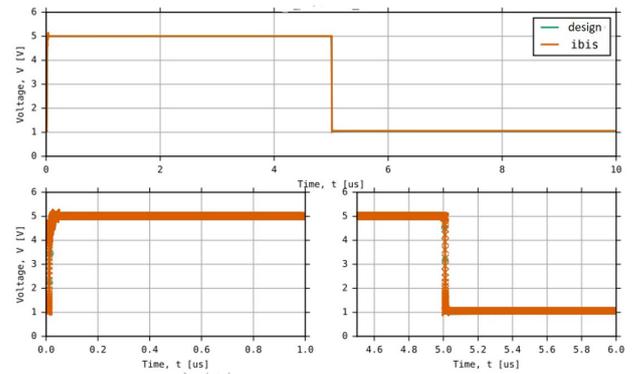


図18. オープンドレイン・バッファの相関。トランジスタ・レベルの回路図のシミュレーション結果とIBISモデルのシミュレーション結果を比較しています。

表5に示したのは、FOMの値の計算結果です。FOMの値は、入力バッファとオープンドレイン・バッファにおけるIBISモデルとトランジスタ・レベルの回路の相関を表します。ご覧のように、どちらのバッファ・モデルについても、FOMの値は95%を超えています。したがって、このIBISモデルは品質レベル2aを満たします。

表5. 入力バッファとオープンドレイン・バッファのFOMの値。品質レベル2aに対する検証結果を表します。

| バッファ・モデル | FOMの値 |
|----------|--------|
| 入力 | 99.99% |
| オープンドレイン | 99.68% |

品質レベル2bの検証プロセス

IBISの品質レベル2bでは、IBISモデルを使用したシミュレーション結果と実測結果の相関を確認することが求められます。したがって、実測に影響を及ぼす可能性のある要因について検討しなければなりません。実測を行う際の最大の課題は、パターン上の寄生要素に起因して生じる信号の減衰です。ICのサンプルを使用しデータを実測する際には、パターン上の寄生要素の影響をできるだけ抑えなければなりません。したがって、評価専用のボードを用意すると共に、低容量のプロブを使用することが重要になります。ここでは、シグナル・インテグリティの問題に対する解決策として、実測向けの専用ボードを使用し、本来の信号に不要な信号成分が加わることによって生じる減衰を最小限に抑えました。

図19に示したのは、品質レベル2bの検証プロセスです。

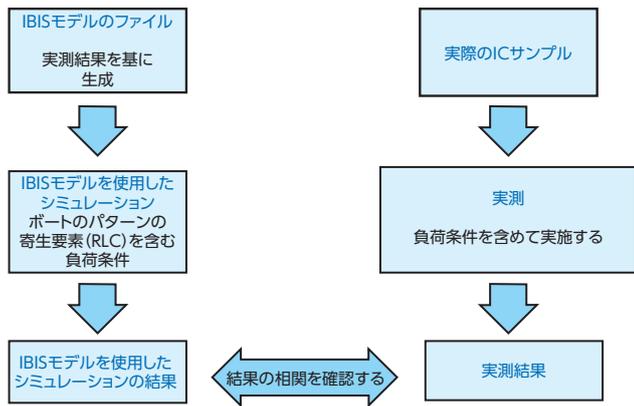


図19. 品質レベル2bの検証プロセス

IBISモデルの相関を確認するプロセスでは、リファレンスにできるだけ近い結果を得ることが目標になります。したがって、立上がり時/立下がり時のデータをオシロスコープで取得する際には、信号の減衰を抑えるために、非常に負荷の小さいプローブを使用する必要があります。プローブと装置の組み合わせに起因する誤差は、対象とする信号に大きな影響を及ぼす可能性があります。例えば、Tektronixは「特殊なフィルタリング技法と適切なツールを選定することにより、信号、表示されるエッジ時間、信号のその他の特性に対する測定システムの影響をディエンベディングすることは、ICの性能を測定する際に検討すべき重要な事柄である」と説明しています⁶。

図20、図21は、それぞれIBISモデルの入力バッファとオープンドレイン・バッファのシミュレーション用の設定です。いずれの設定にも、適切な負荷の条件を適用しています。バッファに直列に接続されているRLCの値には、基板のパターンによって形成される寄生要素の値を盛り込んであります。実測環境の条件を再現するために回路に負荷を追加する際には、それがIBISモデルを使用したシミュレーション結果に及ぼす影響について考察することが重要です。

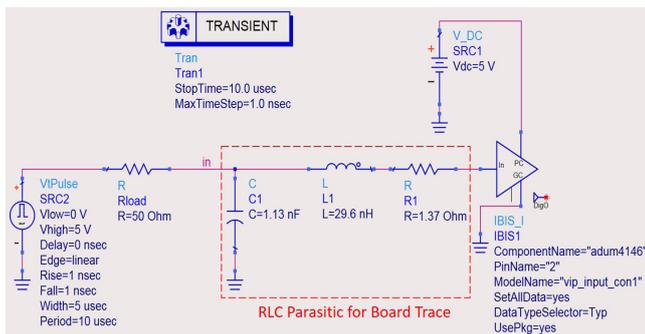


図20. 入力バッファのシミュレーション用の設定。IBISモデルに対し、負荷の条件を含む設定を行っています。

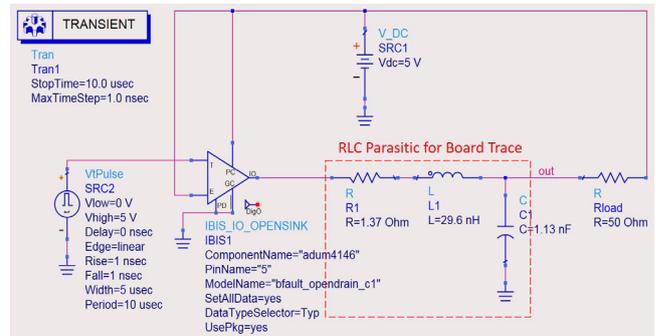


図21. オープンドレイン・バッファのシミュレーション用の設定。IBISモデルに対し、負荷の条件を含む設定を行っています

図22、図23は、それぞれ入力バッファとオープンドレイン・バッファの実測用の設定です。負荷の条件も適用してあります。オープンドレイン・バッファについては、50Ωの負荷を接続し、5Vのパルス信号を使用して駆動します。

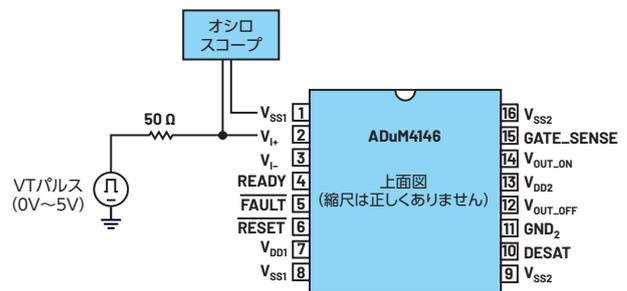


図22. 入力バッファの実測用の設定。負荷の条件を適用しています。

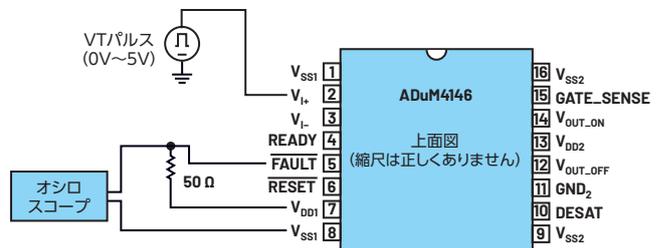


図23. オープンドレイン・バッファの実測用の設定。負荷の条件を適用しています。

図24、図25は、入力バッファとオープンドレイン・バッファの相関について示したものです。IBISモデルを使用したシミュレーションの結果と実測結果を比較しています。

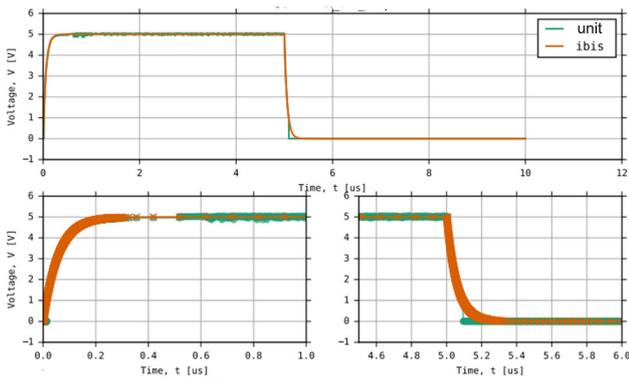


図24. 入力バッファの相関。
IBISモデルを使用したシミュレーションの結果とICのサンプルを使用した実測結果を比較しています。

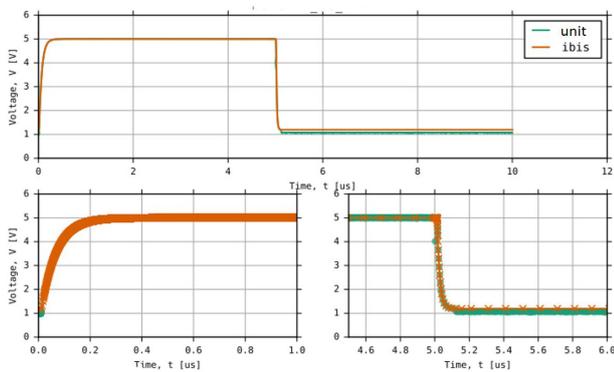


図25. オープンドレイン・バッファの相関。
IBISモデルを使用したシミュレーションの結果とICのサンプルを使用した実測結果を比較しています。

表6に示したのは、FOMの値の計算結果です。FOMの値は、入力バッファとオープンドレイン・バッファにおけるIBISモデルとICサンプルの相関を表します。ご覧のように、どちらのバッファ・モデルについても、FOMの値は95%を超えています。したがって、このIBISモデルは品質レベル2bを満たします。また、先述したとおり、このIBISモデルは品質レベル2aも満たしているので、品質レベル3のIBISモデルであるということになります。

表6. 入力バッファとオープンドレイン・バッファのFOMの値。品質レベル2bに対する検証結果を表します。

| バッファ・モデル | FOMの値 |
|----------|--------|
| 入力 | 99.23% |
| オープンドレイン | 98.52% |

まとめ

実測結果を基に品質の高いIBISモデルを作成する上では、ICとモデルの相関をとるために必要なデータを抽出することが難易度の高い課題になります。I/O回路の動作を理解し、細部に注意を払うことで、IBISモデルを使用したシミュレーションの結果と実測結果の間で密な相関を得ることが可能になります。相関どりの結果として高いFOMの値を得るためには、実測環境において信号の減衰をできるだけ抑えることが鍵になります。このことを念頭に置き、専用の評価用ボードと共に適切な装置、周辺機器を使用することで、シグナル・インテグリティを確保しなければなりません。

また、IBISモデルを使用したシミュレーション結果とICの実測値の相関をとる上では、信号が伝達される基板のパターンに注目し、両者の条件が同一になるようにしなければなりません。そうすることで、相関をとる際の誤差を抑え、FOMの値を高めることができます。

品質レベル3のIBISモデルを作成すれば、ICベンダーとお客様の双方に対してメリットがもたらされます。品質レベル3を達成しているということは、シミュレーション・レベルの検証とICの実測値を使用した検証の両方で、高い相関が得られているということの意味します。そうした高精度のモデルを使用すれば、開発効率を高めることが可能になります。

謝辞

本稿の執筆に協力してくれたアナログ・デバイセズの設計技術者、ADGTのテスト開発技術者、ISOチームに感謝します。また、このプロジェクトを支援してくれたADGTのシステム統合マネージャにも感謝します。

参考資料

¹ Mercedes Casamayor [AN-715 Application Note – A First Approach to IBIS Models: What They Are and How They Are Generated (初めてのIBISモデル：モデルの概要と開発方法)] Analog Devices、2004年

² Roy Leventhal, Lynne Green [Semiconductor Modeling: For Simulating Signal, Power, and Electromagnetic Integrity (半導体のモデリング：信号、電力、電磁界インテグリティのシミュレーションに対応)] Springer、2006年

³ Jermaine Lim, Keith Francisco-Tapan [IBISモデルの開発方法【Part 1】IBISモデルの開発が設計の成功に不可欠な理由] Analog Dialogue, Vol. 55, No. 3, 2021年9月

⁴ RoyInd Aquino, Francis Ian Calubag, Janchris E spinoza [IBISモデルの開発方法【Part 2】独自のIBISモデルの作成方法] Analog Dialogue, Vol. 55, No.4, 2021年10月

⁵ Michael Mirmak, John Angulo, Ian Dodd, Lynne Green, Syed Huq, Arpad Muranyi, Bob Ross [IBIS Modeling Cookbook for IBIS Version 4.0 (IBISモデリング・クックブック IBIS Version 4.0対応版)] The IBIS Open Forum、2005年9月

⁶ [The Basics of Serial Data Compliance and Validation Measurements (シリアル・データのコンプライアンス/検証に向けた測定の基礎)] Tektronix、2010年3月

IBIS Quality Specification – Revision 1.0 (IBIS品質規格仕様書リビジョン1.0)、IBIS Quality Committee、2004年11月

I/O Buffer Accuracy Handbook (I/Oバッファの精度に関するハンドブック)、IBIS Open Forum、2000年4月

Oscilloscope Fundamentals (オシロスコープ入門)、Tektronix、2009年



著者について

Christine C. Bernal (christine.bernal@analog.com) は、アナログ・デバイセズのプロダクト・アプリケーション・エンジニアです。2007年6月に入社しました。2016年に新技術統合チームで、アナログ・デバイセズの様々な製品を対象としたIBISモデルの開発を担当。2015年にマリアア大学（マニラ）で、電子工学/通信工学（マイクロエレクトロニクス）の修士号を取得しています。



著者について

Janchris Espinoza (janchris.espinoza@analog.com) は、アナログ・デバイセズのプロダクト・アプリケーション・エンジニアです。2019年に Analog Garage チームでインターンとして勤務し、2020年に入社しました。現在は、新技術統合チームで、アナログ・デバイセズの製品を対象としたIBISモデルの作成とシミュレーションを担当。2020年にデラサール大学で電子工学の学士号を取得しています。



著者について

Aprille Arjihyllyne Hernandez-Loyola (aprille.hernandez@analog.com) は、アナログ・デバイセズのプロダクト・アプリケーション・エンジニアです。2015年8月に入社しました。新技術統合チームで、回路のモデリングとシミュレーションを担当。特にアナログ・デバイセズの製品を対象としたIBISモデルの作成とLTSpice®によるシミュレーションに注力しています。デラサール大学ダスマリニャス校で電子工学/通信工学の学士号を取得しています。