

高速/高精度の絶縁型DAQで生じる サンプリング・クロックのジッタを 算出する

著者: Lloben Paculanan、スタッフ・アプリケーション開発エンジニア John Neeko Garlitos、プロダクト・アプリケーション・エンジニア

はじめに

データ・アクイジション・システム(以下、DAQ)では、絶縁 型のシグナル・チェーンが必要になることがよくあります。絶縁 が必要になる理由は、優れた堅牢性と安全性を確保しつつ、高 いコモンモード電圧に対応できるようにすることにあります。ま た、測定誤差を発生させる可能性があるグラウンド・ループを排 除することも目的の1つです。システム設計において、アナログ・ デバイセズの高速/高精度技術を活用すれば、より高いサンプリ ング・レートを得るためにDC精度を犠牲にすることなく、高い AC/DC精度を得ることができます。但し、S/N比 (SNR) など のAC性能を高く維持するためには、A/Dコンバータ(ADC)の サンプル&ホールド用スイッチ(以下、S&Hスイッチ)を制御 するサンプリング・クロック信号や変換開始信号のジッタによっ て生じる誤差について考慮しなければなりません。S&Hスイッ チを制御する信号のジッタは、測定の対象とする信号のレートや サンプル・レートが高くなることに伴い、より支配的な誤差要因 になります。

DAQのシグナル・チェーンが絶縁されている場合、S&Hス イッチを制御する信号は、通常、マルチチャンネルの同期サン プリングを行うためにバックプレーンから入力されます。その 際には、ADCのS&Hスイッチを制御する信号のジッタを小さ く抑えられるよう、低ジッタのデジタル・アイソレータを選択 することが非常に重要です。LVDS(Low Voltage Differential Signaling)は、高いデータ・レートに対応可能なので、高速/ 高精度のADCに適したインターフェースだと言えます。また、 LVDSを採用した場合、DAQの電源/グラウンド・プレーンに 及ぶ外乱も最小限に抑えられます。本稿では、まず、アナログ・ デバイセズが提供するLVDS対応デジタル・アイソレータ(以 下、LVDSアイソレータ)のジッタ仕様の解釈の仕方について説 明します。また、DAQ向けのμModule[®]製品「ADAQ23875」 といった高速/高精度のデバイスに対するインターフェースを構 築する際には、どの仕様が重要な意味を持つのかを明らかにしま す。本稿で示す内容は、LVDSインターフェースを搭載する他の 高速/高精度ADCを使用する場合にも適用できます。更に、本 稿では、ADAQ23875とギガビット対応のLVDSアイソレータ 「ADN4654」を組み合わせて使用する場合に、S/N比に及ぶ影 響を計算する方法も紹介します。

Analog Dialogue

ジッタがサンプリング処理に及ぼす影響

一般に、クロック源の出力には、時間領域の揺らぎであるジッタ が含まれます。DAQを設計する際には、クロックにどの程度の ジッタが含まれるのかを把握することが重要です。

図1は、現実の発振器の典型的な出力を周波数スペクトルとして 示したものです。この図では、1Hzの帯域幅のノイズ電力を周波 数の関数として表しています。位相ノイズは、基本周波数f。にお ける発振器の信号振幅に対する、指定した周波数オフセットfmの 位置における1Hz帯域幅のノイズの比として定義されます。



図 1. 発振器のパワー・スペクトル。 位相ノイズの影響が現れます。



VISIT ANALOG.COM/JP

サンプリング処理は、サンプリング・クロックとアナログ入力信 号の乗算だと表現することができます。この乗算は時間領域で 行われますが、周波数領域で見ると畳み込み(コンボリューショ ン)が行われていることになります。ADCによる変換処理の最 中には、サンプリング・クロックのスペクトルと入力信号(ここ では理想的な正弦波と仮定)の畳み込みが行われます。それによ り、サンプリング・クロックのジッタあるいは位相ノイズの影響 がADCの出力データに及びます。その影響は、FFTスペクトル 上では図2のように現れます。



図2. 位相ノイズを含むサンプリング・クロックの影響。 理想的な正弦波をサンプリングする場合の例を示しています。

高速/高精度の絶縁型DAQ

高速/高精度の絶縁型DAQの例としては、多相パワー・アナラ イザが挙げられます。図3に示したのは、その標準的なシステム・ アーキテクチャです。ご覧のように、各チャンネルには絶縁を適 用しています。また、システムの演算モジュールや制御モジュー ルとの通信用に共通バックプレーンが用意されています。この例 では、面積を小さく抑えられることから、高速/高精度のDAQ ソリューションとしてADAQ23875を採用しています。そのた め、DAQの複数の絶縁チャンネルを小型のフォーム・ファクタ に簡単に収められます。結果として、フィールド・テスト向け の携帯型機器の軽量化を図ることが可能になります。DAQの各 チャンネルは、メイン・シャーシのバックプレーンから絶縁され ています。絶縁には、ギガビット対応のLVDSアイソレータであ るADN4654を使用しています。

DAQの各チャンネルを絶縁することにより、入力回路に損傷を 与えることなく、コモンモード電圧が大きく異なるセンサーと 各チャンネルを直接接続することができます。絶縁型DAQの各 チャンネルのグラウンドは、一定の電圧オフセットを維持しなが らコモンモード電圧に追随します。DAQのシグナル・チェーン がセンサーに関連するコモンモード電圧に追随できるようにする ことにより、入力信号用のコンディショニング回路は、高い入力 コモンモード電圧に対応し、下流の回路のためにその高いコモン モード電圧を除去する必要がなくなります。また、絶縁を施すこ とにより、ユーザに安全性を提供するだけでなく、測定精度に影 響を及ぼす可能性のあるグラウンド・ループを排除できるように なります。



図3. 各チャンネルに絶縁を施した DAQのアーキテクチャ パワー・アナライザでは、DAQの全チャンネルで行われるサン プリング処理の同期をとることが非常に重要です。なぜなら、サ ンプリングされた電圧と、それに対応する時間領域の情報が関連 づけられていなければ、その後に行われる計算や分析に影響が及 ぶからです。チャンネル間でサンプリング処理の同期をとるため に、ADCのサンプリング・クロックは、LVDSアイソレータを介 してバックプレーンから供給します。

図3に示した絶縁型DAQのアーキテクチャでは、以下に示す ジッタ誤差源が、ADCのS&Hスイッチを制御するサンプリン グ・クロックのトータルのジッタに影響を及ぼします。

(1) リファレンス・クロックのジッタ

サンプリング・クロックにジッタを生じさせる1つ目の要因とし ては、リファレンス・クロックのジッタが挙げられます。リファ レンス・クロックは、バックプレーンに差し込まれている高速/ 高精度の各絶縁型DAQモジュールやその他の測定モジュールに 対し、バックプレーンを介して引き渡されます。それだけでなく、 FPGAのタイミング・リファレンスとしても機能します。そのた め、FPGA内のあらゆるイベント、デジタル・ブロック、PLLな どのタイミング精度は、リファレンス・クロックの精度に左右さ れます。なお、バックプレーンの存在しないアプリケーションで は、オンボードのクロック発振器をリファレンス・クロック源と して使用することがあります。

(2) FPGAからのジッタ

2つ目のジッタ誤差源はFPGAです。つまり、FPGAが原因でサ ンプリング・クロックにジッタが生じるということです。FPGA の内部には、トリガから実行までのパスがあります。FPGA内の PLLやその他のデジタル・ブロックのジッタの仕様は、システム のトータルのジッタ性能に影響を及ぼします。この点には注意が 必要です。

(3) LVDSアイソレータからのジッタ

3つ目のジッタ誤差源は、LVDSアイソレータです。LVDSアイソレータにも付加位相ジッタがあり、システムのトータルのジッタ性能に影響が及びます。

(4) ADCのアパーチャ・ジッタ

4つ目のジッタ誤差源は、ADCのアパーチャ・ジッタです。これ はADCに固有のジッタです。その値は、データシートに記載さ れています。

リファレンス・クロックとFPGAのジッタの仕様は、位相ノイズ で規定されます。サンプリング・クロックへのジッタの寄与分を 計算するためには、周波数領域の位相ノイズの仕様を時間領域の ジッタの仕様に変換する必要があります。

位相ノイズの値からジッタの値を算出する方法

位相ノイズの性質を表す曲線は、アンプの入力における電圧ノイ ズ・スペクトル密度の曲線に似ています。アンプの電圧ノイズと 同様に、発振器でも1/fコーナー周波数は低いことが強く望まれ ます。通常、発振器では、位相ノイズで規定される性能が重要に なります。位相ノイズをADCの性能に関連づけるためには、位 相ノイズの値をジッタの値に変換する必要があります。ここでは、 図4に示したグラフを最新のADCアプリケーションに関連づけ る方法を考えましょう。説明をわかりやすくするために、発振器 の周波数(サンプリング周波数)を100MHzとした場合の典型 的なグラフが図4です。ご覧のように、位相ノイズを表す曲線は、 いくつかの線分で近似されています。各線分の端点は、データ・ ポイントによって規定されていることに注意してください。



図4. 位相ノイズの値からジッタの値を 計算する方法の概念図

位相ノイズの値と等価なRMSジッタの値を計算するための最初 のステップは、対象とする周波数範囲にわたって積分位相ノイズ 電力を求めることです。これは、曲線によって決まる面積Aを求 めることに相当します。この曲線は、A1~A4の領域に分割され ています。そして、各領域は2つのデータ・ポイントによって規 定されています。積分範囲の上限周波数は、発振器とADCの入 力の間ではフィルタ処理は行われないと仮定し、サンプリング周 波数の2倍に設定しています。これは、ADCのサンプリング・ク ロックの入力帯域幅に相当します。積分範囲の下限周波数を選択 する際には、現実的な判断が必要になります。理論的には、真の RMSジッタを求めるためには、積分範囲の下限周波数はできる だけ低く設定する必要があります。ただ、現実の発振器では、一 般的にオフセット周波数が10Hzを下回る領域の仕様は規定され ていません。とはいえ、それでも十分に正確な計算結果は得られ ます。例えば、仕様に即して下限周波数を100Hzに設定したと しても、ほとんどの場合、許容できる値を算出できます。仕様に 即すことができない場合には、1kHzまたは10kHzのデータ・ポ イントを使用してください。また、近接位相ノイズはシステムの スペクトル分解能に影響を与えます。加えて、広帯域ノイズはシ ステム全体のS/N比に影響を及ぼします。これらについても考慮 しなければなりません。

おそらく最も賢明な方法は、各領域について積分を実施すること により、各領域のジッタへの寄与分を算出するというものになり ます。水晶発振器を使用する場合、低い周波数での寄与分は広 帯域での寄与分に比べると無視できるレベルであるかもしれませ ん。それ以外の発振器では、低い周波数領域におけるジッタの寄 与分が大きくなる可能性があるので、システム全体の周波数分解 能に対する重要性を考慮しなければなりません。各領域を対象と して積分を実施すると、それぞれの電力比が求められます。そこ で、それぞれの電力比を合計し、その結果をdBc単位の値に変換 します。積分位相ノイズ電力がわかれば、ラジアンを単位とする RMS 位相ジッタは、以下の式で求められます。

$$[RMS位相ジッタ(rad)] = \sqrt{2 \times 10^{A/10}} \tag{1}$$

また、次式に示すように、2πf。で除算すると、ラジアン単位の ジッタの値を秒単位のジッタの値に変換することができます。

$$[\mathsf{RMS位相ジッタ(秒)}] = \frac{\sqrt{2 \times 10^{\frac{A}{10}}}}{2\pi f_O}$$
(2)

詳細については、「MT-008 Tutorial: Converting Oscillator Phase Noise to Time Jitter (MT-008 チュートリアル:発振器 の位相ノイズを時間軸のジッタに変換する方法)」をご覧ください。

リファレンス・クロックのジッタの定量化

通常、高性能のDAQシステムでは、水晶発振器を使用してリファレンス・クロックを生成します。水晶発振器は、他のクロック源と比べて最も優れたジッタ性能を発揮するからです。

通常、水晶発振器のジッタの仕様は、データシートにおいて表1 のような形で規定されています。位相ジッタは、リファレンス・ クロックのジッタからの寄与分を定量化する際に最も重要な意味 を持つ仕様です。通常、位相ジッタは、平均のエッジ位置に対す るエッジ位置の偏差として定義されます。

同じ水晶発振器でも、製品によっては、ジッタではなく、位相ノ イズによって性能が規定されているものもあります。位相ノイズ の値は、先述した方法によってジッタの値に変換することが可能 です。

FPGAからのジッタの定量化

FPGAにおけるリファレンス・クロックの主な役割は、トリガ信 号を供給し、FPGA内でプログラムされている様々な並列イベン トを開始させることです。言い換えれば、リファレンス・クロッ クは、FPGA内のすべてのイベントを指揮する役割を担います。 タイミング制御の時間分解能を向上するために、通常、リファレ ンス・クロックはFPGA内のPLLに引き渡され、より高い周波数 信号が生成されます。そうすることで、時間間隔の短いイベント を実現することが可能になります。また、FPGAの内部にはトリ ガから実行までのパスがあります。そこで、リファレンス・クロッ クはクロック・バッファ、カウンタ、論理ゲートなどに引き渡さ れます。

| 記号 | パラメータ | テン | ストの条件 | 最小値 | 標準値 | 最大値 | 単位 | |
|---------------------|------------------------|--------|--------------------|-----|-----|-----|-------|--|
| J _{per} | 周期ジッタ(rms) | LVDS | | — | XXX | _ | | |
| | | LVPECL | | _ | XXX | _ | ピコ秒 | |
| | | LVCMOS | $f_{OUT} = 125MHz$ | — | XXX | — | | |
| RJ | ランダム・ジッタ(rms) | LVDS | | — | XXX | — | ピコ秒 | |
| | | LVPECL | | — | XXX | — | | |
| | | LVCMOS | $f_{OUT} = 125MHz$ | — | XXX | — | | |
| D | デタミニスティック | LVDS | | — | XXX | — | ピコ秒 | |
| | | LVPECL | | — | XXX | — | | |
| | | LVCMOS | $f_{OUT} = 125MHz$ | — | XXX | — | | |
| T, | トータル・ジッタ | LVDS | | — | XXX | — | | |
| | | LVPECL | | — | XXX | — | ピコ秒 | |
| | | LVCMOS | $f_{OUT} = 125MHz$ | — | XXX | — | | |
| f _{jitter} | 位相ジッタ (12kHz~20MHz) | LVDS | | — | XXX | — | | |
| | | LVPECL | | — | XXX | — | フェムト秒 | |
| | | LVCMOS | $f_{OUT} = 125MHz$ | — | XXX | — | | |

表1.水晶発振器のデータシートに記載されるジッタの仕様

絶縁バリアを介してLVDSの変換開始信号をADCに供給するな ど、ジッタの影響を受けやすく、繰り返し実施されるイベントを 扱うケースは少なくないでしょう。その場合には、FPGAからの ジッタの寄与分を定量化し、高速DAQの性能を左右するシステ ム全体のジッタへの影響を適切に見積もることが重要です。

通常、FPGAのジッタ性能はデータシートに規定されています。 また、ほとんどのFPGAのソフトウェア・ツールでは、スタティッ ク・タイミング解析 (STA: Static Timing Analysis)の実施結 果にもその値が記載されます (図5)。タイミング解析ツールを使 用すれば、データパスのソースとデスティネーションからクロッ クの不確実性を計算し、それらを組み合わせることで、クロック の全不確実性を求めることができます。STAでリファレンス・ク ロックのジッタの寄与分を自動的に計算するには、それをFPGA プロジェクトの [Input Jitter Constraint] として追加する必要 があります。

| ack (setup path): | 8.362ns (requireme | ent - (data pi | ath - clock path skew + uncertainty)) | | | | |
|---|---|--|--|--|--|--|--|
| Source: | sar adc capture/in | put shift red | g 3 (FF) | | | | |
| Destination: | sar adc capture/in | nput shift red | 4 (FF) | | | | |
| Requirement: | 10.000ns | | | | | | |
| Data Path Delay: | 1.448ns (Levels of | Logic = 0) | | | | | |
| Clock Path Skew: | -0.155ns (0.679 - | | | | | | |
| Source Clock: sar_spi_clk_delay falling at 5.000ns | | | | | | | |
| Destination Clock: | sar_spi_clk_delay | falling at 15 | 5.000ns | | | | |
| Clock Uncertainty: | 0.035ns | | | | | | |
| Discrete Jitter (D Phase Error (PE): | J): 0.000ns 0.000ns | | | | | | |
| Discrete Jitter (D Phase Error (PE): Maximum Data Path at Location | J): 0.000ns 0.000ns Slow Process Corney Delay type | <u>c: sar_adc_car</u> Delay(ns) | nsure/input_shift_reg_3_to_sar_adc_capture/input_shift_reg_ Physical Resource Logical Resource(s) | | | | |
| Discrete Jitter (D Phase Error (PE): Maximum Data Path at Location | J): 0.000ns 0.000ns Slow Process Corney Delay type | <u>r: sar_adc_ca</u> Delay(ns) | osure/inpus_shifs_reg_1 to sar_adc_capture/input_shifs_reg Physical Besource Logical Resource(s) | | | | |
| Discrete Jitter (D Phase Error (PE): Maximum Data Path at Location SLICE X11726.DQ | J): 0.000ns 0.000ns Slow Process Corney Delay type Toko | <u>:: sar_adc_car</u> Delay(ns) 0.391 | <pre>nture/input_shift_reg_1 to sar_adc_cabture/input_shift_reg_ Physical Besource Logical Resource(s) </pre> | | | | |
| Discrete Jitter (D Phase Error (PE): <u>Maximum Data Path at</u> Location | J): 0.000ns 0.000ns Slow Process Corne: Delay type Icko | c: sar_adc_car Delay(ns) 0.391 | nsure/inpus_shifs_reg_1 to sar_ado_capture/input_shifs_reg Physical Besource Logical Resource () sar_ado_capture/input_shifs_reg-3- sar_ado_capture/input_shifs_reg-3- | | | | |
| Discrete Jitter (D Phase Error (PE): <u>Maximum Data Path at</u> Location | J): 0.000ms 0.000ms Slow Process Corner Delay type Tcko net (fanout=2) | r: sar_adc_car Delay(ns) 0.391 0.994 | <pre>sture/input_shift_reg_l to sar_adc_capture/input_shift_reg_ Physical Besource Logical Resource(s) sar_adc_capture/input_shift_reg<3> sar_adc_capture/input_shift_reg<3> sar_adc_capture/input_shift_reg<3></pre> | | | | |
| Discrete Jitter (D Phase Error (PE): Naximum Data Path at Location SLICE_X11Y26.DQ SLICE_X13Y24.AX SLICE_X13Y24.CLK | J): 0.000ms 0.000ms Slow Process Corner Delay type Toko net (fanout=2) Tdick | c: sar_adc_car Delay(ns) 0.391 0.994 0.063 | nsure/innus_shifs_reg_1 to sar_ado_capture/innus_shifs_reg Physical Resource Logical Resource () sar_ado_capture/innus_shifs_reg(3) sar_ado_capture/innus_shifs_reg(3) sar_ado_capture/innus_shifs_reg(3) sar_ado_capture/innus_shifs_reg(3) | | | | |
| Discrete Jitter (D Phase Error (PE): Maximum Data Path at Location | J): 0.000ms 0.000ms Slow Process Cornes Delay type Toko net (fanout=2) Tdick | c: sar_adc_car Delay(ns) 0.391 0.994 0.063 | <pre>sture/input_shift_reg_1 to sar_adc_casture/input_shift_reg_ Thysical Resource Logical Resource(s) </pre> | | | | |
| Discrete Jitter (D Phase Error (PE): Maximum Data Path at Location SLICE_X11Y26.DQ SLICE_X13Y24.AX SLICE_X13Y24.CLK | <pre>J): 0.000ns 0.000ns Slow Process Corney Delay type Toko net (fanout=2) Tdick</pre> | c: sar_adc_car Delay(ns) 0.391 0.994 0.063 | Diveringus_shifs_reg_1 to sar_ado_capture/input_shifs_reg Physical Resource Logical Resource() sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) sar_ado_capture/input_shifs_reg(3) | | | | |

図5. STAの実施結果の例

デジタル・アイソレータからのジッタの定量化

ジッタを表示するための最も基本的な方法は、オシロスコープを 無限重ね描きモードに設定し、LVDSの信号ペアを差動でプロー ブして、立上がりエッジと立下がりエッジの両方でトリガをかけ ることです。それにより、ハイからローへの遷移と、ローからハ イへの遷移が重ね描きされ、クロスオーバー・ポイントの測定が 可能になります。このクロスオーバーの幅は、それまでに測定さ れたピークtoピーク・ジッタあるいは時間間隔誤差(TIE: Time Interval Error)に相当します。図6、図7に、ADN4651を対象 として取得したアイ・ダイアグラムと、アイ・ダイアグラムのヒ ストグラムの例を示しました。ジッタには、ランダムな発生源(熱 ノイズなど)によって生じるものがあります。このランダム・ジッ タ (RJ:Random Jitter)は、オシロスコープ上に表示されるピー クtoピーク・ジッタは実行時間によって制限されるということを 表しています(実行時間が長くなるほど、ヒストグラムの裾が広 くなります)。



図6. アイ・ダイアグアムの例



図7. アイ・ダイアグアムのヒストグラムの例

一方、デタミニスティック・ジッタ(DJ: Deterministic Jitter) は、パルス・スキューによるジッタ、データ依存ジッタ(DDJ: Data Dependent Jitter)、シンボル間干渉(ISI: Intersymbol Interference)などから成ります。パルス・スキューは、ハイか らロー、ローからハイへの伝搬遅延の差によって発生します。そ の表示結果は、0Vで2つのエッジが離れ、クロスオーバーがず れている形になります(図7のヒストグラムを見ると、分離して いることがわかります)。DDJは、動作周波数にわたり伝搬遅延 に差があることによって生じます。それに対し、ISIは以前の遷移 周波数が現在の遷移に影響を及ぼすことによって発生します(例 えば、エッジのタイミングは、通常、1または0が連続した後と 1010のパターンが繰り返された後とでは異なります)。 図8は、トータル・ジッタの内訳を示したものです。これは、与 えられたBER (Bit Error Rate) に対するトータル・ジッタ (TJ@ BER)を見積もる方法を示しているとも言えます。RJとDJは、 測定によって得られたTIEの分布にモデルをフィッティングする ことで算出可能です。そうしたモデルの1つに、デュアルディラッ ク・モデルがあります。同モデルは、デュアルディラック・デル タ関数 (DJに対応する2つのディラック・デルタ関数) で畳み込 みを行ったガウス・ランダム分布を想定したものです。DJが大 きい場合のTIE分布は、同モデルを視覚的に近似したものになり ます。厄介なことに、一部のDJはガウス成分に寄与する可能性 があります。このことは、デュアルディラック・モデルでは、DJ は小さめに見積もり、RJは大きめに見積もる可能性があるという ことを意味します。但し、これら2つを合わせれば、TJ@BERを 正確に見積もることが可能です。



図8. トータル・ジッタの内訳

RJは、モデル化したガウス分布から1 σの範囲に含まれるジッタ のRMS値として規定されます。つまり、より長いラン・レングス (低いBER)に当てはめるためには、分布の裾の十分に離れたと ころまで含まれるよう適切に数 σを選ぶだけでよいということに なります。例えば、BERが1×10⁻¹²の場合には14 σを選ぶといっ た具合です。このRJとDJを加算すれば、TJ@BERを推定するこ とができます。シグナル・チェーンに複数の要素がある場合には、 ジッタを大きく見積もる可能性がある複数のTJ値を合算する方 法ではなく、RJ値を幾何学的に加算して、DJ値を代数的に加算 する方法をとるとよいでしょう。そうすれば、シグナル・チェー ン全体に対し、より合理的かつ完全なTJ@BERを推定することが 可能になります。

ADN4654では、RJ、DJ、TJ@BERが個別に規定されており、 それぞれの最大値が明示されています。この最大値は統計的な分 析に基づいたものです。あらゆる電源、温度、プロセスに対する 各ジッタの値が保証されています。

図9に示したのは、ADN4654のジッタ仕様です。絶縁型DAQ のシグナル・チェーンの場合、付加位相ジッタが最も重要なジッ タ仕様となります。付加位相ジッタは、他のジッタと共にADC のアパーチャ・ジッタに加算され、サンプル時間が不正確になる 原因になります。

| Parameter | Symbol | Min | Тур | Max ¹ | Unit | Test Conditions/Comments |
|--|---------------------|---|-----|------------------|--------|---|
| JITTER ⁵ | | | | | | See Figure 39, for any Doutx+/Doutx- |
| Random Jitter, RMS ⁶ (1o) | tru(RMS) | | 2.6 | 4.8 | ps rms | 0.55 GHz clock input |
| Deterministic Jitter, Peak to Peak ^{7.8} | t _{D3/PP1} | | 50 | 116 | ps | 1.1 Gbps, 2 ²³ – 1 pseudorandom bit stream (PRBS) |
| With Crosstalk | tox(PP) | | 50 | | ps | 1.1 Gbps, 223 - 1 PRBS |
| Total Jitter at Bit Error Rate (BER) 1 × 10 ⁻¹² t _{TJ(PP)} 90 171 ps 0.55 GHz, 1. | | 0.55 GHz, 1.1 Gbps, 2 ²³ – 1 PRBS ⁹ | | | | |
| Additive Phase Jitter | t _{ADDJ} | | 387 | | fs rms | 100 Hz to 100 kHz, output frequency (four) = 10 MHz ¹⁰ |
| | | | 288 | | fs rms | 12 kHz to 20 MHz, four = 0.55 GHz ¹¹ |

図 9. ADN4654のジッタ仕様

ADCのアパーチャ・ジッタの定量化

アパーチャ・ジッタはADCに固有のものです。入力信号に依存 してアパーチャ時間が変動することを指し、サンプル間のばらつ きとして表面化します。このばらつきは、スイッチがオープンに なる瞬間に生じます。アパーチャの不確実性とも呼ばれ、通常は ピコ秒のRMS値を単位として測定されます。

図10、図11に示すように、ADCのアパーチャ遅延時間は、 ADCの入力を基準とし、入力バッファによるアナログ伝搬遅延 t_a、スイッチ・ドライバによるデジタル遅延t_{dd}の影響によって生 じます。ADCの入力を基準とすると、アパーチャ時間t_a'は、フ ロント・エンド・バッファのアナログ伝搬遅延t_{da}とスイッチ・ド ライバによるデジタル遅延t_{dd}の時間差に、アパーチャ時間の1/2 であるt_a/2を加えたものとして定義できます。



図10. ADCのサンプル&ホールド入力段



図11.サンプル&ホールド時の 信号波形と各変数の定義

ADAQ23875の場合、アパーチャ・ジッタはわずか0.25ピコ秒 rms程度です(図12)。但し、この仕様値は設計保証であり、出 荷時には検査されていません。

| ADAQ23875 Data Sheet | | | | | | | | | | | |
|------------------------------|--------------------------|-----|------|-----|-------------------|--|--|--|--|--|--|
| Parameter | Test Conditions/Comments | Min | Тур | Max | Unit ² | | | | | | |
| Aperture Delay ⁹ | | | 0 | | ns | | | | | | |
| Aperture Jitter ⁹ | | 1 | 0.25 | | PSRMS | | | | | | |

図12. ADAQ23875のアパーチャ・ジッタ

サンプリング・クロックのトータル・ジッタ

図3に示した4つのジッタ誤差源からの寄与分を定量化したら、 S&Hスイッチを制御する信号(クロック)のトータル・ジッタ 性能を算出できます。それには、次式に示すように、4つのジッ タの2乗和平方根(RSS)をとります。

$$Sampling \ Clock_{Jitter} = \sqrt{\frac{(Reference \ Clock_{Jitter})^2 + (FPGA_{Jitter})^2}{+ (Isolator_{Jitter})^2 + (ADC's_{Jitter})^2}}$$
(3)

一方、STAを使用する場合には、以下のような簡略化した式を使用できます。

Sampling Clock_{Jitter} =
$$\sqrt{\frac{(STA_{Jitter})^2 + (Isolator_{Jitter})^2}{+ (ADC's_{Jitter})^2}}$$
(4)

サンプリング・クロックのジッタが S/N比に及ぼす影響

ここまでで、S&Hスイッチを制御する信号のトータル・ジッタ を定量化することができました。続いては、そのジッタがDAQ のシグナル・チェーンのS/N比に及ぼす影響を定量化しましょう。

図13は、サンプリング・クロックのジッタによって生じる誤差に ついて示したものです。



図13. サンプリング・クロックのジッタの影響

サンプリング・クロックのジッタが理想的なADCのS/N比に及 ぼす影響は、以下に示す簡単な分析によって推定することができ ます。

まず、次式で与えられる入力信号を想定します。

 $v(t) = V_o \sin(2\pi f t)$

(5)

この信号の変化率は次式で与えられます。

$$\frac{dv}{dt} = 2\pi f V_o \cos(2\pi f t) \tag{6}$$

dv/dtのRMS値は、振幅2 π fV_oを $\sqrt{2}$ で割ることで得られます。 ここで、電圧誤差のRMS値を Δ V_{rms}、アパーチャ・ジッタt_jの RMS値を Δ tとします。

$$\frac{dv}{dt}\Big|_{rms} = \frac{2\pi f V_o}{\sqrt{2}}$$
 とすると、次式が得られます。

$$\frac{\Delta V_{rms}}{t_j} = \frac{2\pi f V_o}{\sqrt{2}} \tag{7}$$

これをΔV_{rms}について解くと、次式が得られます。

$$\Delta V_{rms} = \frac{2\pi f V_o t_j}{\sqrt{2}} \tag{8}$$

フルスケールの入力正弦波のRMS値はV。/√2です。したがって、ノイズのRMS値に対する信号のRMS値の比(dB単位)は、 次式のように周波数の関数になります。

$$S/NL = 20 \log_{10} \left[\frac{V_0 / \sqrt{2}}{\Delta V_{rms}} \right] = 20 \log_{10} \left[\frac{V_0 / \sqrt{2}}{2\pi f V_0 t_j / \sqrt{2}} \right] = 20 \log_{10} \left[\frac{1}{2\pi f t_j} \right]$$
(9)

この式は、分解能が無限のADCを想定したものですが、アパー チャ・ジッタがS/N比を決める唯一の要因となっています。こ の式に具体的な値を与えてプロットしたものが図14です。これ を見ると、特に入出力周波数が高い場合には、アパーチャ・ジッ タとサンプリング・クロックのジッタがS/N比と有効ビット数 (ENOB) に深刻な影響を及ぼすことがわかります。



図 14. ADC の理論 S/N 比と ENOB にジッタが及ぼす影響。 アナログ入力信号(フルスケールの正弦波)の周波数 との関係を示しています。

サンプリング・クロックのジッタが ADAQ23875/ADN4654のS/N比に及ぼす影響

ADAQ23875のアパーチャ・ジッタは250フェムト秒rms (標準値)です。一方、ADN4654の付加位相ジッタは387フェムト秒rms (f_{our}が1MHzの場合)です。もちろん、これらはリファレンス・クロックとFPGAのジッタの寄与分を考慮した値ではありません。

上記のADCとアイソレータのジッタ仕様から、次式によってトータルのRMSジッタを計算することができます。

$$J_{TOTAL} = \sqrt{(387 \text{ fs})^2 + (250 \text{ fs})^2} = 460.72 \text{ fs rms}$$
(10)

図15、図16は、この高速/高精度の絶縁型DAQの最大S/N比 とENOBの計算値を示したものです。S/N比とENOBは、入力 周波数が高くなるに連れて低下します。図14に示した理論的な S/N比のプロットと同様の結果が得られています。



最大ENOBの計算値

まとめ

ADCのS&Hスイッチを制御する信号(クロック)のジッタは、 高速/高精度DAQのシグナル・チェーンのS/N比に影響を及 ぼします。クロックのシグナル・チェーンを構成する様々なコン ポーネントを選択する際には、トータルのジッタに影響を及ぼす 誤差源について理解しておくことが重要です。

DAQのシグナル・チェーンをバックプレーンから絶縁する必要 がある場合、最適なS/N比を維持するためには、付加ジッタの小 さいデジタル・アイソレータを選択することが非常に重要です。 そのような場合には、アナログ・デバイセズが提供する低ジッタ のLVDSアイソレータ製品を選択することをお勧めします。そう すれば、絶縁型のシグナル・チェーンのアーキテクチャにおいて 高いS/N比を得ることができます。

リファレンス・クロックは、サンプリング・クロックにジッタを もたらす第一の要因になります。したがって、優れた性能の絶縁 型DAQを実現するには、ジッタの小さいリファレンス・クロッ クを使用することが重要です。また、FPGAとリファレンス・ク ロックの間のパスによって誤差が付加されないように、そのパス のシグナル・インテグリティも十分に確保しなければなりません。

謝辞

本稿の執筆にあたり、技術面で協力していただいたMichael Hennessy氏とStuart Servis氏に感謝します。

参考資料

B. E. Boser、B. A. Wooley [The Design of Sigma-Delta Modulation Analog-to-Digital Converters (シグマ・デルタ 変調型A/Dコンバータの設計)] IEEE Journal of Solid-State Circuits、Vol. 23、No. 6、1988年12月

Steven Harris 「The Effects of Sampling Clock Jitter on Nyquist Sampling Analog-to-Digital Converters, and on Oversampling Delta-Sigma ADCs(サンプリング・クロックの ジッタがナイキスト・サンプリングA/Dコンバータやオーバー サンプリング・デルタ・シグマADCに及ぼす影響)」Journal of the Audio Engineering Society、Vol. 38、No. 7/8、1990年 7月/8月

Walt Kester 「MT-007 Tutorial: Aperture Time, Aperture Jitter, Aperture Delay Time – Removing the Confusion (MT-007 チュートリアル:アパーチャ時間、アパーチャ・ジッタ、アパーチャ遅延時間——この混乱を収拾する)」Analog Devices、2008年

Walt Kester 「MT-008 Tutorial: Converting Oscillator Phase Noise to Time Jitter (MT-008 チュートリアル:発振器の位相 ノイズを時間軸のジッタに変換する方法)」Analog Devices、 2009年

Derek Redmayne、Eric Trelewicz、Alison Smith [Understanding the Effect of Clock Jitter on High Speed ADCs (高速ADCに対するクロック・ジッタの影響)] Analog Devices、2006年



著者について

Lloben Paculanan (lloben.paculanan@analog.com) は、アナログ・デバイセズ(フィリピン GT)のプロダクト・アプリケーション・エンジニアです。2000年に入社しました。それ以来、テスト用の様々なハードウェアの開発とアプリケーション・エンジニアとしての業務に従事。高精度、高速のシグナル・チェーンを実現するµModule製品の開発にも取り組んできました。ザビエル大学アテネオ・デ・カガヤンで生産工学技術に関する学士号、エンベルガ大学でコンピュータ工学の学士号を取得しています。



著者について

John Neeko Garlitos (johnneeko.garlitos@analog.com) は、アナログ・デバイセズ(フィリピン GT) のプロダクト・アプリケーション・エンジニアです。2017年に入社しました。シグナル・チェーン向けの µModule ソリューション部門で製品開発に従事。Circuits from the Lab やリファレンス回路向けの組み込 みソフトウェアも担当しています。フィリピン工科大学ビサヤ校で電子工学の学士号、フィリピン大学ディ リマン校で電気工学の修士号を取得しています。



アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog. com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナ ログ・デバイセズのエキスパートへの質問、FAQの閲覧がで きます。 ©2021 Analog Devices, Inc. All rights reserved. 本紙記載の商標および登録商標は、各社の所有に属します。 Ahead of What's Possibleはアナログ・デバイセズの商標です。 VISIT ANALOG.COM/JP