

# ヒステリシスを追加して、滑らかな低電圧／過電圧ロックアウトを実現する

著者：Pinkesh Sachdev、シニア・アプリケーション・エンジニア

抵抗分圧器は、高い電圧から低い電圧を得るために使用されます。これを利用すれば、本来低電圧で動作する回路が過度に駆動されたり破損したりするのを防ぐことができます。例えば、電源供給用のパスを制御する回路において、低電圧ロックアウト (UVLO) 機能や過電圧ロックアウト (OVLO) 機能の閾値を設定する場合に抵抗分圧器を利用することが可能です。このような電源電圧の値を評価する回路は、車載システム、バッテリー駆動型のポータブル計測器、データ処理用ボード、通信用ボードなどで使われています。

UVLO 機能は、下流の電子システムが異常に低い電源電圧で動作するのを防ぐために使用されます。電子システムは、異常に低い電源電圧で駆動された場合、誤動作するおそれがあります。例えば、電源電圧が規定の値よりも低い場合にはデジタル・システムの動作が不安定になったり、停止したりする可能性があります。また、電源として再充電が可能なバッテリーを使用している場合、UVLO 機能は過放電によるバッテリーの破損を防ぐ役割を担います。一方、OVLO 機能は、危険なレベルの高い電源電圧からシステムを保護するために使用されます。

低電圧、過電圧の判定を行うためには閾値が必要になります。その値は、システムの有効な動作範囲に依存します。そのため、制御回路においては閾値を自由に設定できることが望ましいと言えます。この機能を実現するために使われるのが抵抗分圧器です。また、UVLO/OVLO 機能には、電源にノイズが生じていたり、抵抗成分が存在していたりする場合でもチャタリングが発生しない滑らかな動作が求められます。そのためには、閾値にヒステリシスを持たせる必要があります。つまり、閾値としてデフォルトの値を設定できるようにするだけでは不十分な場合があるということです。本稿では、まず簡単な UVLO/OVLO 回路について説明します。その上で、UVLO/OVLO の閾値にヒステリシスを加える方法をいくつか紹介します。

## UVLO/OVLO 回路の概要

図1にUVLO回路の概念図を示しました。この回路には、まだヒステリシスを付加していません。図において、電源の入力部と下流のシステムをつなぐパスにはスイッチ（以下、電源スイッチと表記します）を配置しています。図中のコンパレータは、この電源スイッチの制御を担います。同コンパレータの負入力には、正のリファレンス電圧  $V_T$  が印加されています。一方、コンパレータの正入力には抵抗分圧器が接続されています。そして、この抵抗分圧器は電源の入力部に接続されています。電源がオンになって0Vから上昇し始めたとき、コンパレータの出力はローの状態にあります。この時点では、電源スイッチはオフのままです。コンパレータの正入力に  $V_T$  のレベルに達すると、コンパレータの出力はハイになります。この瞬間、下側の抵抗  $R_B$  に流れる電流の値は  $V_T/R_B$  です。このコンパレータには入力バイアス電流は流れないとすると、抵抗  $R_T$  にも同じ値の電流が流れます。したがって、コンパレータの出力がハイになった際の電源電圧は、 $V_T + R_T \times V_T/R_B = V_T \times (R_B + R_T)/R_B$  であるはずですが、このUVLO回路では、この電源電圧の値が抵抗分圧器によって設定される閾値となります。例えば、 $V_T$  が1Vで、 $R_T = 10 \times R_B$  であるとしましょう。その場合、UVLOの閾値は11Vとなります。電源電圧がこの閾値以下になるとコンパレータの出力がローになり、電源スイッチはオフになります。電源電圧が閾値以上であれば電源スイッチはオンになり、システムに電力が供給されます。この回路では、 $R_B$  と  $R_T$  の比を変えることにより、閾値を簡単に調整できます。抵抗の絶対値は、抵抗分圧器の部分で生じるバイアス電流の値に基づいて設定します（詳細は後述）。

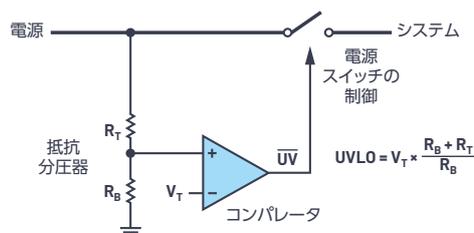


図1. UVLO回路の概念図。抵抗分圧器、コンパレータ、電源スイッチによって構成しています。

OVLO機能は、コンパレータの2つの入力を入れ替えることで実現できます。閾値については、入力電圧が高くなるとコンパレータの出力がローになり、電源スイッチがオフになるように設定します（後ほど説明する図2の下側のコンパレータをご覧ください）。

本題からは逸れますが、この回路の電源スイッチとしては、Nチャンネル/PチャンネルのパワーMOSFETを使用できます。上の説明では、ゲート電圧がロー（例えば0V）の場合にオフする（高抵抗になる）NチャンネルのMOSFETを使用する場合を想定しています。NチャンネルのMOSFETを完全にオンにする（低抵抗になる）には、ゲート電圧が少なくとも電源電圧よりMOSFETの閾値電圧の分だけ高くなければなりません。そのためには、チャージ・ポンプが必要になるケースもあるでしょう。アナログ・デバイセズは、[LTC4365]、[LTC4367]、[LTC4368] など、UVLO/OVLOに対応する保護用のコントローラICを提供しています。これらの製品は、自己消費電流を抑えつつNチャンネルのMOSFETを駆動するためのコンパレータとチャージ・ポンプを搭載しています。一方、PチャンネルのMOSFETを使用するのであれば、チャージ・ポンプは不要です。ただ、ゲート電圧の極性がNチャンネルのMOSFETを使用する場合とは逆になります。つまり、PチャンネルのMOSFETはゲート電圧が低い場合にオンになり、高い場合にオフになります。

抵抗分圧器の話に戻しましょう。図2をご覧ください。このように3つの抵抗を直列に接続すると、UVLOの閾値とOVLOの閾値の両方を設定できます。また、独立した2つの抵抗を使用する場合と比べると、1つの抵抗分圧器におけるバイアス電流の影響を抑えられます。UVLOの閾値は、 $V_T \times (R_B + R_M + R_T) / (R_B + R_M)$  で決まります。一方、OVLOの閾値は  $V_T \times (R_B + R_M + R_T) / R_B$  となります。ANDゲートは、2つのコンパレータの出力結果を踏まえて、電源スイッチにハイまたはローの電圧を印加します。つまり、電源電圧がUVLOの閾値とOVLOの閾値の間の値である場合に電源スイッチがオンになります。その結果、システムに電源電圧が供給されます。それ以外の場合には電源スイッチがオフになり、電源とシステムは切り離されます。抵抗分圧器の消費電流が問題にならないなら、UVLO専用の抵抗分圧器とOVLO専用の抵抗分圧器を用意しても構いません。そうすれば、互いに独立した形で各閾値を調整することが可能になり、柔軟性が高まります。

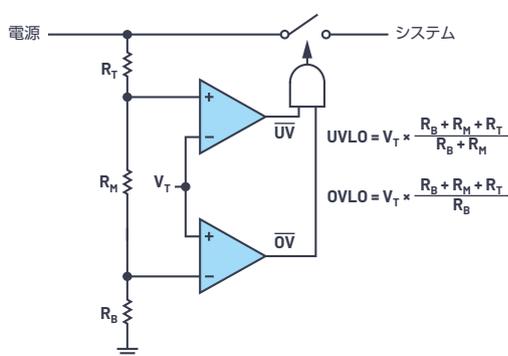


図2. UVLO機能とOVLO機能の両方を実現する回路

## UVLO/OVLO回路にヒステリシスを持たせる

入力される電源電圧は、緩やかに上昇するのかもしれませんが、また、電源電圧にはノイズが生じている可能性もあります。また、（バッテリーのように）電源に抵抗成分が存在し、負荷電流に伴って電圧降下が生じるケースもあります。そうした場合、図1の回路では、入力電圧がUVLOの閾値をまたぐたびにコンパレータの出力がハイとローの間で切り替わることになります。入力されるノイズや、電源の抵抗成分を流れる負荷電流の影響で、コンパレータの正入力が繰り返し閾値  $V_T$  を上回ったり下回ったりするからです。バッテリー駆動の回路では、発振が際限なく継続する可能性もあります。このようなチャタリングは、ヒステリシスを持たせたコンパレータを使用することで排除できます。その結果、電源スイッチが滑らかに切り替わるようになります。

図3に示したのが、ヒステリシスを持たせたコンパレータを使用する場合の例です。この回路では、入力が上昇する場合と下降する場合とでは閾値が異なります。例えば、前者の閾値が  $V_T + 100\text{mV}$  で、後者の閾値は  $V_T - 100\text{mV}$  になるといった具合です。コンパレータのレベルのヒステリシスは、 $R_B$  と  $R_T$  によって増幅され、電源のレベルでは  $200\text{mV} \times (R_B + R_T) / R_B$  となります。電源の入力部におけるノイズや電圧降下がこのヒステリシスのレベルを下回っていれば、チャタリングは生じません。コンパレータにヒステリシスが付加されていない場合や不十分である場合には、ヒステリシスを追加したり、その幅を広げたりするとよいでしょう。そのための方法はいくつか考えられます。ただ、いずれの方法においても、抵抗分圧器のタップの部分に正帰還をかけるというのが基本的な考え方になります。それにより、コンパレータの出力が反転する際、上昇中のコンパレータの入力をより高い値に引き上げるといった処理を行います。以下では、ヒステリシスを追加/拡張する方法を3つ紹介します。話をわかりやすくするために、以下で示す式では、ヒステリシスのないコンパレータを使用していると仮定します。

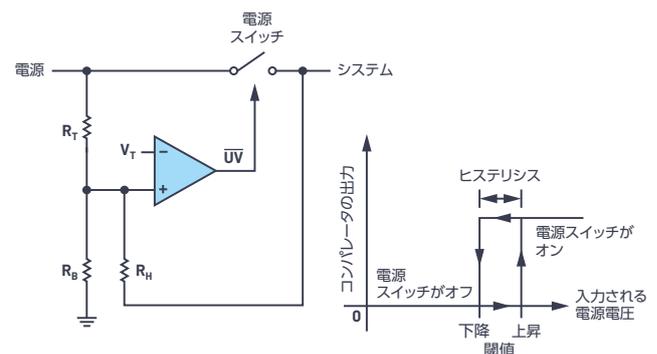


図3. UVLOの閾値にヒステリシスを持たせた回路。分圧器のタップと電源スイッチの出力の間に抵抗を挿入しています。

## 抵抗分圧器と出力の間に抵抗を挿入する

図3のUVLO回路では、分圧器のタップ（コンパレータの正入力）と電源スイッチの間に抵抗  $R_H$  を追加しています。電源が0Vから上昇し始めるとき、コンパレータの正入力は  $V_T$  よりも低く、コンパレータ出力はローのままです。したがって、電源スイッチもオフの状態を維持します。

ここで、システムの負荷により、電源スイッチの出力は0Vになっていると仮定しましょう。すると、 $R_H$ と $R_B$ は並列に接続されていると見なして閾値を計算することができます。その結果、入力上昇時の閾値は、 $V_T \times ((R_B \parallel R_H) + R_T) / (R_B \parallel R_H)$ となります。ここで、 $R_B \parallel R_H = R_B \times R_H / (R_B + R_H)$ です。この閾値を超えると電源スイッチがオンになり、システムに電源が投入されます。次に、入力下降時の閾値を計算します。この場合、電源スイッチはオンになっているので、 $R_H$ は $R_T$ と並列に接続されていると見なせます。したがって、閾値は $V_T \times (R_B + (R_T \parallel R_H)) / R_B$ となります。ここで、 $R_T \parallel R_H = R_T \times R_H / (R_T + R_H)$ です。もともとコンパレータにヒステリシスが付加されている場合には、上記の式中の $V_T$ を上昇時/下降時のコンパレータの閾値に置き換えます。図1の例のように、コンパレータのヒステリシスも $R_H$ も存在しない場合、 $V_T = 1V$ 、 $R_T = 10 \times R_B$ であれば、上昇時も下降時も閾値は11Vです。それに対し、図3のように $R_H = 100 \times R_B$ を追加すると、上昇時の閾値は11.1V、下降時の閾値は10.09Vになります。つまり、ヒステリシスの幅は1.01Vです。但し、この方法はOVLO回路には適用できません。入力上昇すると電源スイッチがオフになり、 $R_H$ によってコンパレータの入力が高くなるのではなく、低くなってしまいうからです（それによって、電源スイッチは再びオンになってしまいます）。

### 抵抗をスイッチで制御する

ヒステリシスを追加するもう1つの方法は、スイッチを使って下側の抵抗の実効値を変化させるというものです。スイッチで制御される抵抗は、図4 (a) のように抵抗分圧器に並列に接続することもできますし、図4 (b) のように直列に接続することもできます。図4 (a) の構成では、 $V_{IN}$ がロー（例えば0V）のとき、コンパレータの出力（UVノードまたはOVノード）はハイになります。そのため、NチャンネルのMOSFETであるM1がオンになり、 $R_H$ は $R_B$ と並列になります。ここで、M1のオン抵抗は、 $R_H$ と比べて無視できると仮定します（ $R_H$ の値に含まれていると考えてもよいでしょう）。入力上昇時の閾値は、図3と同じく $V_T \times ((R_B \parallel R_H) + R_T) / (R_B \parallel R_H)$ となります。 $V_{IN}$ がこの閾値を上回ると、コンパレータの出力はローになります。その結果、M1がオフになり、 $R_H$ は抵抗分圧器から切り離されます。そのため、入力下降時の閾値は、図1と同じく $V_T \times (R_B + R_T) / R_B$ になります。ここまですべて同様で、 $V_T = 1V$ 、 $R_T = 10 \times R_B$ 、 $R_H = 100 \times R_B$ であるとすると、上昇時の閾値は11.1V、下降時の閾値は11Vになります。つまり、 $R_H$ によって100mVのヒステリシスが実現されるということです。この方法（ならびに、以降に示す方法）は、UVLO回路にもOVLO回路にも適用できます。両者の違いは、コンパレータの出力によって電源スイッチ（図4では省略しています）をオフにするのか、それともオンにするのかということだけです。

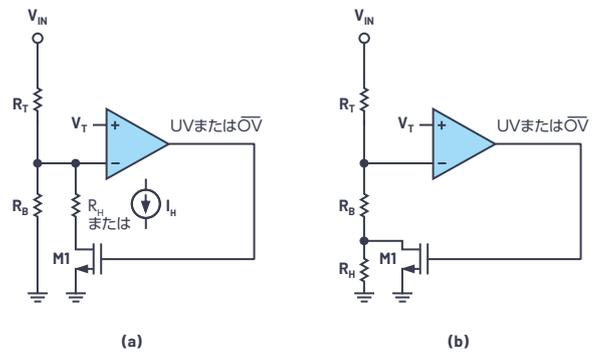


図4. UVLO/OVLOの閾値にヒステリシスを追加した回路。  
(a) ではスイッチで制御されるシャント抵抗（または電流源）、  
(b) ではスイッチで制御される直列抵抗を使用しています。

図4 (b) の構成の場合、入力上昇時の閾値は $V_T \times (R_B + R_T) / R_B$ 、下降時の閾値は $V_T \times (R_B + R_H + R_T) / (R_B + R_H)$ となります。ここで、 $R_H = R_B / 10$ であるとすると、上昇時の閾値は11V、下降時の閾値は10.091Vになります。つまり、ヒステリシスは909mVです。このように、図4 (b) の構成では、はるかに値が小さい $R_H$ によって、はるかに大きいヒステリシスが得られます。

### 電流源をスイッチで制御する

続いて紹介する方法は、図4 (a) の抵抗 $R_H$ を、電流源 $I_H$ に置き換えるというものです。この方法は、優先順位に基づく制御が可能なコントローラIC [LTC4417]、[LTC4418] で使われています。 $V_{IN}$ がローのとき、コンパレータの出力はハイになります。そうすると、 $I_H$ が有効になります。入力上昇時の閾値に達するとき、コンパレータの負入力には $V_T$ が印加されます。したがって、 $R_T$ に流れる電流は $I_H + V_T / R_B$ になります。ここで、上昇時の閾値は $V_T + (I_H + V_T / R_B) \times R_T = V_T \times (R_B + R_T) / R_B + I_H \times R_T$ です。 $V_{IN}$ がこの閾値を上回ると、コンパレータの出力はローになり、 $I_H$ が切り離されます。したがって、下降時の閾値は図1と同じく $V_T \times (R_B + R_T) / R_B$ となります。閾値のヒステリシスは $I_H \times R_T$ です。

### 抵抗分圧器のバイアス電流

ここまで示した式では、コンパレータの入力バイアス電流はゼロであると仮定していました。また、ここまで示した例では抵抗の絶対値には触れず、抵抗値の比だけに注目してきました。コンパレータの入力には、入力オフセット電圧 $V_{OS}$ 、リファレンスの誤差（ $V_{OS}$ と一括りにすることができます）、入力バイアス電流またはリーク電流 $I_{LK}$ が伴います。リーク電流がゼロであるという仮定は、抵抗分圧器のバイアス電流（図1のトリップ点における $V_T / R_B$ ）が入力リーク電流よりもはるかに多い場合に成立します。例えば、抵抗分圧器の電流が入力リーク電流の100倍であれば、リーク電流に起因する閾値の誤差は1%未満に収まります。

もう1つの考え方は、リーク電流に起因する閾値の誤差を、オフセット電圧に起因する閾値の誤差と比較するというものです。現実のコンパレータは理想的なものとは異なることを考慮すると、図1におけるUVLOの閾値の式は、 $(V_T \pm V_{OS}) \times (R_B + R_T) / R_B \pm I_{LK} \times R_T$ となります（先述したヒステリシスの電流を表す式と同様です）。この式は、 $(V_T \pm V_{OS} \pm I_{LK} \times R_B \times R_T / (R_B + R_T)) \times (R_B + R_T) / R_B$ と書き換えることができます。入力リーク電流は、コンパレータの閾値の誤差として現れます。この誤差は、オフセット電圧を基準にして最小化することができます。つまり、適切な抵抗値を選択して  $I_{LK} \times (R_B \parallel R_T) < V_{OS}$  になるようにすればよいということです。

ここでは、具体的な例としてLTC4367を取り上げます。同ICでは、UV/OVピンにおけるリーク電流は最大±10nAです。また、UV/OVピンが接続されるコンパレータの閾値は500mV、オフセット電圧は±7.5mV（500mVの±1.5%）です。リーク電流に起因する閾値の誤差が±3mV（500mVの±0.6%。オフセット電圧である7.5mVの半分以下）であるとすると、 $R_B \parallel R_T < 3mV / 10nA = 300k\Omega$ となります。コンパレータの閾値が0.5Vである場合、UVLOの閾値を11Vに設定するには、 $R_T = R_B \times 10.5V / 0.5V = 21 \times R_B$ とする必要があります。したがって、 $R_B \parallel R_T = 21 \times R_B / 22 < 300k\Omega$ であり、 $R_B < 315.7k\Omega$ となります。これに最も値に近い標準抵抗（許容誤差は1%）は309kΩです。そのため、 $R_T$ は6.49MΩとなります。トリップ点における抵抗分

圧器のバイアス電流は  $0.5V / 309k\Omega = 1.62 \mu A$  であり、10nAのリーク電流の162倍に相当します。コンパレータの入力リーク電流に起因する閾値の誤差を増加させることなく抵抗分圧器の電流を最小化するためには、このような解析を行うことが重要です。

## まとめ

本稿で説明したように、抵抗分圧器を利用すれば、コンパレータをベースとする制御回路においてUVLO/OVLOの閾値を簡単に調整することができます。電源にノイズや抵抗成分が存在する場合には、電源電圧が閾値の上下に遷移して電源スイッチが繰り返しオン/オフする可能性があります。これを防ぐためには、閾値にヒステリシスを持たせる方法が有効です。本稿では、UVLO/OVLOの閾値にヒステリシスを付加する方法をいくつか紹介しました。いずれの方法においても、コンパレータの出力が反転するときに、抵抗分圧器のタップに正帰還をかけるというのが基本的な考え方になります。保護用のコントローラICにおいてヒステリシスを追加/拡張できるかどうかは、コンパレータの出力（またはそれに類似する信号）がICの出力ピンによって得られるか否かによります。抵抗値を選択する際には、コンパレータの入力リーク電流が閾値の誤差の支配的な要因にならないように注意しなければなりません。本稿で示したものを含む数々の計算式は、スプレッドシートとしてダウンロード提供されています。



### 著者について

Pinkesh Sachdev ([pinkesh.sachdev@analog.com](mailto:pinkesh.sachdev@analog.com)) は、アナログ・デバイセズのシニア・アプリケーション・エンジニアです。パワー・システム・マネージメントの分野を担当しています。インド工科大学（ムンバイ）で電気工学の技術学士号、スタンフォード大学で電気工学の修士号を取得しています。