

連続時間型の $\Sigma\Delta$ ADCにより、データ・アキュジション用のシグナル・チェーンを簡素化

著者：Wasim Shaikh、アプリケーション・エンジニア
Srikanth Nittala、リード・テクノロジスト

はじめに

A/Dコンバータ(ADC)では、サンプリングの実行に伴ってエイリアシングが発生します。また、多くのADC製品では、コンデンサ(キャパシタ)を利用することによってサンプリングの処理を実現しています。それに伴い、容量性のキックバックと呼ばれる現象が生じます。これらの課題を解決するためには、フィルタやドライバ・アンプが使用されます。ただ、そのことによっても新たな問題が生じます。こうした課題が存在することから、中程度の帯域幅を使用するアプリケーションにおいて高いDC/AC精度を達成するのは容易ではありません。最終的にシステムの性能を犠牲にせざるを得ないケースも少なくないでしょう。

本稿では、サンプリングに伴う問題を本質的かつ劇的に解決し、シグナル・チェーンを簡素化することを可能にする連続時間型のシグマ・デルタ($\Sigma\Delta$)ADCについて説明します。連続時間型の $\Sigma\Delta$ ADCは、アンチエイリアシング(折返し誤差防止)フィルタやドライバ・アンプを必要としません。そのため、これらの回路に伴って生じるシグナル・チェーンのオフセット誤差やドリフトの問題が解消されます。結果として、ソリューションの設計が容易になり、小型化も実現できます。また、システムにおける位相のマッチング性能と全体的な遅延性能を改善することが可能になります。

また、本稿では、一般的な離散時間型のADCと連続時間型の $\Sigma\Delta$ ADCの比較も行います。更に、連続時間型の $\Sigma\Delta$ ADCがシステムにもたらすメリットや同ADCを使用する場合の制約について解説します。

サンプリングの基礎

アナログ信号をデジタル化するには、サンプリングと量子化という2つのプロセスを経ることになります(図1)。最初のステッ

プがサンプリングです。これは、連続時間領域で変化するアナログ信号 $x(t)$ を一定の時間間隔(周期)で取得し、離散時間領域の信号 $x(n)$ を得る処理です。その時間間隔のことをサンプリング周期(T_s)と呼びます。その逆数がサンプリング周波数(f_s)です。つまり、 $f_s = 1/T_s$ の関係にあります。

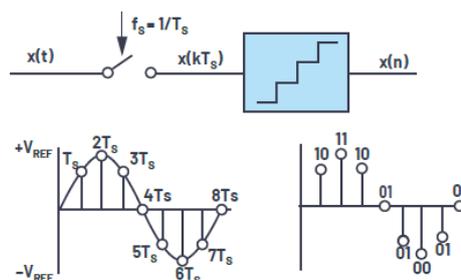
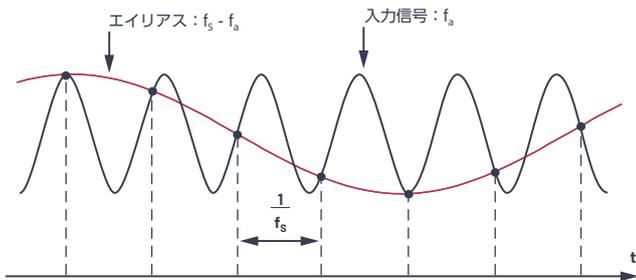


図1. アナログ信号のサンプリング

2つ目のステップは量子化です。これは、サンプリングによって得られた離散時間領域のアナログ値を、取り得る有限長の値のうちの1つに近似する処理です。近似結果はデジタル・コードとして得られます。近似処理を行うことから、デジタル化の際には量子化ノイズと呼ばれる誤差が必ず発生します。

エイリアシングはサンプリングのプロセスに伴って発生します。これは、周波数領域で見た場合に、入力信号(ならびにその高調波)の折返し成分(エイリアス)がサンプル&ホールド処理に使用するクロックの周波数付近に現れるというものです。ナイキストの標本化定理によると、サンプリング周波数の値は、対象とする信号帯域の最高周波数の2倍以上に設定しなければなりません。サンプリング周波数が信号の最大周波数の2倍未満であると、対象とする信号帯域内にエイリアスが発生します。

ここでは、エイリアシングとはどのようなものなのか、時間領域と周波数領域の2つの観点から具体的に見てみます。例として、単一周波数のサイン波をサンプリングするケースを考えます。この処理は、時間領域で見ると図2のようなものになります。この例では、アナログ入力信号の周波数 f_a よりもわずかに高いサンプリング周波数 f_s を使用しています。 f_a の2倍以上にはなっておらず、ナイキストの標本化定理を満たしていません。サンプリング結果を赤い線のようにつないでいくと、あたかも元の信号の周波数は $f_s - f_a$ であったかのように見えます。つまり、元の信号と、それよりはるかに低い周波数 ($f_s - f_a$) のエイリアスの区別がつかなくなるということです。



注) f_s は、 f_a よりもわずかに高いだけ

図2. 時間領域で見たエイリアシング

この状況を、周波数領域で表したものが図3です。DCから $f_s/2$ の1/2に相当する周波数までの範囲をナイキスト帯域幅と呼びます。周波数スペクトルは、それぞれ $0.5f_s$ に等しい幅を持つ無限個のナイキスト・ゾーンに分割することができます。実際のサンプリング処理は、理想的なサンプリングではなく現実のADCを使用して実行されます。その後段には、FFTプロセッサが配置されることとなります。FFTプロセッサは、DC $\sim f_s/2$ の成分だけを出力します。出力されるのは、第1ナイキスト・ゾーンに現れる本来の信号またはエイリアスということになります。

周波数が f_a のサイン波を、理想的なインパルス・サンプリング (図1) によって f_s でサンプリングするケースを考えます。今度は $f_s > 2f_a$ であると仮定します。サンプリングの出力を周波数領域で見ると、 f_s の倍数に当たる周波数付近に、元の信号のエイリアス (イメージ) が現れます。その周波数は、 $| \pm Kf_s \pm f_a |$ ($K = 1, 2, 3, 4, \dots$) となります。

次に、図3において第1ナイキスト・ゾーンの外側 (より高い周波数領域) にある信号をサンプリングするケースを考えます。その場合、図2の条件と同様に、信号の周波数はサンプリング周波数よりわずかに低いです。信号が第1ナイキスト・ゾーンの外側にあっても、そのエイリアス (周波数は $f_s - f_a$) は第1ナイキスト・ゾーンの内側に現れることに注意してください。図3において、不要な信号が f_a のいずれかのエイリアスの位置に存在した場合、そのエイリアスは f_a にも現れます。つまり、第1ナイキスト・ゾーンに不要な周波数成分が生成されるということです。

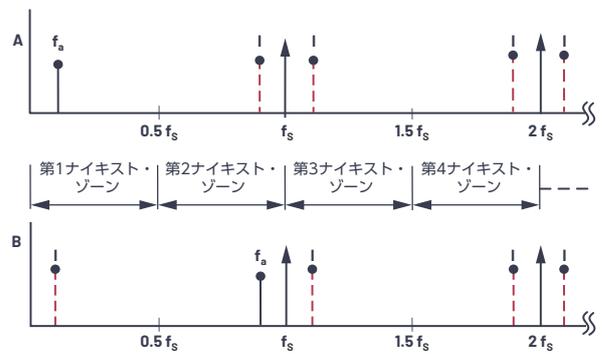


図3. 周波数領域で見たエイリアシング

高い精度を得るための課題への対処法

高性能のアプリケーションを実現したい場合には、A/D変換に伴う量子化ノイズとエイリアシングの問題を解消する必要があります。また、 $\Sigma \Delta$ ADCや逐次比較型 (SAR) ADCといった高精度のADC製品は、内部でスイッチド・キャパシタを使用してサンプリングを実行しています。それに伴って生じる問題にも対処しなければなりません。

量子化ノイズへの対処法

理想的なナイキストADCの場合、量子化ノイズの大きさはそのADCのLSBの大きさに応じて決まります。この量子化ノイズは、 $f_s/2$ の帯域幅全体にわたって分布します。量子化ノイズに対処する方法の1つは、オーバーサンプリングを利用することです。オーバーサンプリングとは、ナイキスト周波数 ($f_s/2$) の2倍よりもはるかに高い周波数で入力信号をサンプリングする手法のことです。それにより、S/N比と有効ビット数 (ENOB) を高めることができます。オーバーサンプリングでは、サンプリング周波数をナイキスト周波数のN倍の値に設定します。その結果、量子化ノイズがナイキスト周波数のN倍の領域全体に分散され、本来の帯域内のノイズを低減することができます (図4)。同時に、アンチエイリアシング・フィルタに対する要件を緩和することが可能になります。オーバーサンプリング比 (OSR) は、 $f_s/2f_{IN}$ として定義されます。ここで、 f_{IN} は対象とする信号帯域幅です。一般的には、4倍のオーバーサンプリングを適用することで、ADCの分解能を1ビット増やすことに相当する効果が得られます。言い換えると、ダイナミック・レンジが6dB向上します。OSRを高めると、全体的にノイズが低下します。また、オーバーサンプリングによるダイナミック・レンジの向上の度合いは、 $\Delta DR = 10 \log_{10} OSR$ (単位はdB) で求められます。

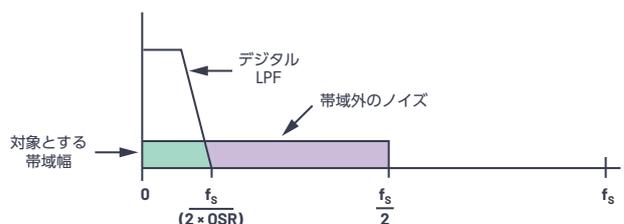


図4. オーバーサンプリングの効果

通常、ADCにおいてオーバーサンプリングは内部的に適用されます。また、ADC内部にはデジタル・フィルタが実装され、デシメーション機能が適用されます。 $\Sigma\Delta$ ADCの場合、オーバーサンプリングを前提とするモジュレータ（変調器）を備えています（図5）。そのノイズ・シェーピング機能により、量子化ノイズの大部分が対象とする帯域幅の外側に分布するようになります（図6）。その結果、低い周波数領域（対象とする帯域幅）における全体的なダイナミック・レンジが向上します。対象とする帯域幅の外側にある量子化ノイズは、デジタル・ローパス・フィルタ（LPF）によって除去します。同時に、デシメータによって出力データ・レートをナイキスト・レートに戻します。

上述したように、オーバーサンプリングだけでなく、ノイズ・シェーピングも量子化ノイズを低減する役割を果たします。 $\Sigma\Delta$ ADCでは、分解能の低い量子化器（1ビット～5ビット）をループ・フィルタの後段に配置します。図5に示したように、入力から量子化した信号を減じるために、フィードバック経路にはD/Aコンバータ（DAC）を配置します。

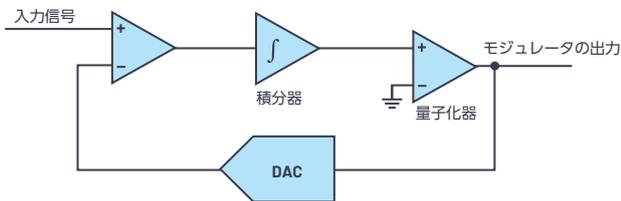


図5. ノイズ・シェーピングを実行するモジュレータ

積分器は、量子化誤差を加算し続けます。ノイズ・シェーピングの効果によって、量子化ノイズは高い周波数領域へ追いやられますが、これはデジタル・フィルタで除去できます。図6は、一般的な $\Sigma\Delta$ ADCの出力 $x[n]$ のパワー・スペクトル密度（PSD：Power Spectral Density）を表しています。ノイズ・シェーピングのスロープは、ループ・フィルタ $H(z)$ の次数 n によって決まり（図11）、 $(20 \times n)$ dB/decadeという特性を示します。 $\Sigma\Delta$ ADCでは、ノイズ・シェーピングとオーバーサンプリングを組み合わせることで、対象とする帯域内における高い分解能を実現します。対象とする帯域幅は、 $f_{ODR}/2$ （ f_{ODR} は出力データ・レート）となります。ループ・フィルタの次数またはOSRを高めることで、より高い分解能を得ることができます。

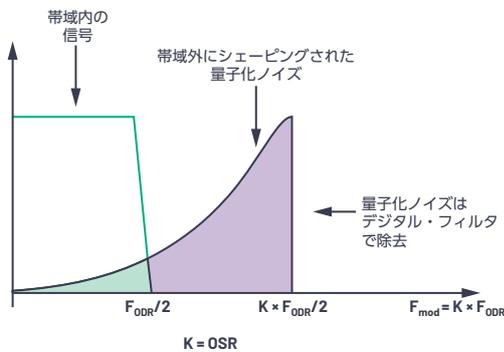


図6. オーバーサンプリングとノイズ・シェーピングの効果

エイリアシングへの対処法

高性能のアプリケーションでは、高次のアンチエイリアシング・フィルタ（以下、AAF）が使用されます。わずかなエイリアスであっても除去できるようにする必要があります。AAFは、入力信号に対して帯域制限を施すためのLPFです。A/D変換を実施する前に、対象とする帯域幅の外側にあり、エイリアスが生じる可能性のある周波数成分を確実に除去する役割を果たします。AAFに求められる性能は、 $f_s/2$ に対してどれだけ近い位置に帯域外の信号が存在するのか、どれだけの減衰量が必要なのかということに応じて異なります。

SAR ADCでは、入力信号の帯域幅とサンプリング周波数にあまり大きな差はありません。そのため、より高次のフィルタが必要になります。その結果、AAFの設計が複雑化すると共に、消費電力と歪みが増加することになります。例えば、サンプリング・レートが200kSPS（キロ・サンプル/秒）のSAR ADCによって入力帯域幅が100kHzの信号に対するA/D変換を行うとします。その場合、エイリアシングの問題を確実に回避するためには、100kHzより高い入力信号が通過できないようにAAFを構成する必要があります。この条件を満たすには、非常に次数の高いフィルタが必要になります。図7に示すような、急峻な減衰特性を持つフィルタを用意しなければならないということです。



図7. AAFに求められる特性

フィルタの次数を緩和するために400kSPSのサンプリング・レートを選択したとします。そうすれば、周波数が200kHz以上の入力信号を除去すればよいということになります。但し、サンプリング・レートを高めると消費電力も増加します。サンプリング・レートを2倍にすれば消費電力も2倍になるといった具合です。消費電力は犠牲になるものの、更にOSRを高めると、サンプリング周波数が入力帯域幅よりもはるかに高くなります。そうすれば、AAFに対する要件を大きく緩和することができます。

$\Sigma\Delta$ ADCでは、非常に高いOSRで入力信号をオーバーサンプリングします。そのため、サンプリング周波数が入力帯域幅よりもはるかに高くなり、AAFの要件を大きく軽減することができます(図8)。

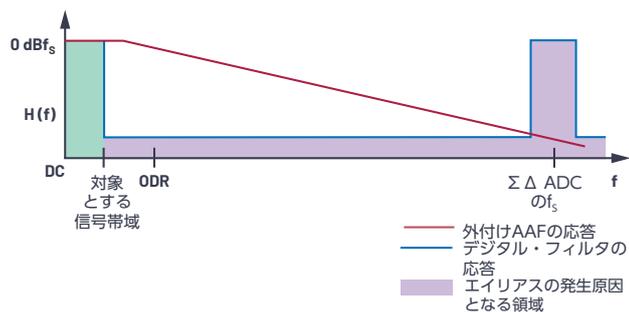


図8. $\Sigma\Delta$ ADCのAAFに求められる特性

図9は、各種のADCにおいて、どのようなAAFが必要になるのかを把握するためのものです。具体的には、SAR ADC、離散時間型の $\Sigma\Delta$ (DTSD : Discrete-time Sigma-delta) ADC、連続時間型の $\Sigma\Delta$ (CTSD : Continuous-time Sigma-delta) ADCを比較しています。ここでは、-3dB入力帯域幅は100kHzで、サンプリング周波数 f_s において102dBの減衰量を得たいケースを考えます。その場合、DTSD ADCでは3次のAAFが必要になります。一方、SAR ADCを使用する場合、 f_s で同じ減衰量を得るためには5次のAAFが必要です。

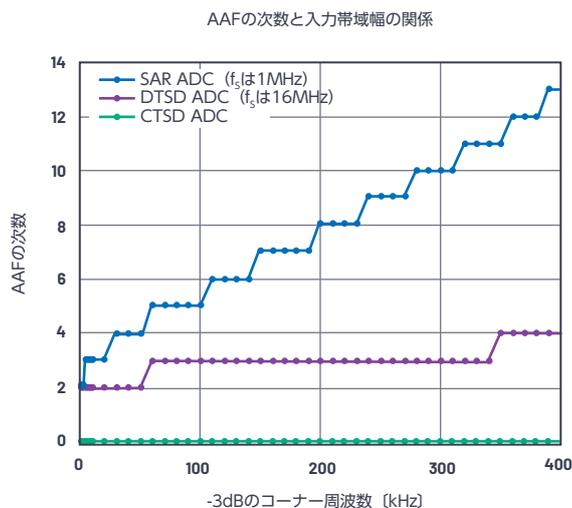


図9. 各種ADCに必要なAAFの次数

高次のフィルタの設計は、システム設計者にとって困難な課題になる可能性があります。対象とする帯域内におけるドロープ特性を最適化し、可能な限り大きな減衰性能を実現するのは容易ではないからです。また、そうしたフィルタを使用すると、オフセット/ゲイン/位相の誤差、ノイズなどがシステムに加わります。その結果、システムの性能が低下してしまいます。

更に、高性能のADC製品は差動構成で実現されます。そのため、シングルエンド品と比べて2倍の数の受動部品が必要になります。マルチチャンネルのアプリケーションにおいて位相のマッチングを図るには、シグナル・チェーンのあらゆる部品が十分にマッチングしていなければなりません。つまり、より許容誤差の小さい部品が必要になります。

SAR ADCやDTSD ADCとは異なり、CTSD ADCは減衰機能を内在しているので(詳細は後述)、AAFは必要ありません。

スイッチド・キャパシタ入力によって生じる問題

先述したように、多くのADC製品は、入力信号に対するサンプリング処理を実行するためにスイッチド・キャパシタを利用します。このスイッチド・キャパシタ入力部においては、サンプリングの対象となる入力信号のセトリング時間が大きな意味を持ちます。また、スイッチド・キャパシタで使用するスイッチがオン/オフする際には、キャパシタに対する充放電に伴って過渡電流が流れます。この過渡電流によって生じるキックバックは、変換精度に大きな影響を及ぼします。キックバックを抑えるためには、高性能のドライバ・アンプ(以下、ドライバ)が必要になります。入力信号は、実際にサンプリングが実施されるタイミングまでにセトリングしていなければなりません。ADCの性能は、入力信号のサンプリング精度によって左右されるので、ドライバとしては、キックバックが生じたら速やかにセトリングを実現できるものを選択する必要があります。つまり、高速のセトリングに対応可能で、スイッチド・キャパシタの動作に伴うキックバックを吸収できるだけの広い帯域幅を備えたドライバが必要だということです。スイッチド・キャパシタ入力部では、サンプリングを行う際、ドライバによってホールド用のコンデンサに速やかに電荷を供給する必要があります。仮にドライバが十分な帯域幅を備えていないとすると、定められた時間内に、急激に増加する電流を供給することができません。サンプリングを実行する際には、スイッチの寄生成分によってドライバに対するキックバックが生じます。次のサンプリングまでにキックバックをセトリングしなければ、誤差を含む電圧がサンプリングされてしまい、ADCの変換結果に誤差が現れます。

またはその前段で発生するゲイン誤差を低減するためには、システムの再調整を行わなければならない可能性があります。

CTSD ADCの概要

CTSD ADCは、DTSD ADCとは異なるアーキテクチャを採用した $\Sigma\Delta$ ADCです。オーバーサンプリングやノイズ・シェーピングの原理は同様に利用しますが、サンプリング機能を異なる方法で実装します。そのことがシステム上の大きなメリットにつながります。

図11は、DTSDとCTSDのアーキテクチャを比較したものです。ご覧のように、DTSDのアーキテクチャの場合、入力信号はループの手前でサンプリングされます。ループ・フィルタ $H(z)$ は、スイッチド・キャパシタをベースとする積分器を使用して実装されており、時間軸で見ると離散的な動作を示します。フィードバック用のDACも、スイッチド・キャパシタをベースとして構成されます。入力部にサンプリング機能があるということは、 f_s に依存するエイリアシングの問題が生じるということの意味します。そのため、サンプリング用のスイッチド・キャパシタの前段にAAFを配置する必要があります。

一方、CTSDのアーキテクチャを見ると、入力部にはサンプリングが存在しません。このアーキテクチャでは、ループ内の量子化器でサンプリングを行います。ループ・フィルタでは、連続時間型の積分器を使用します。ループ・フィルタ自体も連続時間型で動作することになります。フィードバック用のDACも同様です。量子化ノイズがシェーピングされるのと同様に、サンプリングに起因するエイリアシングにもシェーピングが適用されます。これにより、いわば非サンプリング型のADCが実現されます。これは比類のない方式だと言えます。

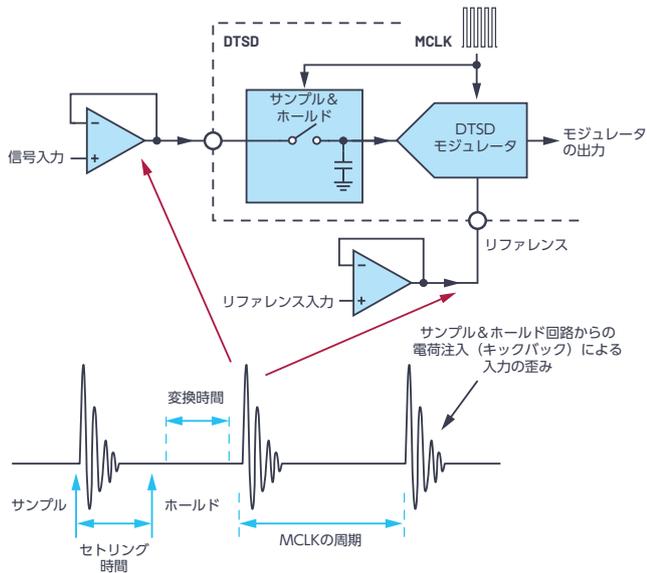


図10. サンプリングに伴って生じるキックバック

図10は、DTSD ADCにおいてキックバックが生じる様子を表したものです。例えば、サンプリング周波数が24MHzである場合、入力信号は41ナノ秒以内にセットリングする必要があります。この部分では、リファレンスもスイッチド・キャパシタ入力に対して供給されるので、リファレンス入力用のピンにも帯域幅の広いバッファを接続する必要があります。入力信号とリファレンス・バッファに関連したノイズが付加されることになり、シグナル・チェーンの性能が全体的に低下します。また、ドライバは歪み成分（サンプル&ホールドに使用する周波数に近い周波数）も発生させるので、AAFの要件がより厳しくなります。加えて、スイッチド・キャパシタ入力では、サンプリング速度に依存して入力電流が変化します。このことから、ADCを駆動する際にドライバ

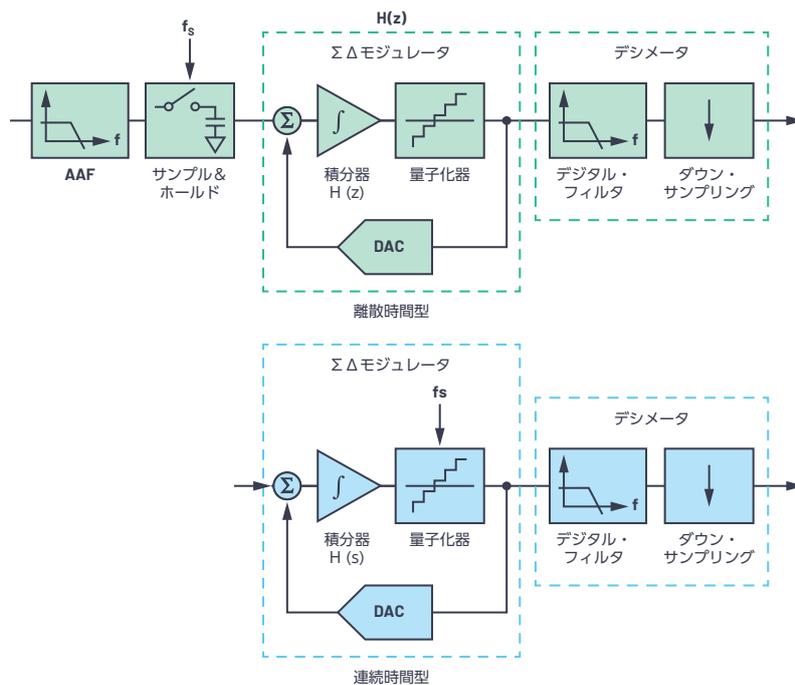


図11. DTSD ADCとCTSD ADCのブロック図

DTSD ADCでは、モジュレータのサンプリング周波数を簡単にスケールリングできます。一方、CTSD ADCのサンプリング周波数は固定値でなければなりません。また、CTSD ADCは、同等の性能を実現できるスイッチド・キャパシタ方式のADCと比べ、ジッタに対する耐性が低いことが知られています。ただ、これについては、市販の水晶発振器やCMOS発振器を使用することが対策になります。そうすれば、ADCのすぐ近くでジッタの小さいクロックを供給することができるからです。この方法であれば、アイソレーションを越えてジッタの小さいクロックを伝送する必要がなく、EMC（電磁両立性）性能も高められます。

CTSD ADCがもたらす主なメリットは以下の2つです。

- ▶ エイリアスを除去する能力を内在しています。
- ▶ 信号とリファレンスは、抵抗性の入力部に接続されます（スイッチド・キャパシタによるキックバックを回避できます）。

アンチエイリアシング機能を内在

CTSD ADCの場合、サンプリング部がループ内に存在します。この構成により、ADCにエイリアスを除去する能力を持たせることができます。CTSD ADCの場合、入力信号はサンプリングが行われる前にループ・フィルタ内に到達します。また、量子化器で発生するエイリアスもこのフィルタを通過します。入力信号とエイリアスには、 $\Sigma\Delta$ ループによる同じ伝達関数が適用されます。量子化ノイズに対しては、 $\Sigma\Delta$ モジュレータによるノイズ・シェーピングが施されるわけですが、入力信号とエイリアスにもそれと同様のシェーピングが適用されます。その結果、CTSD ADCにおけるループの周波数応答は図12のようになります。ご覧のように、サンプリング周波数の整数倍付近の信号が除去されるのです。つまり、AAFと同等の機能が働いていることとなります。

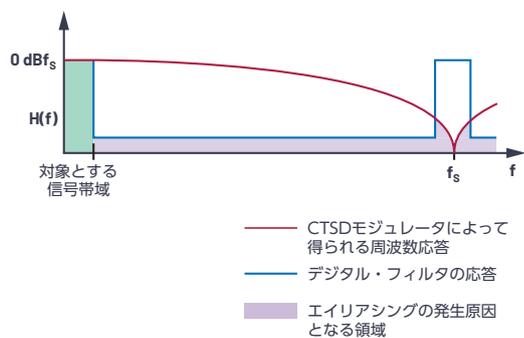


図12. CTSDモジュレータの周波数応答

抵抗性の入力部

CTSD ADCでは、入力信号のサンプリング部とリファレンスの入力部にスイッチド・キャパシタは存在しません。入力信号とリファレンスを値が一定の抵抗性入力部に接続できるので、スイッチド・キャパシタ回路よりも容易に駆動できます。スイッチド・キャパシタを使用しないということは、キックバックが発生しな

いということ意味します。そのため、ドライバが完全に不要になります。入力部は図13に示すようなものになり、この部分で歪みが生じることもありません。更に、入力抵抗が一定なので、ゲイン誤差に対するシステムの再調整も不要になります。

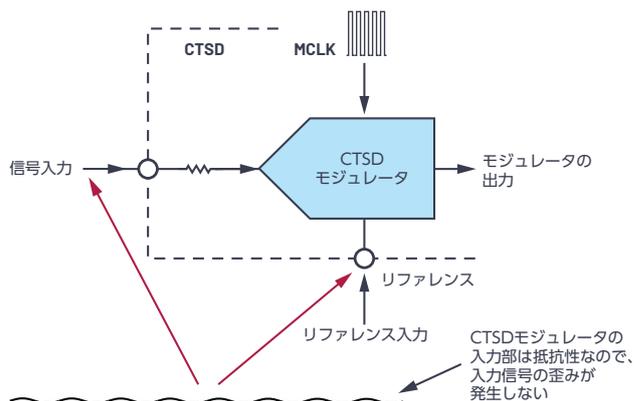


図13. CTSDモジュレータの入力部

ADCの電源が単極性であったとしても、アナログ入力としては両極性の信号を扱うことができます。ADCの手前に配置する両極性のフロント・エンドでレベル・シフトを行う必要はありません。入力抵抗には、入力電流だけでなく入力コモンモードに依存する電流も流れます。そのため、ADCのDC性能は変動する可能性があります。

CTSD ADCでは、リファレンスの負荷も抵抗性の負荷となります。スイッチング動作に伴うキックバックが発生しないので、リファレンス専用のバッファを用意する必要がありません。ローパス・フィルタの抵抗は、ADCのチップ上に集積することが可能です。その場合、チップ上の他の抵抗性負荷（おそらく同一の材料で形成される）と同等の特性（変動やばらつき）を示すので、ゲイン誤差の温度ドリフトを低減できるはずで

CTSDのアーキテクチャは目新しいものではありません。既に、高性能のオーディオや、携帯電話機のRFフロント・エンドなどのアプリケーションに適用されています。CTSD ADCは、他の種類のADCにはない多くの長所を備えています。例えば、集積化が非常に容易であることや、消費電力が少ないことなどです。最も重要な長所は、CTSD ADCを使用することにより、システム・レベルの多くの重要な課題を解決できることです。その一方で、CTSD ADCは、技術的な面でいくつかの弱点も抱えています。そのため、CTSD ADCが使用されるのは、オーディオ用途をはじめとする帯域幅の狭いアプリケーションや、必ずしも高いダイナミック・レンジを必要としないアプリケーションに限られていました。高精度、高性能、中程度の帯域幅が求められるアプリケーションでは、SAR ADCやDTSD ADCといった高性能のナイキスト・レート・コンバータが依然として主流だったのです。

しかし、産業分野や計測器の分野では、より帯域幅が広く、よりDC/AC精度が高いADCを求める声が強くなっています。また、多くのメーカーは、製品化までに要す時間をできるだけ短縮したいと考えています。そのため、なるべく多くの自社製品に適用できる単一のプラットフォームを強く求めるようになりました。

アナログ・デバイセズは、最先端の技術を導入することで、CTSD ADCが抱える多くの課題を克服しました。その結果、開発されたのが「AD4134」です。同ICは、CTSDをベースとする高精度のADC製品として、初めてDC～400kHzの帯域幅に対応しました。これを採用すれば、高いDC精度を実現し、非常に高いレベルの仕様を満たすことができます。例えば、高性能の計測アプリケーションでは、システム・レベルの数多くの問題を解決することが可能になります。また、AD4134は、ASRC (Asynchronous Sample Rate Converter) の機能も内蔵しています。これを使えば、CTSD ADCの固定サンプリング・レートからデータから可変レートでデータを抽出して出力することができます。出力データ・レートは、モジュレータのサンプリング周波数とは無関係に設定することができるということです。言い換えると、CTSD ADCをうまく使用すれば、スループットの粒度を変更することができます。出力データ・レートを特定の粒度のレベルに柔軟に変更でき、コヒーレントなサンプリングを実現することも可能になります。

AD4134がシグナル・チェーンにもたらすメリット

AD4134を採用した場合、シグナル・チェーンにはどのような好影響が及ぶのでしょうか。以下、もたらされるメリットについてまとめます。

AAFが不要

CTSD ADCはエイリアス除去機能を備えているので、AAFは必要ありません。このことは、部品点数の削減とソリューションの小型化につながります。より重要なのは、AAFに伴う性能上の懸念事項がすべて解消されることです。具体的には、AAFに関連するドループ、オフセット誤差、ゲイン誤差、位相誤差、ノイズなどに配慮する必要がなくなります。

遅延の低減

AAFを使用する場合、求められる性能に応じてシグナル・チェーンの遅延が大幅に増加します。AAFが不要になるということは、その遅延を完全に排除できるということを意味します。その結果、ノイズの多いデジタル制御ループを使用するアプリケーションにおいても、高精度のA/D変換を実現することが可能になります。

優れた位相マッチング性能

AAFが不要になることから、マルチチャンネル・システム全体としての位相のマッチング性能が大幅に改善されます。このことから、CTSD ADCは、チャンネル間の mismatch が小さいことが求められるアプリケーションにとって最適な選択肢となります。具体的なアプリケーションとしては、振動監視システム、電力測定システム、データ・アクイジション・モジュール、ソナーなどが挙げられます。

干渉に対する高い耐性

DTSD ADCやSAR ADCを使用する場合には、サンプリングを実行する際に干渉の影響が及ばないように注意する必要があります。それに対し、フィルタ特性を備えるCTSD ADCは、内蔵回路からの干渉や、システム・レベルのあらゆる干渉に対して高い耐性を示します。また、電源ライン上の干渉に対する耐性も備えています。

ドライバとリファレンス・バッファが不要

CTSD ADCでは、アナログ信号とリファレンスを抵抗性の入力部に接続できます。そのため、ドライバとリファレンス・バッファが不要になります。また、オフセット/ゲイン/位相の誤差、システムに対するノイズの混入といった性能上の懸念事項が排除されます。

設計が容易に

シグナル・チェーンの構成要素を大幅に削減できることから、高い精度を実現するための労力を最小限に抑えられます。このことは、設計時間の短縮、製品化までの時間の短縮、部品の管理の簡素化、信頼性の向上につながります。

サイズの縮小

AAF、ドライバ、リファレンス・バッファが不要になることから、シグナル・チェーンの実装面積を大幅に削減できます。また、CTSD ADCは、計装アンプで直接駆動することが可能です。AD4134は差動入力に対応するので、「LTC6373」など差動入力型の計装アンプを適用することができます。

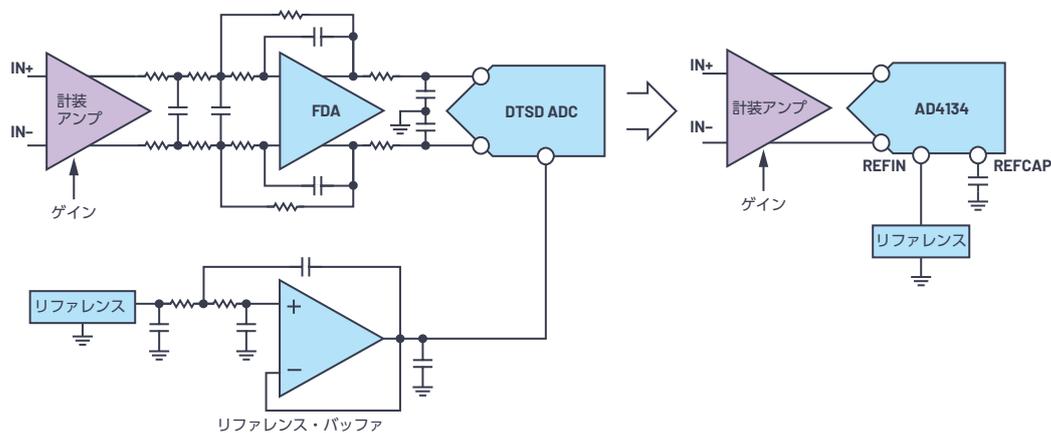


図14. DTSD ADCをベースとするシグナル・チェーン (左) とCTSD ADCをベースとするシグナル・チェーン (右)

図14に、DTSD ADCを使用する場合のシグナル・チェーンと、CTSD ADC (AD4134) を使用する場合のシグナル・チェーンを示しました。図15に示したように、AD4134を採用した場合、同等の機能/性能のDTSD ADCを使用する場合と比べて、シグナル・チェーンの面積を70%削減できます。このことから、AD4134は高密度化が求められるマルチチャンネル・アプリケーションにとって、最適な選択肢であることがわかります。



図15. DTSD ADCをベースとするシグナル・チェーンとCTSD ADCをベースとするシグナル・チェーンの実装面積

まとめ

AD4134は、高精度の計測アプリケーションなどに対する最適な選択肢です。求められる性能を全く犠牲にすることなく、実装面積の大幅な削減、シグナル・チェーンの設計の簡素化、システムの堅牢化を実現できます。また、簡単なデザインインにより、製品化までの時間を短縮することが可能になります。

参考資料

Walt Kester, MT-002 チュートリアル [「ナイキストの基準」を、現実のADCシステムの設計に活かす] Analog Devices, 2009年

Shanti Pavan [Alias Rejection of Continuous-Time $\Delta\Sigma$ Modulators with Switched Capacitor Feedback DACs (スイッチド・キャパシタ方式のフィードバック用DACを備えた連続時間型 $\Sigma\Delta$ 変調器におけるエイリアスの除去)] IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 58, No. 2, 2011年2月

Richard Schreier, Gabor C. Temes [Understanding Delta-Sigma Data Converters ($\Delta\Sigma$ 型アナログ/デジタル変換器入門)] John Wiley and Sons, 2005年

謝辞

本稿の執筆を支援してくれたAbhilasha Kawle, Avinash Gutta, Roberto Maurinoに感謝します。



著者について

Wasim Shaikh (wasim.shaikh@analog.com) は、アナログ・デバイセズのアプリケーション・エンジニアです。高精度コンバータ部門（インド バンガロール）に所属しています。入社は2015年で、2003年にプネー大学で学士号を取得しています。



著者について

Srikanth Nittala (srikanth.nittala@analog.com) は、アナログ・デバイセズのリード・テクノロジストです。高精度コンバータ部門（インド バンガロール）に所属しています。2003年にインド工科大学（ボンベイ）で修士号を取得しています。