

クロック・ジッタがΣΔ ADCに及ぼすあらゆる影響を理解する

著者: Pawel Czapor

最新の逐次比較型 (SAR) A/Dコンバータ (ADC) やシグマ・デルタ型 (ΣΔ) ADCは、使いやすさを念頭に置いて設計されています。それが最新の製品を採用するメリットの1つにもなっています。従来、使いやすさというのは、後から付加価値として加えられる性質のものでした。一方、使いやすい製品を採用すれば、システム設計者の作業が簡素化されます。また、そうした製品を採用したリファレンス設計は、複数の世代や様々な種類のアプリケーションにわたって利用/再利用できることが多いと言えます。しかも、多くの場合、異なるアプリケーションにおいて1つのリファレンス設計を長期にわたって使用することが可能です。高い精度が実現された測定システムでは、ハードウェアには手を加えず、ソフトウェアの実装を変更することによって、異なるニーズに適応させるということが行われます。これこそが、再利用がもたらす典型的なメリットの1つです。しかし、この世において、メリットしかないなどということはあり得ません。必ず何らかのデメリットが伴うはずで、複数のアプリケーションに1つの設計で対応することの最大の欠点は、DC、サイズミックス、オーディオ、広帯域幅といった全く種類が異なるアプリケーションで最大限の性能を得るために必要なカスタマイズと最適化が見送られがちになることです。設計の完成や再利用を急ぐ場合、高い精度といった性能については、断念することが多くなります。最も見落とされやすく、なおざりになりがちな事柄の1つがクロックです。本稿では、そのクロックの重要性について詳しく解説します。特に、高性能のADCを使用するシステムを適切に設計するための指針を示すことに重点を置きます。

ADCの基礎

ジッタとS/N比の関係

ADCの性能がジッタに依存するという点については、各種の文献で詳しく説明されています。そうした文献の表題には、「高速」という語が含まれていることが少なくありません¹。ジッタとS/N比の関係について検討する際には、まず、S/N比の値とRMSジッタの関係を確認します。

ジッタが、システムの主要なノイズ源であるとし、その場合、ジッタとS/N比 (SNR) の関係は、次のように簡素化されます。

$$SNR = -20 \times \log_{10} (2\pi f_{IN} \delta t_{RMS}) \quad (1)$$

他にも無視できないノイズ源が存在する場合には、次の式を使用し、すべてを加味してS/N比を計算する必要があります。

$$SNR = 10 \times \log_{10} \left[\left(\frac{A}{\sqrt{2}} \right)^2 / \left\{ \left(\sqrt{2} \times \pi f_{IN} \times A \times \delta t_{RMS} \right)^2 + e_v^2 \right\} \right] \quad (2)$$

ここで、各変数の意味は次のとおりです。

A：入力信号の振幅

f_{IN} ：入力信号の周波数

e_v ：簡素化された電圧ノイズのRMS値

δt_{RMS} ：様々なノイズの原因因子のRMS値の和として見積もられるRMSジッタの合計値

δt_{RMS} は次の式で表すことができます。

$$\delta t_{RMS} = \sqrt{\delta t_{INT}^2 + \delta t_{EXT}^2} \quad (3)$$

式 (3) の詳細についてはanalog.com/MT-008をご覧ください。

上記の加算処理は、ノイズ源が互いに相関を持たない場合に有効です。式 (2) から、S/N比は熱ノイズ e_v とジッタ・ノイズに依存することがわかります。S/N比に対するジッタの影響は、入力周波数 f_{IN} に依存します。つまり、高い周波数においては、S/N比は主にジッタによって決まるようになります。

図1のグラフは、様々なジッタ・レベルにおけるADCのS/N比を示したものです。このグラフでは、式 (1) と式 (2) を使って計算した理想的なADCのS/N比と、現実のADC「AD7768-1」のS/N比を比較しています。図1のようなグラフは、高速ADCのデータシートにはほぼ間違いなく掲載されています。ただ、一般的には、MHzのレベルからの特性が示されています。図1では高精度のADCを例にとり、kHzのレベルまでを対象としています。AD7768-1では、最新の高精度ADCだからこそ達成できる108dB以上のS/N比が得られていることに注目してください。これが、同ICを使用するメリットの1つです。

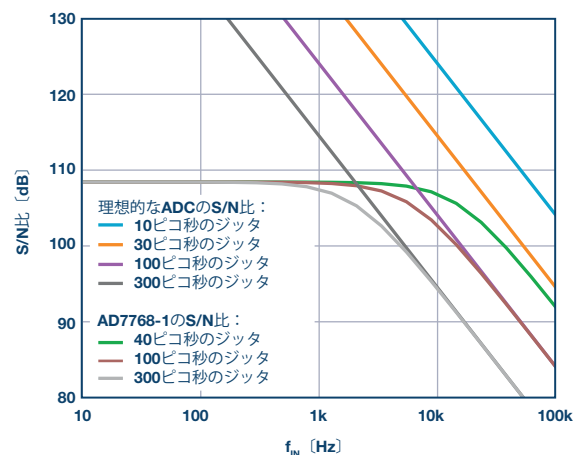


図1. ジッタ・レベルとS/N比、 f_{IN} の関係

図1のグラフから、AD7768-1で1kHzの信号を変換する場合、クロック・ジッタの影響が及ぶのは $\sigma_{t_{RMS}}$ が300ピコ秒を超えるケースのみ（灰色のライン）だということがわかります。別の指標として、有効ビット数（ENOB）と f_{IN} に対するジッタの関係を示すと、図2のようになります。

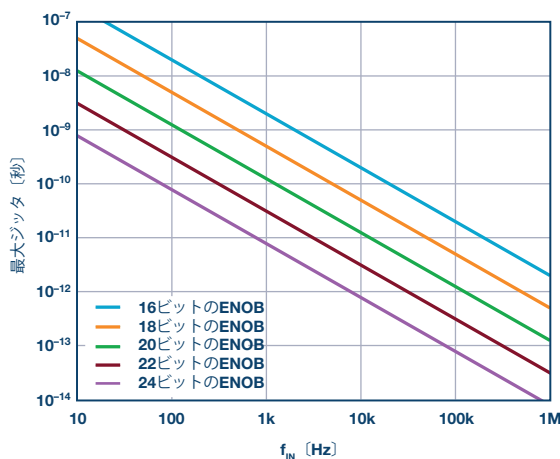


図2. ENOB、最大許容ジッタ、 f_{IN} の関係

今日の高精度ADCで許容できるジッタを考えると、一般的な弛張型発振器（555タイマーICをベースとする発振器など）や、マイクロコントローラ/FPGAをベースとする多くのクロック発生器は使用できません。そうすると残る選択肢は、水晶発振器（XTAL）とフェーズ・ロック・ループ（PLL）をベースとする発振器に絞られます。また、技術的な進歩が著しいMEMS（Micro Electro Mechanical Systems）発振器も、適切な選択肢の1つになり得ます。

オーバーサンプリング手法は役立つのか？

式（1）と式（2）から得られる重要な情報があります。それは、ジッタとS/N比の関係には、サンプリング周波数に対する明確な依存性はないということです。このことから、オーバーサンプリング手法（同手法を単独で使うか、またはノイズ・シェーピングを併用する）によって、ジッタの影響を緩和するのは難しいということがわかります。オーバーサンプリングは、高精度のシステムにおいて非常に有効な手法ですが、ジッタの影響の低減という意味では、ほとんど効果はありません。サンプリング周波数との関係は、以下の式で表すことができます。

$$\delta t_{RMS} = \frac{\sqrt{2 \int_{f_{min}}^{f_{max}} L(f) df}}{2\pi f_s} \quad (4)$$

各変数の意味は次のとおりです。

$L(f)$: 位相ノイズのスペクトル単側波帯（SSB: Spectral Single-Sideband）密度を表す関数

f_{min} 、 f_{max} : 特定の測定に関連する周波数範囲の下限値と上限値

式（4）の詳細についてはanalog.com/MT-008をご覧ください。

一般に、ジッタの影響は、サンプリング周波数 f_s を高めても、わずかな改善しか得られないと考えられます²。理論的には、ADCのオーバーサンプリング比に応じて、広帯域のジッタの影響はいくらか低減されます³。

また、量子化ノイズと熱ノイズに対しては、ノイズ・シェーピングが、対象となる帯域のノイズを抑えるための非常に有効な手段となります。式（5）、式（6）に示すように、オーバーサンプリング比を上げると、量子化ノイズは、ジッタによるノイズと比べて大幅に抑制されます。逆に言えば、ノイズ・シェーピングとオーバーサンプリングを併用するADCでは、ジッタによる影響がより顕著になります。一方、ナイキスト・コンバータでは、それとは異なる結果になるかもしれません。図3は、2次の $\Sigma\Delta$ ADCと新たな4次の $\Sigma\Delta$ ADCにおける量子化ノイズとジッタの影響の関係を示したものです。

N次のノイズ・シェーパでシェーピングされた量子化ノイズを、オーバーサンプリング比Mと本来の量子化誤差 Δ を使って表すと、次のようになります。

$$S_{QUANTIZATION} \approx \frac{\pi^{2N}}{(2N+1)} \times \frac{1}{M^{2N+1}} \times \frac{\Delta^2}{12} \quad M \gg 1 \quad (5)$$

オーバーサンプリング比Mとジッタ量の関係は、以下のとおりです。

$$S_{jitter} \approx \frac{(2 \times \pi f_{IN} \times \delta t_{RMS})^2}{M} \times \frac{\Delta^2}{8} \quad (6)$$

以下に示す式は、2次のノイズ・シェーピング（Nは2）を実施する場合の例です。5乗という具体的な数字が使われているので、Mの影響がよくわかるでしょう。

$$S_{QUANTIZATION(N=2)} \approx \frac{\pi^4}{5} \times \frac{1}{M^5} \times \frac{\Delta^2}{12} \quad M \gg 1 \quad (7)$$

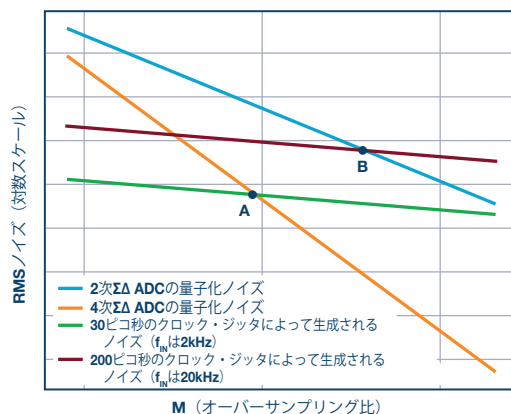


図3. オーバーサンプリングの効果。量子化ノイズがジッタの影響を下回るレベルまで抑えられます。A点に注目すると、4次の $\Sigma\Delta$ ADCには、ジッタが30ピコ秒未満のクロックが必要であることがわかります。B点は、2次のノイズ・シェーピングを利用する古い技術では、20kHzの信号を変換する場合、最大200ピコ秒のジッタに耐えられることを示しています。

どの世代のADCであっても、普遍的な関係は変わりません。1次のノイズ・シェーパの場合、量子化ノイズは $1/M^3$ に比例して抑制されます。その結果、量子化ノイズがジッタの影響を上回る範囲は、非常に広がります。それに対し、4次の $\Sigma\Delta$ ADC（ノイズ・シェーパ）であれば、量子化ノイズは $1/M^5$ に比例して抑制されます。

一方で、ジッタはせいぜい $1/M$ 程度までしか抑えられません。しかも、それは $1/f^n$ の関係とは対照的に、広帯域にわたる大きな周波数成分が存在するという都合の良い仮定を行った場合の話です。

信号振幅によって何が変わる？

式(2)を見ると、分子と分母の両方に振幅が含まれています。そのため、振幅とS/N比の間には、トレードオフの関係はありません。但し、信号の振幅が減衰すると、ジッタに加え、熱ノイズの影響によって、ダイナミック・レンジが制限されるようになります。その結果、S/N比が低下することがあります。したがって、ノイズを低く抑えたい場合、新たな高精度のADCに対しては、DC/サイズミックのアプリケーションを除くあらゆるアプリケーションにおいて、ジッタに関する制約が課されることになります。

クロック・ジッタにも存在する周波数特性

上では、信号、全体的な電圧ノイズ、クロック・ジッタのRMS値の関係について説明しました。式(2)に示したように、これら3つの項目とS/N比の関係は、非常に単純明快です。S/N比は回路の比較を行う際には、良い指標になりますが、必ずしも現実のアプリケーションにおいて重要な指標になるとは限りません。多くのアプリケーションでは、S/N比だけを念頭に置いて設計を行うのは不適切です。上記3つの項目が重要である場合には、スプリアス・フリー・ダイナミック・レンジ(SFDR)が設計上の有用な指標になります。新たな高精度のADCでは、SFDRとして140dB、150dBといった値を達成可能です。

クロック源に依存してどのように信号が歪むのかということは、両者をミキシングして観測することにより確認できます。周波数領域における解析には、周波数変調の理論を適用できます³。FFT(高速フーリエ変換)によって得られるスペクトルは、クロック源のスペクトルと入力信号のスペクトルのミキシング積です。それによって、ADCがどのような影響を受けるかを調べるためには、位相ノイズの概念を導入します。ジッタと位相ノイズは、同じ現象を表すものですが、アプリケーションに応じていずれかが使用されます。位相ノイズからジッタへの変換方法は、前掲の式(4)に示したとおりです。なお、積分を行う際に、スペクトルの細かい部分の情報は失われます。

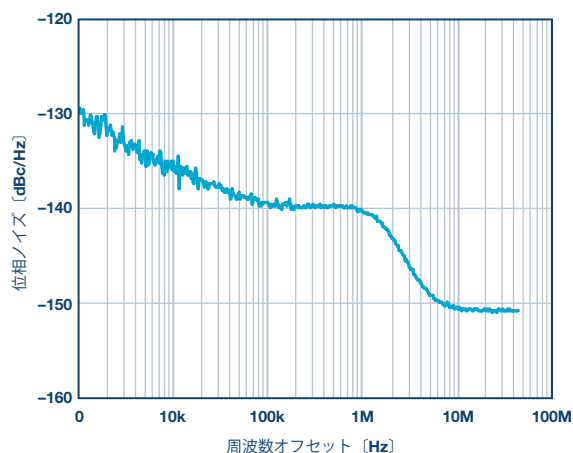


図4. クロック発生器の位相ノイズ密度。
100MHz/33.33MHzに対応するクロック発生器
「AD9573」の例を示しました。

クロック源装置やPLLの仕様書には、位相ノイズ密度のグラフが一般的に掲載されています(図4)。ただ、オーバーサンプリング型のADCで使われるような低い周波数のクロック源の場合、図4のようなグラフが掲載されているケースは、必ずしも多くはありません。その代わりに、トータル・ジッタの値(RMS値またはピーク値)が記載されていることがよくあります。

抵抗やトランジスタは、チョッピングによってDC付近でノイズの周波数特性がほぼ平坦になるように調整することができます。一方、クロック回路に対しては、チョッピングと同等の手段は存在しません。

振幅の大きい信号 A_{IN} の変換を行う場合、得られるFFT結果は、周波数変調スペクトルのようなものとなります。あたかも、 A_{IN} が搬送波でクロックが信号の側波帯であるかのような状態になるということです。FFTでは、位相ノイズには帯域制限はかかりません。ノイズは単純に複数のエイリアスに分配されます(図6)。

高精度のADCでは、クロック用にアンチエイリアシング(折返し誤差防止)フィルタを使うことなく、位相ノイズが自然に減衰する性質を利用することができます。また、クロック源にフィルタを追加すれば、いくらかジッタを低減できる余地があります。例えば、チューニングしたトランスをクロックのパスに配置すると、望ましい周波数応答が得られます。式(4)における周波数の積分区間の上限をピンポイントで特定するのは、容易ではありません。高精度のADCのデータシートにも、これに関するアドバイスはあまり記載されていません。このような場合には、クロックのCMOS入力について工学的な仮定を設けます。

高精度のADCについては、より一般的な問題があります。それは、周波数 f_{IN} のごく近傍に $1/f^n$ の形で生じる位相ノイズにより、SFDRが低下するというものです(図6)。振幅の大きい信号 A_{IN} はブロックとして機能します。ブロックは、無線レシーバーに関連してよく使われる用語ですが、ここにもそれを適用できます。

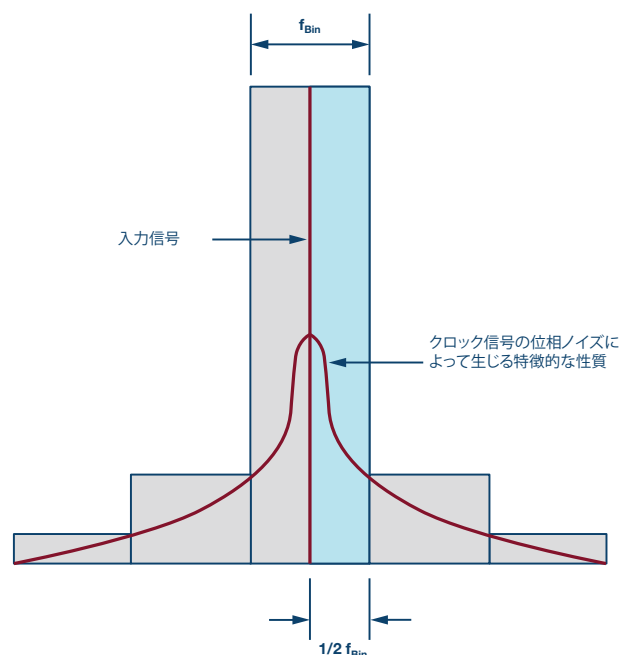


図5. ジッタによる影響。近傍の位相ノイズによって、プライマリ・ビン周辺のFFTビンの振幅が決まります。

非常に長いキャプチャ時間にわたり、高い精度でスペクトルを記録したいケースがあります。その場合、クロックの位相ノイズ・スペクトル密度の性質に依存して、SFDRに関する大きな制限が加わります。S/N比に加え、FFT結果の視覚的な形状は、キャプチャ時間を短くする（周波数ビンの幅を広くする）ことによって改善できます。FFTのキャプチャ結果において、RMSジッタは、周波数ビンの1/2からの積分位相ノイズとしてカウントする必要があります。このことは、図5を見れば明らかです。

キャプチャ時間を短くすると、S/N比に加え、FFT結果の視覚的な形状が改善されますが、ブロッカ近く（周波数0付近）の信号を観測できません。周波数変調の分野では、一般化／簡素化を実現するためのものとして、よく使用されている手法があります。それは、裾の部分の高さを以下の式のように近似するというものです。

$$A \approx 10 \times \log_{10} \frac{f_{IN}}{f_s} \quad (8)$$

1つのFFTの積分時間を長く取ると、位相ノイズの顕著な部分がより広く収集されてしまいます。これを改善するには、長いキャプチャ時間を組み合わせた代替手法を検討する必要があります。

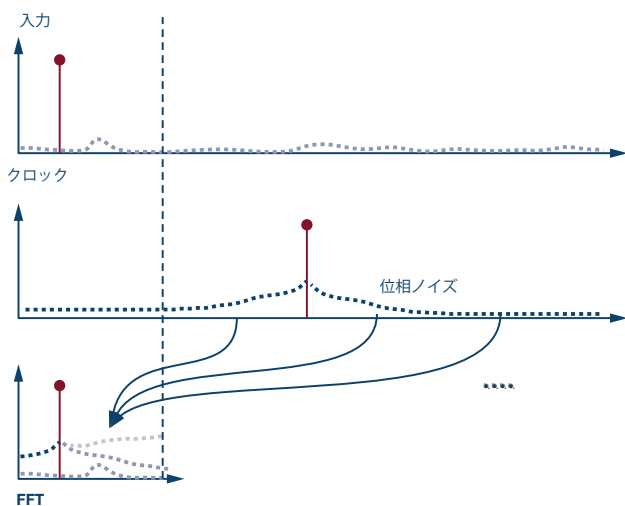


図6. ベースバンドに折り返される位相ノイズ

実用的には、 $f_{BIN}/2$ のオフセット周波数における1点でSSBのグラフを比較し、クリーンな近傍スペクトルと良好なSFDRが得られる、より良いクロック源を選択することが推奨されます。S/N比を指標にしてクロック源を比較する場合には、 $f_{BIN}/2$ から $3 \times f_s$ 以上までの区間（ジッタのエイリアスが対象）で、式（4）の積分を行う必要があります。

ΣΔモジュレータに対するクロックの影響

ここまで述べたのは、アーキテクチャや技術に関係なく、すべてのADCに普遍的に当てはまる事柄です。続いては、特定の技術に依存する課題を取り上げます。ΣΔ ADCの内部には、ジッタに対する顕著な依存性を示す回路が存在します。離散時間型（DT：Discrete Time）のモジュレータと連続時間型（CT：Continuous Time）のモジュレータの違いは、ジッタに対する耐性に多大な影響を及ぼします。

CT型のΣΔ ADCでも、DT型のΣΔ ADCでも、ジッタはサンプリングに関連する影響を及ぼします。それだけでなく、フィードバック・ループがジッタから大きな影響を受ける可能性があります。CT型のモジュレータにおいても、DT型のモジュレータにおいても、構成要素の1つであるD/Aコンバータ（DAC）の直線性が、ADCとしての高い性能を達成する上での鍵となります。オペアンプとの比較を示した図7を見れば、DACの重要性を直感的に理解することができるでしょう。例えば、ゲインが2の電圧増幅器を設計したい場合、回路に関する基本的な知識を持つ人であれば、1個のオペアンプと2個の抵抗を組み合わせた回路を最初に思い浮かべます。外部環境に特に厳しい要因がなければ、図7（b）の回路で事足ります。ほとんどの場合、オペアンプについてそれほど理解していなくても、優れた性能を得ることができます。回路設計者に必要なことは、適切に整合して、適切なゲインが得られるだけの精度を持つ抵抗を選択することです。細かい話をすれば、ノイズを考慮して、値の小さい抵抗を選択しなければなりません。また、温度が高くなることも想定し、熱係数が一致しているものを選ぶ必要があります。ただ、こうした事柄は、オペアンプとは無関係であることに注目してください。現実のオペアンプで生じる諸問題は、この回路の動作においては、あまり重要ではありません。確かに、入力電流や容量性負荷によって大きな問題が生じる可能性はあります。帯域幅が制限されていない場合には、ノイズの影響が生じる可能性があるのも、スルー（slew）の性能について確認する必要があります。しかし、そうした問題に対する修正が必要になるのは、適切な抵抗を選択したのに性能が得られなかった場合のみです。ΣΔ ADCのフィードバック・ループは、2個の抵抗から成るフィードバック・ループと比べてはるかに複雑です。その回路では、抵抗器の代わりにDACが使われます。DAC以外の部分がオペアンプ回路と同じようなループ・ゲインが得られるよう動作していても、DACの動作に不具合があれば、致命的な状況に陥ります。

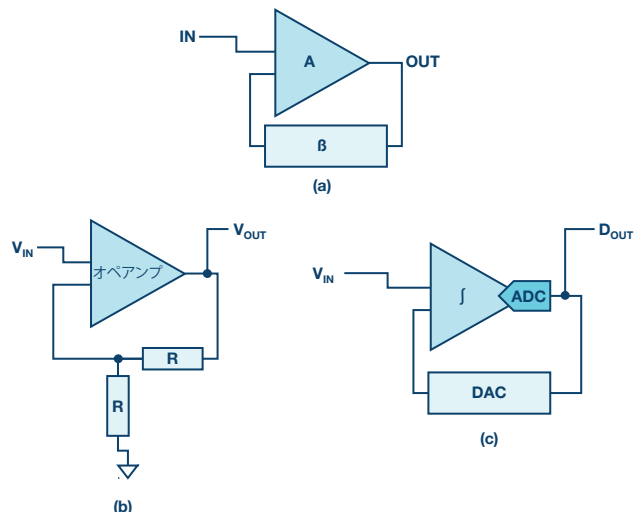


図7. オペアンプ回路とΣΔ ADCの比較

ADCでは、キャリブレーション（素子のシャッフリング）によって、DACの不整合に対処します。高い周波数に誤差の成分をシフトするのですが、タイミング上の制約が非常に厳しいイベントも使用するので、ジッタに関連して性能が大きく低下するおそれがあります。ジッタの影響によってノイズ・フロアが高くなり、ノイズ・シェーピングの効果が低下してしまうかもしれません。モジュレータでは、RZ（Return to Zero）やHRZ（Half Return to Zero）など、様々な方式（またはそれらを組み合わせた方式）のDACを使用できます。なお、そうした方式の解析手法や数値シミュレーションの詳細については、ここでは割愛します。

本稿では、ジッタに着目し、DACの動作を簡単な図で示すにとどめます。ジッタに対する依存性の問題は、ADCのループ内にあります。最近の製品では、位相ノイズが適切な大きさになるように設計された周波数通倍器を内蔵しているものがあります。それにより、システム設計者の負担は、大きく軽減されます。但し、周波数通倍器にも、適切な外部クロックとノイズの小さい電源が必要になることには注意が必要です。そのようなシステムでは、PLLに関する文献を参照し、位相ノイズの面で悪影響が生じるおそれがないかどうかを確認してください。図8は、様々なDACのジッタ耐性を視覚的に示したものです。DT型のDACは、ジッタに対する依存性が非常に低いことがわかります。

一般に、最新のCT型 $\Sigma\Delta$ ADCはPLLを内蔵しています。受動素子に合わせてタイミングが慎重にチューニングされるため、幅広いクロック・レートには対応しません。サンプル・レート変換を利用して、ADCの変換レートの範囲を拡大するという手法も用いられます。デジタル回路が進歩したことから、サンプル・レート変換は、消費電力が増加する可能性はあるものの、アナログ回路の高精度なチューニングに代わる有効な手法となっています。アナログ・デバイセズは、サンプル・レート変換のオプションを備える多数のADC製品を提供しています。

スイッチド・キャパシタ・フィルタを活用する アーキテクチャ

ジッタが影響を及ぼす可能性のあるもう1つの要素としては、スイッチド・キャパシタ・フィルタ（以下、SCF）があります。高精度のADCを設計する場合、不要なすべての信号を確実に排除するか、十分に減衰させる必要があります。

ADC製品の中には、何らかのアナログ・フィルタやデジタル・フィルタを備えているものがあります。ADCのデジタル・フィルタは、ジッタに対して優れた耐性を有しています。一方、SCFのようにクロックを使用するアナログ・フィルタは、必ずジッタの影響を受けます。

このことは、フロントエンドでより高度なスイッチング機構を使用する高精度のADCでは、特に重要になります。SCFの理論を理解しておくに役に立つ可能性がありますが、その詳細や解析手法などについては、文献を参照してください³。

ADCで一般的に使われている方法の1つに、相関二重サンプリング（CDS：Correlated Double Sampling）があります。図9は、質に差がある3種のクロックに対して、CDSによるノイズ除去性能がどのように変化するかを示したものです。このグラフでは、除去帯域に近い信号を示しています。X軸上の1の部分がSCFに対応します。グラフの中央の部分では、デジタル・フィルタによってノイズが抑制されることはなく、アナログ回路であるSCFに依存します。適切な除去レベルを維持するには、質の良いクロックが必要です。DC信号の測定に対しても、ジッタが大きいと、チップ上のSCFによってフィルタリングされているはずの不要な信号が折り返されることから、ノイズ性能が低下する可能性があります。なお、ADCがSCFを内蔵していたとしても、そのことがデータシートに明示的に記載されているとは限りません。

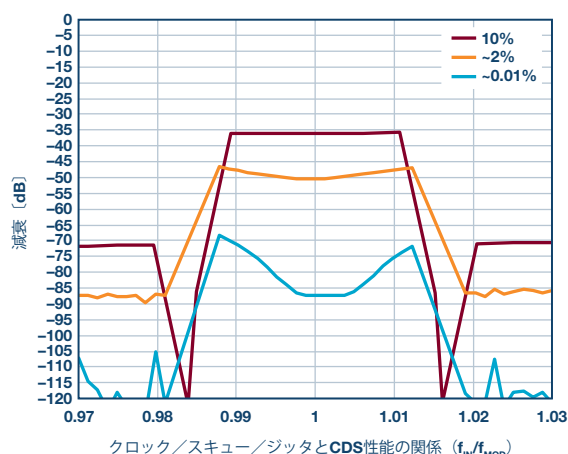


図9. SCFの性能とクロックの質（マークスペース比）の関係

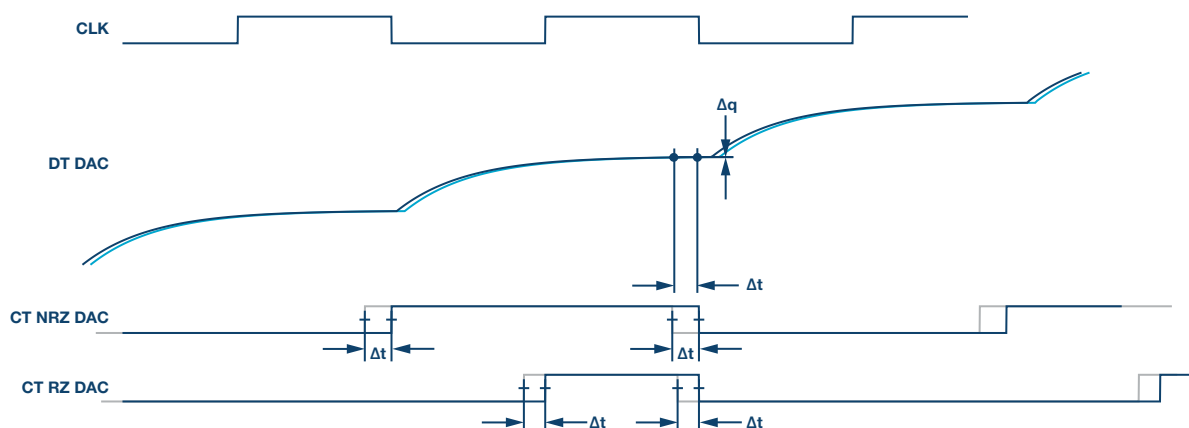


図8. 各種のDACとジッタの関係。DT型のDACはいくらかのジッタ耐性を備えています。一方、CT型のDACでは、パルス幅を狭くすると、性能がジッタに大きく依存するようになります。

実用的な指針、問題の発生源、一般的な原因

ここまで、クロックがどのような形でADCに問題をもたらすのか説明してきました。続いては、ジッタを最小限に抑えたシステムを構築するための手法を紹介します。

クロック信号の反射

質の高いクロック源の中には、立上がりエッジと立下がりエッジが非常に急峻なものがあります。それにより、遷移時間内に生じるジッタ・ノイズを低減できるからです。但し、急峻なエッジによる効果を得るには、ルーティングと終端について、かなり厳しい要件を満たす必要があります（図10）。クロック・ラインが適切に終端されていない場合、反射波が元のクロック信号に重畳してしまいます。その影響は非常に大きく、数百ピコ秒のレベルのジッタが容易に引き起こされるおそれがあります。極端な場合、クロックの受信側で本来は存在しないはずのエッジが観測され、回路のロック・アウトが生じることもあります。

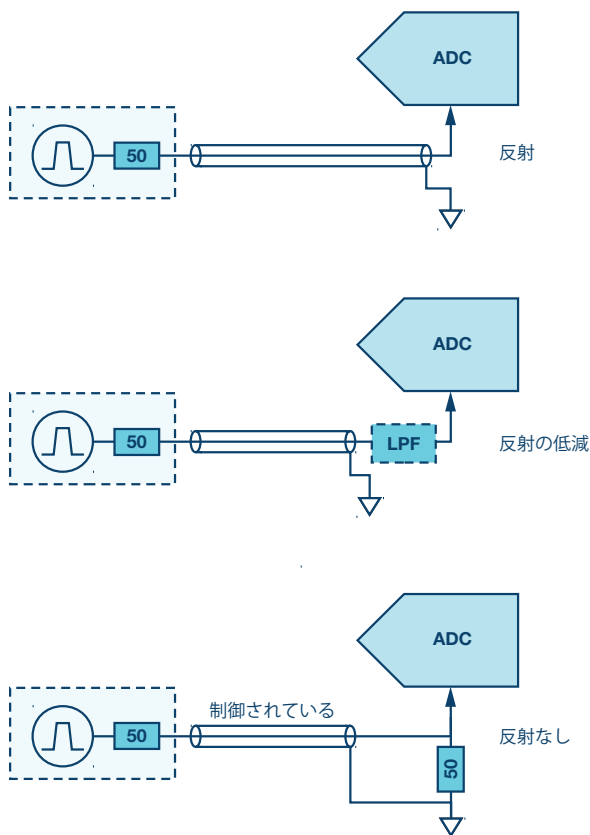


図10. クロックの反射の抑制。上から順に、悪い例、やや改善された例、最良の例を示しています。

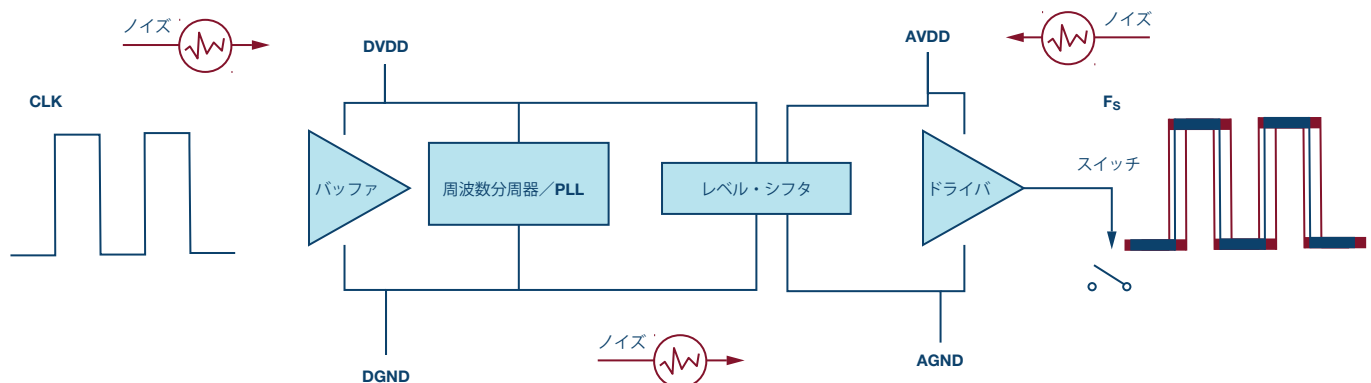


図11. ADCの構造の例。DVDD、AVDDという異なる電源ドメインと、AGNDとDGNDの間で生じるノイズがサンプリングのタイミングに影響を及ぼします。

やや直感に反するかもしれませんが、この問題を解決するための1つの方法は、RCフィルタによってエッジを鈍らせて、高周波成分を除去することです。50Ωのトラックと終端を備える新しいプリント回路基板を用意できるまでは、クロック源として正弦波を使用することも可能です。その場合、遷移は比較的緩やかで、デジタル入力ヒステリシスによってマークスペース比が1:1でなくなる可能性があります。ジッタの反射成分は低減できます。

電源のノイズ

サンプリング用のスイッチにエッジが到達するまでに、ADCの内部で様々なバッファやレベル・シフタを介して、デジタル回路用のクロックがルーティングされる場合があります（図11）。ADCにアナログ電源ピンがある場合、レベル・シフタが配置されているはずであり、それがジッタの発生原因になる可能性があります。一般に、チップ上のアナログ回路は、比較的高い電圧を使用することに加え、スルー時間が長くなるので、ジッタに対する感度が高くなります。最新のデバイスの中には、クロックを使用する回路とリニア回路とは、独立したアナログ電源を使用するものもあります。

適切なデカップリング・コンデンサの選択

電源ノイズに起因するジッタは、デカップリングの質に依存して低減する場合もあれば、増大する場合もあります。ΣΔモジュレータの中には、アナログ側でもデジタル側でも、デジタル処理を多用するものがあります。そのことが原因で、信号やデジタル・データに依存した干渉が発生し、さしたる特徴のないスプリアスが生じることがあります。高い周波数での電荷の伝送は、デバイスの近くの短いループに限定して行われるようにする必要があります。そのため、ボンディング・ワイヤを最短にすべく、チップの長辺側の中央にあるピンが電源ピンとして使用されます。

ただ、アンプや低い周波数を扱うICの場合、図12（左）のように、VDDピンやVSSピンがリードフレームの角に割り当てられているものがあります。プリント回路基板の設計では、このような事柄を把握して、適切なコンデンサをピンの近くに配置する必要があります（図13）。

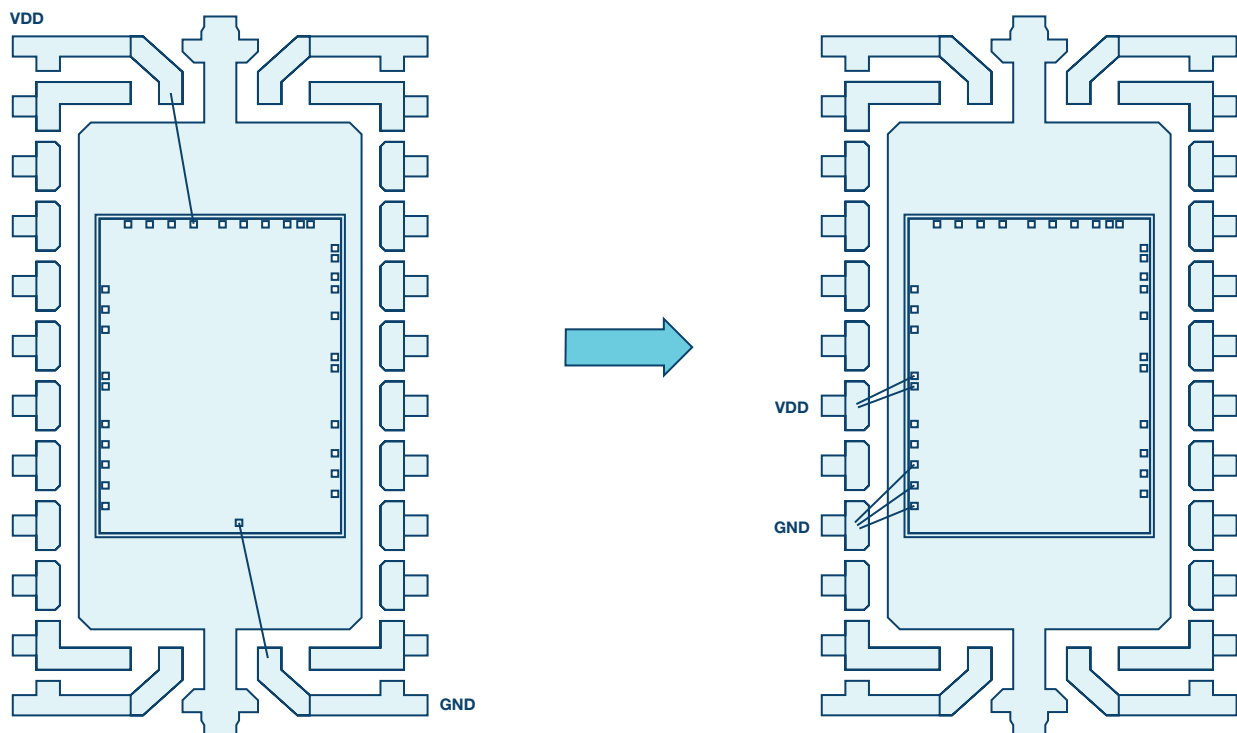


図12. リニア回路（左）とクロックを使用する回路（右）の電源／グラウンド・ピン

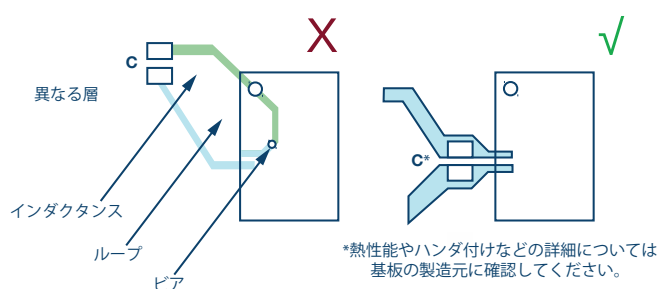


図13. ジッタを低減するためのデカップリング・コンデンサ。左は誤った配置例、右は適切な配置例です。

クロック分周器とクロック信号アイソレータ

高速なクロックほどジッタは小さくなります。したがって、消費電力について要件が緩い場合、外部／内部の分周器を使用してサンプリング・クロックを供給するよう

にすると、ジッタが改善します。アイソレータを使用し、システムを設計する場合には、パルス幅を確認することが重要です。マークスペース比が適切でないと、アナログ性能にスキューからの影響が及びます。極端なケースでは、ICのデジタル回路がロック・アップしてしまうことがあります。

高精度のADCには、光ファイバ・クロックは不要かもしれませんが、より高い周波数を使用すれば、性能を少しでも向上させることができます。同じ理由に基づき、クロック発生器「AD9573」は、内部でだけ2.5GHzを使用し、クリーンな33MHz/100MHzのクロックを出力します（図14）。ADCとの間で正確な同期をとる必要がなければ、ジッタが10ピコ秒未満という、非常に性能の高い水晶発振回路を使用できます。高精度のADCの場合、水晶発振器を使用することにより、100kHzの入力に対して、22ビット以上に相当する性能を得ることができます。このような性能は、他の手段では達成できません。したがって、しばらくは水晶発振器が使われ続けることになるでしょう。

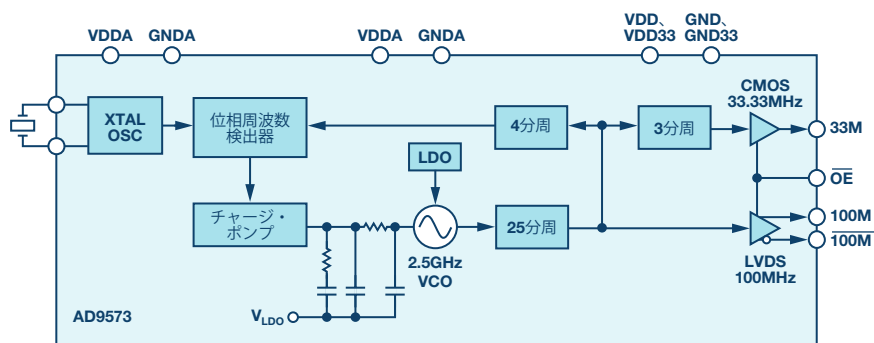


図14. AD9573のブロック図

他の信号源からのクロストーク

もう1つのジッタの発生源は、外部配線に起因するクロックの外乱に関連するものです。クロック源が、カップリングする可能性のある信号の近くにルーティングされていると、性能に多大な悪影響が及ぶおそれがあります。干渉源がADCの動作と無関係で、ランダムな外乱しか発生しなければ、ジッタへの影響はさほど大きくありません。ADCに関連するデジタル信号がクロックに干渉する場合には、スプリアスが生じます。

スレーブとして機能するADCの場合、CLKやSPI (Serial Peripheral Interface) の信号線には、それぞれ独立したクロックを適用できますが、次式で定義される周波数で問題が生じ、第1ナイキスト・ゾーンに折り返しが生じる可能性があります。

$$N \times f_S \pm M \times f_{SPI} \quad (9)$$

適切な方法は、SPI/MCLK向けには、周波数がロックされたクロック源を使用することです。そのような予防策を講じて、SPI/MCLKはクロック・パルスのデューティ・サイクルに関連するスプリアスを生じさせる可能性があります。例えば、ADCで1/128のデシメーションが行われ、SPIが24ビットのデータしか読み取れない場合、1/24tと1/104tという特定の測定値に関連するビート周波数が生成される可能性があります。したがって、ロックされたSPI線とデータ線からMCLKを隔離する必要があります。

インターフェースと他のクロック

図15には、SFDRの低下やジッタの影響につながりやすい様々なタイミングが示されています。SPIによる通信がMCLKの周波数にロックされていない場合、スプリアスが生じる可能性があります。この問題を緩和するための最大の解決策は、レイアウトの技術を習得することです。各種の周波数成分は、折り返しとして干渉信号になるだけでなく、ビート周波数信号や相互変調積の原因にもなります。例えば、SPIが16.01MHz、MCLKが16MHzで動作する場合、10kHzのスプリアスが生じると考えられます。

適切なレイアウト技術を適用する以外にも、スプリアスを低減する方法は存在します。それは、対象とする帯域外にスプリアスを移動させるというものです。MCLKと

SPIの周波数をロックすることができれば、多くの外乱を回避できます。それでも、SPIのアイドリング期間の問題があります。これは、ビジー状態に影響を及ぼし、やはり外乱を引き起こします。この問題に対しては、インターフェース機能を利用するとよいでしょう (図18)。

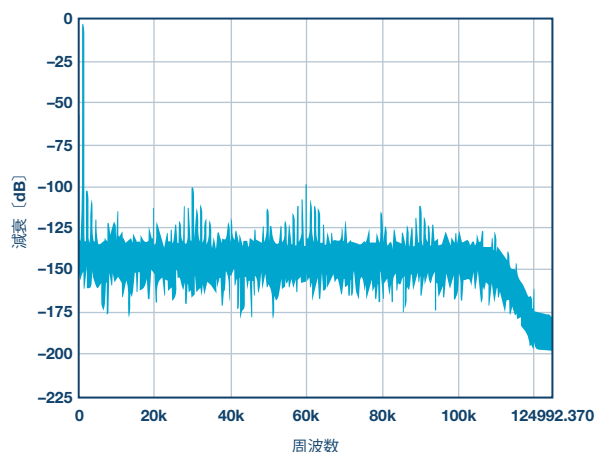


図16. MCLKのルーティングがスイッチ・モード電源ユニットに近すぎる場合のスペクトル

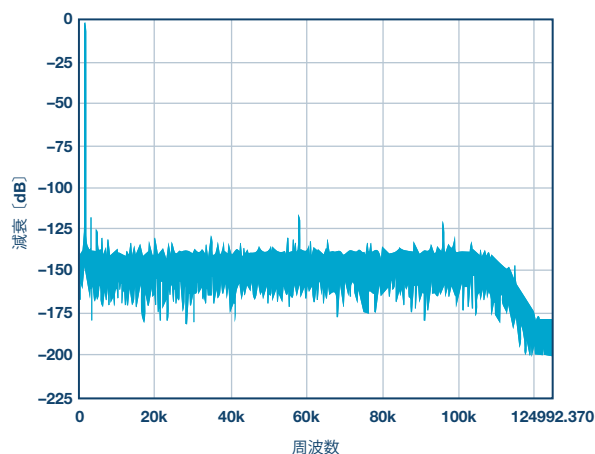


図17. 水晶増幅器によってMCLKを局部的に供給した場合のスペクトル。SPIに関連してスプリアスが生じます。

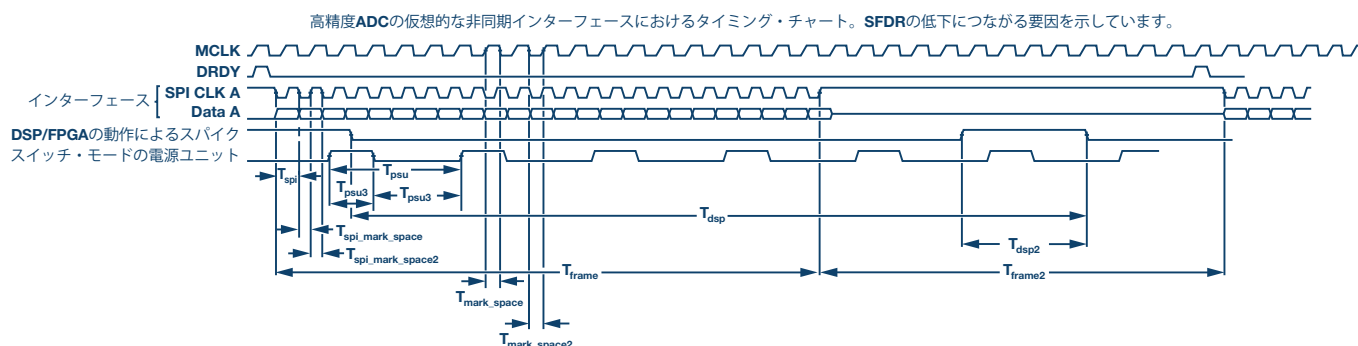


図15. ADCのインターフェースのタイミング・チャート。非同期の通信とクロックの存在によって混合スプリアスの問題が生じると、原因の究明が必要になります。

スプリアスを防ぐためにフレームを埋めます

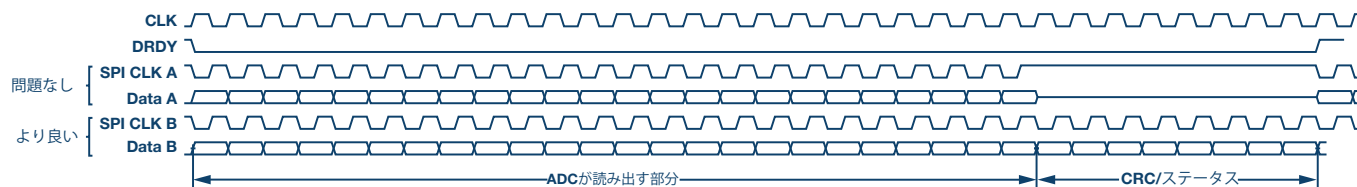


図18. ダミーのCRC/ステータスの付加。これらのデータによってフレームを改善することにより、スプリアスを除去することができます。

ADCのインターフェース機能を使えば、ステータス・バイトやCRC（巡回冗長検査）用のデータを付加できます（図18）。これは、本来の役割を超えて、スプリアスを抑制するための優れた手段になる可能性があります。アイドル・クロック（に加えて未使用のCRCバイト）を使用することにより、データ・フレームを一様に埋めることができます。CRCデータは破棄してもよいし、本来の目的に使用して、そのメリットを享受することも可能です。但し、その場合には、デジタル信号線より多くの電力を消費することになります。

まとめ

AD7768-1は、2018年にアナログ・デバイセズがリリースした超高精度のADCです。同ICのオフセット電圧は $100\mu\text{V}$ 未満で、 100kHz までフラットな周波数応答が得られます（図19）。このICは、設計したシステムにおいて、 140dB を超えるSFDRを達成できます。このレベルになると、オーディオ帯域を超える領域でフルスケールの信号を入力した場合でも、ジッタを無視できることが実証されています。また、同ICは、干渉を受けたクロック源のデバッグを行うための基準として利用できるRC発振器を搭載しています。このRC発振器は、特にジッタが小さいわけではありません。しかし、微分法によって、スプリアス源を検出することができます。同ICは、SCF技術も採用していますが、アンチエイリアシング・フィルタの負荷を軽減するために、クロック分周器も内蔵しています。そのクロック分周器は、一貫した性能を確保し、アイソレータから送られてくる歪んだクロックで動作することを可能にします。

電源ピンは、ボンディング・ワイヤを最短にできるように配置されているので、外部の等価直列抵抗（ESR）／等価直列インダクタンス（ESL）の影響を最小限に抑えられます。更に、クロックの入力パッド部には、グリッチ除去機能が実装されています。実際に同ICを基板に実装して性能を確認した結果、RMSジッタは 30ピコ秒 でした。これだけの性能があれば、広範な種類のアプリケーションに対応できるはずです。 140dB を超えるSFDRが必要である場合、使いやすい電源レールを備えるAD7768-1を選択することが、最小の労力でそれを達成するための最速の手段になるはずです。

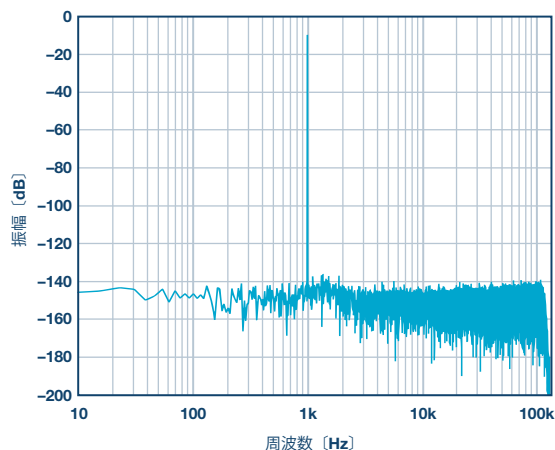


図19. AD7768-1のスペクトルの例。
プリント回路基板とクロック回路を適切に設計すれば、優れた性能を得ることができます。

関連資料

¹ Derek Redmayne、Eric Trelewicz、Alison Smith、デザイン・ノート「[Understanding the Effect of Clock Jitter on High Speed ADCs](#)（高速ADCに対するクロック・ジッタの影響を理解する）」2006年

² B. E. Boser、B. A. Wooley「[The Design of Sigma-Delta Modulation Analog-to-Digital Converters](#)（ $\Sigma\Delta$ ADCの設計）」IEEE J., Solid-State Circ., 1298~1308ページ、1988年12月

³ Steven Harris「[The Effects of Sampling Clock Jitter on Nyquist Sampling Analog-to-Digital Converters, and on Oversampling Delta-Sigma ADCs](#)（ナイキスト・サンプリングADCとオーバーサンプリング $\Sigma\Delta$ ADCに対するサンプリング・クロックのジッタの影響）」J. Audio Eng. Society、537~542ページ、1990年7月、8月

A. A. Beex、Monique P. Fargues「[Analysis of Clock Jitter in Switched-Capacitor Systems](#)（スイッチド・キャパシタ・システムにおけるクロック・ジッタの解析）」IEEE、1992年7月

James A. Chery、W. Martin Snelgrove「[Continuous time Delta-Sigma modulators for high speed A/D Conversion](#)（高速A/D変換用の連続時間型 $\Sigma\Delta$ モジュレータ）」Kluwer Academic Publisher、2002年

Walt Kester「[Converting Oscillator Phase Noise to Time Jitter](#)（発振器の位相ノイズを時間ジッタに変換する）」Analog Devices、2009年

Richard Markell、アプリケーション・ノート「[Take the Mystery Out of the Switched-Capacitor Filter: The System Designer's Filter Compendium](#)（スイッチド・キャパシタ・フィルタの謎を解く：システム設計者のためのフィルタ概論）」1990年3月

著者：

Pawel Czapor (pawel.czapor@analog.com) は、2007年に高精度ADCを担当するテスト・エンジニアとしてアナログ・デバイセズに入社しました。現在は、アイルランドのリムリックを拠点とする高精度コンバータ設計グループに所属しています。ポーランドのヴロツワフ工科大学で電子工学の修士号を取得しています。



Pawel Czapor