

数GHzに対応する大規模なクロック・ツリーのスキューを抑える

著者: Chris Pearson

はじめに

大規模なクロック・ツリーでは、複数種の伝送路や複数のデバイスを使用し、複数の基板や同軸ケーブルをまたがってクロック信号のルーティングが行われることが珍しくありません。このようなケースでは、ベスト・プラクティスを適用したとしても、いずれかの媒体で10ピコ秒を超えるクロック・スキューが生じてしまう可能性があります。ところが、アプリケーションによっては、すべてのクロック信号のスキューを1ピコ秒未満に抑えなければならないものもあります。例えば、フェーズド・アレイ、MIMO (Multiple Input Multiple Output)、レーダー、電子戦 (EW: Electronic Warfare)、ミリ波/マイクロ波対応のイメージング、計測、ソフトウェア無線 (SDR) などのアプリケーションがそれに当たります。

本稿では、1ピコ秒以上のクロック・スキューにつながるおそれのある複数の問題を取り上げます。それらの問題は、設計過程、製造過程、アプリケーション環境において発生します。クロック・スキューを1ピコ秒以下に抑えるための推奨事項、例、経験則を示すことにより、クロック・スキューが生じる根本原因とスキューの変動 (ばらつき) の大きさについて、直感的な理解が得られるようにすることを目的とします。

伝送線路で生じる遅延を求める

まず、1本のクロック・パスで生じる伝搬遅延 τ_{pd} と、複数のクロック・パスまたは環境による条件の変化に伴う伝搬遅延の差 (ばらつき) $\Delta\tau_{pd}$ を見積もるための式を示します。大規模なクロック・ツリーにおいて、クロック用の各パターン間で生じる $\Delta\tau_{pd}$ は、システム全体のクロック・スキューの一部となります。以下に示す式 (1) と式 (2) には、それぞれ実効誘電率 ϵ_{eff} と伝送線路の物理的な長さ l という変数が含まれています。これらは、伝送線路の τ_{pd} を左右する2つの主要な要素です。式 (1) において、 v_p は伝送線路の位相速度、 V_F は速度係数 (単位は%)、 c は光の速度 (2億9979万2458m/秒) です。

$$v_p = VF \times c = \frac{c}{\sqrt{\epsilon_{eff}}} \quad (1)$$

$$\tau_{pd} = \frac{l}{v_p} \quad (2)$$

また、式 (3) を使えば、2本の伝送線路の間の伝搬遅延の差 ($\Delta\tau_{pd}$) を計算することができます。

$$\Delta\tau_{pd} = \frac{l_1}{v_{p1}} - \frac{l_2}{v_{p2}} \quad (3)$$

伝送線路で使われる誘電材料の特性は、温度に依存して変化します。一般に、誘電率の温度係数 (TCdk) は、位相の変化量 $\Delta\Phi_{ppm}$ (単位はppm) と温度に関するグラフとして提供されます。 $\Delta\Phi_{ppm}$ は、対象温度における位相と、リファレンス温度 (一般的には25°C) における位相の差です。温度、 $\Delta\Phi_{ppm}$ 、伝送線路の長さがわかれば、式 (4) によって、リファレンス温度からの伝搬遅延の変化量を見積もることができます。

$$\Delta\tau_{pd} = \frac{l \times \Delta\Phi_{ppm}}{v_p \times 10^6} \quad (4)$$

同軸ケーブルに使われる誘電材料の特性は、ケーブルの屈曲状態に依存して変化します。ケーブルの屈曲半径と屈曲角度によって、実効誘電率が決まります。通常、その値は特定の屈曲ケーブルの位相と、まっすぐなケーブルの位相の差 $\Delta\Phi_{deg}$ で表されます。 $\Delta\Phi_{deg}$ 、信号の周波数 f 、ケーブルの屈曲状態がわかれば、式 (5) によって、伝搬遅延の変化量を見積もることができます。

$$\Delta\tau_{pd} = \frac{\Delta\Phi_{deg}}{f \times 360} \quad (5)$$

遅延の変動に関する考察

ここからは、遅延の変動について詳細に検討を進めていきます。

伝送線路の選択

推奨事項: 複数のパターン間の遅延を最適にマッチングさせるには、パターン長と伝送線路の種類を同一にします。

経験則:

- ▶ 2本のパターンの長さが1mm異なると、約6ピコ秒の $\Delta\tau_{pd}$ が生じます (長さが6mil異なると、約1ピコ秒の $\Delta\tau_{pd}$ が生じます)。
- ▶ ストリップラインでは、マイクロストリップラインまたはグラウンド付きコプレーナ線路 (CB-CPW) と比較して、約1ピコ秒/mmの遅延が生じます。

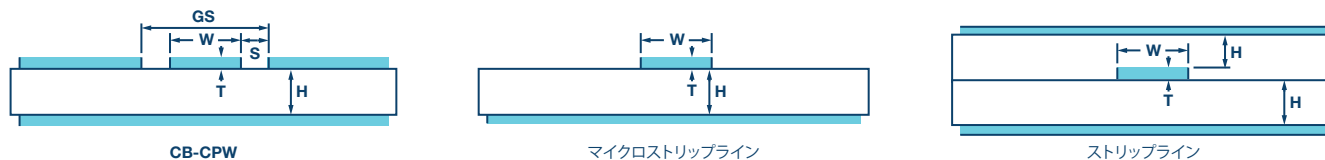


図1. 各伝送線路のパラメータ

伝送線路の種類によって ϵ_{eff} と v_p の値は異なります。つまり、式(1)、(2)からわかるように、長さが同じでも伝送線路の種類が異なれば、 τ_{pd} は異なるということです。図1は、3種類の一般的な伝送線路（CB-CPW、マイクロストリップライン、ストリップライン）で考慮すべきパラメータを図示したものです。一方、表1には図1に対応するシミュレーション結果を示しました。 ϵ_{eff} 、 v_p 、 τ_{pd} の値がそれぞれに異なることがわかります。このシミュレーションでは、10cmのCB-CPWでは、同じ長さのストリップラインよりも τ_{pd} の値が100ピコ秒小さいという見積もり結果が得られています。なお、このシミュレーションは、Rogersの「Microwave Impedance Calculator」を使用して実行しました。

表1. 図1のパターンに関するシミュレーション結果。
Rogersの4003Cを対象としました。

	CB-CPW	マイクロストリップライン	ストリップライン
ϵ_{eff}	2.52	2.76	3.55
v_p [m/秒]	1.89×10^8	1.80×10^8	1.59×10^8
τ_{pd} /mm [ピコ秒/mm]	5.29	5.54	6.28
H [mm]	0.508	0.508	0.508
W [mm]	0.863	1.16	0.538
S [mm]	0.228		

Rogersの「4003C」は、比誘電率 ϵ_r （誘電率Dkとも呼ばれます）が3.55です。表1において、CB-CPWとマイクロストリップラインは、 $\epsilon_r = 1$ の空気にさらされているので ϵ_{eff} の値が小さいという点に注意してください。

遅延のマッチングが必要なすべての信号を、必ず同一の層または同一の種類の伝送線路で配線できるとは限りません。表2は、各パターンに対して、異なる伝送線路を選択する場合の一般的な考え方をまとめたものです。種類の異なる伝送線路で τ_{pd} をマッチングさせなければならない場合には、手計算や経験則に頼るのではなく、必ず基板用のシミュレーション・ツールを使用すべきです。

表2. 伝送線路に関する一般的な考え方

	CB-CPW	マイクロストリップライン	ストリップライン
配線密度		可	最適
信号の分離	可		最適
信号の減衰の最小化		最適	
製造プロセスによるばらつき		最適	
高周波における一般的な性能		通常は ϵ_{eff} が小さいものが最適	

伝送線路のビア

推奨事項：信号パスにビアを設ける場合には、信号層と信号層の間のビア長を含めて伝搬遅延を計算します。

伝搬遅延を大まかに計算する場合、2つの信号層を接続するビア長の位相速度は伝送線路の位相速度に等しいと仮定します。例えば、厚さが62mmの基板において上下の信号層をビアで接続すると、 τ_{pd} は約10ピコ秒増加します。

隣接するパターン、差動信号、シングルエンド信号

推奨事項： ϵ_{eff} が大きく変化することがないように、パターン間には少なくとも1本の線路の幅に相当する間隔を設けます。

経験則：

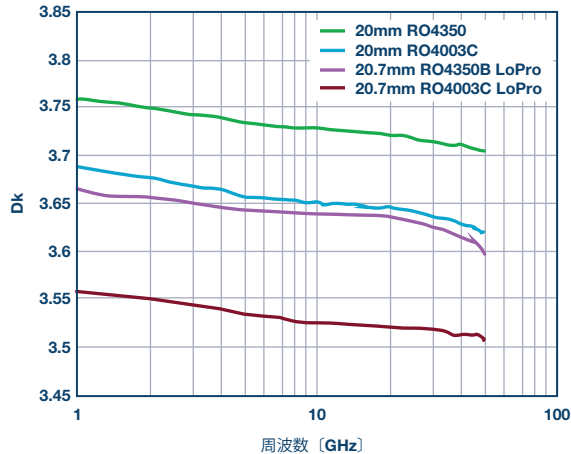
- ▶ 100Ωの線路で差動信号（オッド・モード）を送信する場合、50Ωの線路でシングルエンドの信号を送信するよりも遅延が小さくなります。
- ▶ 間隔が狭い50Ωの線路で同位相のシングルエンドの信号を送信する場合（イーブン・モード）、50Ωの線路で1本のシングルエンドの信号を送信する場合よりも遅延が大きくなります。

隣接するパターンに適切な間隔が設けられていない場合、それらのパターンを伝わる信号の方向によって ϵ_{eff} が変化します。それにより、長さが等しいパターンの間でも遅延にミスマッチが生じます。図2に、2本のエッジ結合マイクロストリップラインと1本のマイクロストリップラインの主要なパラメータを示しました。



図2. 隣接するパターンと分離されたパターン

マイクロストリップラインで差動位相長手法を使用する場合のDkと周波数の関係



マイクロストリップラインで差動長手法を使用する場合の挿入損失

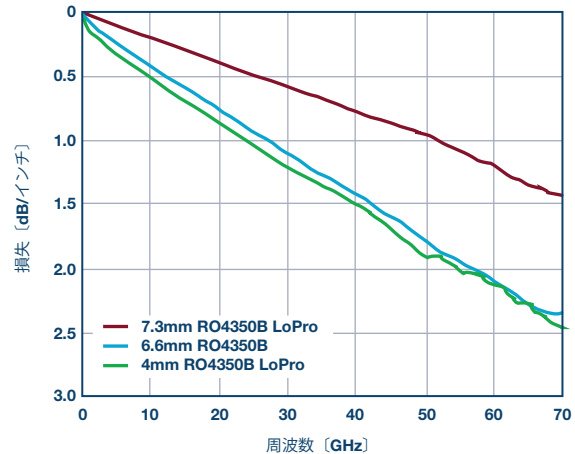


図3. Dk/DFと周波数の関係¹⁾

これらを対象としてシミュレーションを実施した結果が表3です。このシミュレーションでは、10cm/2本/イーブン・モードのエッジ結合パターンにおいては、10cm/1本のパターンよりも τ_{pd} が16ピコ秒長くなるという見積もり結果が得られています。

表3. 隣接するパターンと分離されたパターンの比較

	イーブン・モード (同位相)	オッド・モード (差動)	1本のパターン
ϵ_{eff}	2.92	2.64	2.76
v_p [m/秒]	1.75×10^8	1.84×10^8	1.80×10^8
τ_{pd} mm [ピコ秒/mm]	5.70	5.42	5.54
H [mm]	0.538	0.538	0.538
W [mm]	1.18	1.18	1.18
S [mm]	1.18	1.18	

シングルエンドでの伝送と差動による伝送の τ_{pd} をマッチングさせたい場合には、両方のパスの位相速度についてシミュレーションすることが重要です。クロック・アプリケーションでは、差動リファレンス信号またはクロック信号との同期がとられたCMOS同期信号やSYSREFリクエスト信号を送信しようとする場合に、この状況に遭遇する可能性があります。差動信号パスの間隔を大きくすると、差動信号とシングルエンドの信号の位相速度は近い値になります。但し、その代償として、クロック・ジッタを最小限に抑えるために必要な差動信号の同相ノイズ除去性能が低下します。

間隔が狭い線路で同位相の信号を伝送すると（イーブン・モード）、 ϵ_{eff} が大きくなり、その結果として τ_{pd} も大きくなる点には注意が必要です。このような状況は、シングルエンドの信号をいくつも複製し、それらを近接して配置した場合に生じます。

遅延のマッチングと周波数の関係

推奨事項：周波数に伴う遅延のマッチング誤差を最小限に抑えるには、Dkと損失係数DFが低い材料（ $Dk < 3.7$ 、 $DF < 0.005$ ）を選択します。DFは誘電正接（ $\tan\delta$ ）とも呼ばれ、式（6）のように表されます。数GHzの信号を伝送するパターンでは、ニッケルを含むメッキの使用は避けます。

異なる周波数の信号に対し、信号の遅延をピコ秒のレベルでマッチングさせるのは困難です。互いに反比例する変数が存在するからです。図3を見ると、一般に周波数が高まるにつれて、誘電率は低下することがわかります。つまり、式（1）と式（2）から、周波数が増加するにつれて τ_{pd} は小さくなります。式（3）と、図3に示したRoger製の材料の特性から¹⁾、10cmのパターン上では、1GHzの正弦波と20GHzの正弦波とでは約4ピコ秒の $\Delta\tau_{pd}$ が生じると見積もれます。

図3を見ると、周波数が高まるにつれて、信号の減衰量が大きくなることもわかります。つまり、方形波では、基本周波数よりも高次高調波の方が大きく減衰します。このフィルタリング効果がどの程度生じるかによって、立上がり時間 τ_R と立下がり時間 τ_F が変化します。 τ_R または τ_F が変化すると、受信側のデバイスからは入力クロックのトータルの遅延量に差があるように見えます。トータルの遅延は、パターンの τ_{pd} と、信号の $\tau_R/2$ または $\tau_F/2$ から成ります。加えて、周波数が異なる方形波では、群遅延も異なる可能性があります。このような理由から、正弦波と比較して、方形波では、周波数が異なる信号間の遅延のマッチングを見積もることが難しくなります。

減衰量 α （単位はdB/フィート）と周波数の関係について、詳しくは式（7）、式（8）と、稿末に示した関連資料2～5を参照してください。各資料では、誘電正接（ δ ）と表皮効果について説明しています。重要なポイントの1つは、表皮効果によって式（8）の面積Aが小さくなり、線路の抵抗Rが大きくなることです³⁾。表皮効果により、高周波において過度の減衰が生じることを防ぐためには、SMOG（Solder Mask over Gold）やENIG（Electroless Nickel Immersion Gold）など、ニッケルを使ったメッキの使用を避けます^{4, 5)}。ニッケルを含まないメッキの例としては、SMOBC（Solder Mask over Bare Copper）があります。以上をまとめると、周波数の異なる信号間の遅延のマッチングを改善するには、Dk/DFの低い材料を選択すること、ニッケルを使ったメッキを避けること、主要なパターンについては基板のレベルで遅延に関するシミュレーションを実行することが推奨されます。

$$DF = \tan \delta \quad (6)$$

$$\alpha = 2.3 \times f \times \tan \delta \times \sqrt{\epsilon_{eff}} \quad (7)$$

$$R = \rho \times \frac{l}{A} \quad (8)$$

遅延のマッチングと温度の関係

推奨事項：プリント基板とケーブル向けには、温度に対して安定な誘電材料を選択します。一般に、温度に対する安定性の高い誘電体では $\Delta\Phi_{ppm} < 50ppm$ となります。

誘電率は温度に依存して変化し、それに伴って伝送線の τ_{pd} が変化します。前掲の式（4）を使えば、温度に依存する誘電率の変化量から $\Delta\tau_{pd}$ を計算することができます。

一般に、プリント回路基板の材料は、織ガラス（WG：Woven Glass）と不織ガラス（Nonwoven Glass）の2つに分類されます。通常は、織ガラス材料の方が安価です。また、ガラスの比誘電率は6なので、Dkは高くなります。図4は、様々な材料のDkが温度によってどのように変化するかを示したものです。この図から、PTFE/WGベースの一部の材料では、10℃～25℃においてTCDkが激しく変化することがわかります。

表4は、式（3）と図4を基に $\Delta\tau_{pd}$ を計算した例です。異なる基板材料をベースとする10cmのストリップラインにおいて、温度が25℃から0℃に変化した場合の結果を示しています。複数のパターンの中で、異なる温度における τ_{pd} をマッチングさせなければならないケースもあり得ます。ただ、基板材料の選択によっては、10cmのパターン間で、 τ_{pd} が数ピコ秒ほどずれる可能性があるので注意が必要です。

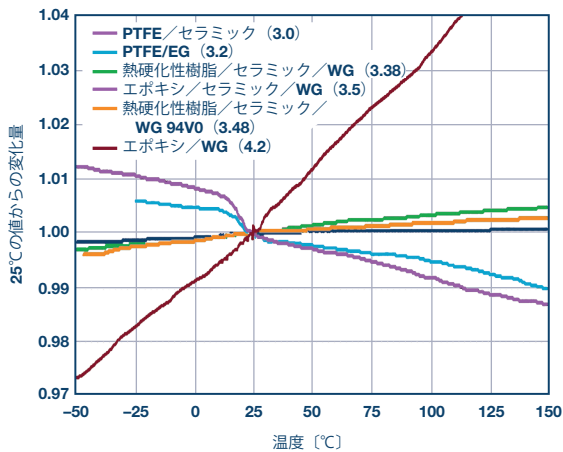


図4. 温度とDkの変化量の関係¹

表4. $\Delta\tau_{pd}$ の算出結果。10cmのストリップラインにおいて、温度が25℃から0℃に変化した場合の例を示しています。

	エポキシ ／WG (FR-4)	PTFE／セラミ ック／WG	PTFE／ セラミック
25℃におけるDk	4.2	3.5	3.0
25℃から0℃に変 化した場合のDk の変化量	0.992	0.1008	0.999
0℃における Dk（計算値）	4.1664	3.528	2.997
25℃から0℃に 変化した場合の $\Delta\tau_{pd}$ 〔ピコ秒〕	2.74	-2.49	0.29

同軸ケーブルの誘電体についても、TCDkに関する同様の問題が存在します。通常、同軸ケーブルの長さはプリント基板のパターン長よりもはるかに長いので、温度に依存する $\Delta\tau_{pd}$ ははるかに大きくなります。表4の2列目に示した特性を備える1mのケーブルを2本使用する場合、温度が25℃から0℃に変化すると、 τ_{pd} に25ピコ秒のミスマッチが生じる可能性があります。

表4では、10cmのパターンの全体にわたり、温度は一定だと仮定しています。実際には、パターンや同軸ケーブルの温度は一律ではない可能性があります。したがって、解析方法は上に示したものよりも更に複雑になります。

遅延のマッチングがとれたケーブル

推奨事項：あらかじめ遅延のマッチングをとってあるケーブルを購入する場合と、遅延のミスマッチを電子的に調整するキャリブレーション機能を開発する場合のコストとクロック・スキューのトレードオフについて理解しましょう。

筆者の経験から言うと、長さや材料、製造元が同一の同軸ケーブルを購入した場合、遅延のミスマッチは5ピコ秒～30ピコ秒程度でした。ケーブルのメーカーによれば、ケーブルの切断、SMAの取り付け、Dkのロット間ばらつきによって、遅延の値にはこのような幅が生じるとのことでした。

同軸ケーブルのメーカーの多くは、位相をマッチングさせたケーブルを提供しています。遅延の値は、1ピコ秒か2ピコ秒、あるいは3ピコ秒のレベルであらかじめマッチングがとられています。一般に、遅延のマッチング精度が高いほど、ケーブルの価格は高くなります。3ピコ秒以内に遅延をマッチングさせたケーブルを製造するためには、ケーブルを切断しては遅延を測定するという繰り返し作業が製造工程に追加されます。同軸ケーブルのメーカーにとって、そうした工程の追加は、製造コストの上昇と歩留まりの低下につながります。

遅延のマッチングとケーブルの屈曲の関係

推奨事項：温度に依存する遅延の変化と、ケーブルの屈曲に依存する遅延の変化の間のトレードオフについて理解したうえで、ケーブルの材料を選択しましょう。

同軸ケーブルの屈曲は、信号に様々な遅延をもたらします。一般に、ケーブルのデータシートには、特定の屈曲半径と周波数を前提として、90°の屈曲角度に対する位相誤差が規定されています。例えば、18GHzの信号を対象としていて、ケーブルが90°の角度で屈曲している場合、位相は8°変化します。前掲の式（5）から、その場合の遅延は約1.2ピコ秒と算出できます。

遅延のマッチングとSMAの取り付け／選択

プリント基板の端にSMAをどのように取り付けるのかということによっても、複数のクロック・パスの間では遅延のミスマッチが生じます（図5）。通常、そうした誤差は測定できず、定量化は困難ですが、クロック・パスの間で遅延の差が1ピコ秒～3ピコ秒増加する可能性があると仮定するのが妥当でしょう。

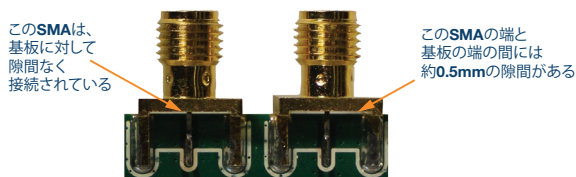


図5. SMAの取り付け方の違い。この違いが原因となって遅延のミスマッチが生じます。

SMAの取り付け方に起因する遅延のミスマッチを制御する方法の1つは、アライメント機能付きのSMAを選択することです（図6）。一般に、この種のSMAは、アライメント機能を持たないSMAよりも高い周波数を前提として仕様様が定められています。当然のことながら、高価な製品となるため、コストと性能の間でトレードオフが生じます。通常、SMAのメーカーからは、プリント基板と高周波対応のSMA向けに最適なローンチ基板の推奨レイアウトの情報が提供されます。特にクロック周波数が5GHzを超える場合には、このレイアウト情報に対してだけでも、追加のコストを支払う価値があるかもしれません。それにより、基板の修正が不要になる可能性があるからです。

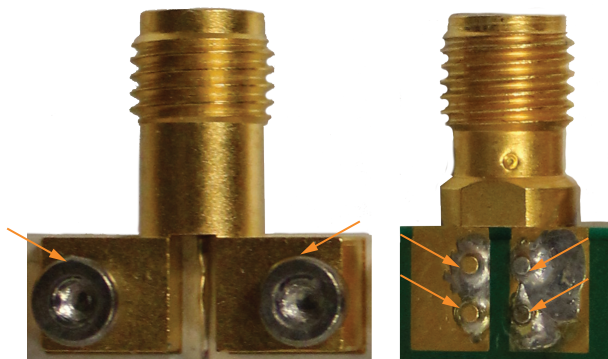


図6. アライメント機能付きのSMA

複数の基板間における遅延のマッチング

推奨事項：ロット間で ϵ_r が適切に制御された基板材料を採用する場合と、遅延のミスマッチを電子的に調整するキャリブレーション機能を開発する場合のコストとクロック・スキューのトレードオフについて理解しましょう。

複数のプリント基板上的のパターン間で τ_{pd} をマッチングさせようとする場合、追加の誤差源について考慮する必要があります。ここまでに、「遅延のマッチングと温度の関係」、「遅延のマッチングがとれたケーブル」、「遅延のマッチングとケーブルの屈曲の関係」、「遅延のマッチングとSMAの取り付け／選択」の各セクションで、4つの誤差源を取り上げました。5つ目の誤差源は、複数のプリント基板にわたる ϵ_r の製造ばらつきです。これについては、プリント基板のメーカーに問い合わせを行う必要があります。

1つ例を挙げると、FR-4の ϵ_r には4.35～4.8のばらつきがあります⁶。この範囲内で最も差が大きくなると、異なるプリント基板上の10cmのストリップラインでは、 $\Delta\tau_{pd}$ が35ピコ秒にも達する可能性があります。一方で、標準的な ϵ_r の範囲が小さい基板材料も存在します。例えば、Rogersの4003Cのデータシートによると、 ϵ_r の範囲は 3.38 ± 0.05 です。この範囲内で最も差が大きいケースでも、異なるプリント基板上の10cmのストリップラインにおける $\Delta\tau_{pd}$ は、9ピコ秒に収まります。

クロックICに起因するスキュー

推奨事項：クロック・スキューを1ピコ秒未満に抑えるための調整機能を備えたPLL/VCO ICの採用を検討するとよいでしょう。

以前は、データ・コンバータ（A/Dコンバータ、D/Aコンバータ）用のクロックは、複数のクロック・デバイスによって生成されていました。そうしたクロック・デバイスのデータシートには、クロック・スキューについての規定が記載されています。製品にもよりますが、その値は5ピコ秒～50ピコ秒程度でした。筆者の知る限り、本稿執筆の時点では、出力ごとにクロックの遅延を調整する機能を備え、GHzのレベルに対応するマルチ出力のクロックICは存在しません。

現在では、クロック周波数が6GHzを超えるデータ・コンバータがますます一般的に使用されるようになっていきます。それに対する最適な選択肢は、シングル出力/デュアル出力のPLL/VCO（フェーズ・ロック・ループ／電圧制御発振器）ICを採用することです。シングル出力のPLL/VCO ICの場合、そのアーキテクチャには、次のようなメリットがあります。すなわち、クロック出力の遅延に応じて、リファレンス入力を1ピコ秒未満のステップで調整する機能が開発されていることです。出力の遅延に応じ、リファレンス入力をクロック単位で調整することにより、クロック・スキューを1ピコ秒未満に抑えることが可能になります。つまり、クロック・スキューに対し、システム・レベルのキャリブレーションを実行できるということです。この種の機能は、本稿で説明したプリント基板、ケーブル、コネクタに起因するすべての遅延のマッチングを簡素化する可能性を秘めています。それにより、システムの全体的なBOM（部品リスト）コストが低減される可能性があります。

まとめ

本稿では、遅延のばらつきやミスマッチを引き起こす可能性のある複数の要因について説明しました。 ϵ_{eff} は、温度、周波数、製造プロセス、伝送線路の種類、線路の間隔によって変化する可能性があります。また、同軸ケーブルで複数のプリント基板を接続すると、遅延に更に大きなばらつきが生じます。大規模なクロック・ツリーにおいてクロック・スキューを最小限に抑えるためには、異なるプリント基板とケーブルの ϵ_r が、温度、製造プロセス、周波数によってどのように変化するのか理解した上で材料を選択することが非常に重要です。このように多くの変数が存在することから、何らかのキャリブレーション手法を取り入れることなく、スキューが10ピコ秒未満に抑えられた大規模なクロック・ツリーを設計するのは困難でしょう。また、遅延を最小限に抑えることが可能な基板材料、同軸ケーブル、SMAコネクタを購入すると、材料のコストが大幅に増加します。キャリブレーションを簡素化してシステム・コストを抑えるためには、1ピコ秒未満の単位で遅延を調整できる機能を備えたPLL/VCO ICやクロックICを採用するとよいでしょう。

表5に、本稿で説明したクロック・スキューを抑えるための推奨事項をまとめておきます。

関連資料

¹ 各データはRogersからの許諾を得て掲載しています。

² Rick Hartley、「Base Materials for High Speed, High Frequency PC Boards（高速／高周波用途向けのプリント基板に使われる材料）」PCB & A、2002年3月

³ Howard Johnson、「Skin Effect Calculation（表皮効果の計算）」High Speed Digital Design、Signal Consulting, Inc.、1997年

⁴ Howard Johnson、「Nickel-Plated Traces（ニッケル・メッキを施したパターン）」High Speed Digital Design Online Newsletter、Vol. 5、Issue 6、2002年

⁵ Howard Johnson.、「Nickel Matters（ニッケルの影響）」EDN、2012年10月23日

⁶ 「FR-4」Microwaves101、2018年

表5. クロック・スキューを最小化するための推奨事項。
本稿の各セクションに対応する形でまとめてあります。

	推奨事項
伝送線路の選択	パターン長と伝送線路の種類を同一にします。
伝送線路のビア	ビアによる遅延を含めて伝搬遅延を計算します。
隣接するパターン、差動信号、シングルエンド信号	隣接するパターンの間には少なくとも1本の線路の幅に相当する間隔を設けます。イーブン・モード、オッド・モード、シングルエンドの信号の間の伝搬遅延の差に注意します。
遅延のマッチングと周波数の関係	プリント基板の材料としては、 $Dk < 3.7$ 、 $DF < 0.005$ のものを選択します。ニッケルを含むメッキの使用は避けます。
遅延のマッチングと温度の関係	温度に対する安定性の高い誘電材料を選択します（ $\Delta\Phi_{ppm} < 50ppm$ ）。
遅延のマッチングがとれたケーブル	あらかじめ遅延のマッチングがとれたケーブルを購入する場合と、クロック・スキューに対するシステム・レベルのキャリブレーション機能を開発する場合のコストとクロック・スキューのトレードオフについて理解しましょう。
遅延のマッチングとケーブルの屈曲の関係	ケーブルの屈曲が遅延のマッチングに及ぼす影響について理解しましょう。それにより、ハーネスの設計や、ケーブルの材料の選択に変更を加えなければならない可能性があります。
遅延のマッチングとSMAの取り付け／選択	アライメント機能付きのSMAを採用することにより、SMAの取り付け方に起因するスキューのばらつきを最小限に抑えましょう。
複数の基板間における遅延のマッチング	ロット間で ϵ_r が適切に制御された基板材料を購入する場合と、クロック・スキューに対するシステム・レベルのキャリブレーション機能を開発する場合のクロック・スキューとコストのトレードオフについて理解しましょう。
クロックICに起因するスキュー	クロック・スキューを1ピコ秒未満に抑えるための調整機能を備えたPLL/VCO ICの採用を検討しましょう。

Chris Pearson (christopher.pearson@analog.com) は、アナログ・デバイセズの世界市場向け周波数生成製品グループに所属するシニア・アプリケーション・エンジニアです。主に、高速コンバータ向けのクロック生成製品を担当しています。パデュー大学で電気工学の学士号を取得しています。プライベートでは、家族と過ごす以外の時間は、フィンガースタイル・ギターのパーカッシブ奏法を練習したり、色々なグリル料理を試したり、様々なアウトドアの活動を楽しんだりしています。



Chris Pearson