

アナログ入力端子に、IEC のシステム・レベル規格に対応可能な保護手法を適用する

著者: David Forde

Share on   

はじめに

多くのシステムは、アナログ信号を入力/出力するためのノードを備えています。それらのノードは、外部からの高電圧トランジェント（過渡的に生じる非常に高い電圧）にさらされる可能性があります。そのため、各ノードに適切な保護を適用しておかなければ、システムの内蔵に実装されている IC が破損してしまうかもしれません。通常、IC のアナログ入出力ピンには、静電気放電（ESD）による高電圧トランジェントに耐えられるようにするための保護機構が適用されています。ESD については、各種の IC が備えるべき耐性を定めた規格が存在します。そうしたデバイス・レベルの規格では、人体モデル（HBM: Human Body Model）、マシン・モデル（MM: Machine Model）、デバイス帯電モデル（CDM: Charged Device Model）というモデルが定義されています。これらのモデルに基づく試験は、各 IC が、一般的な製造工程やプリント回路基板への実装工程に生じる ESD に耐えられるかどうかを確認するために行われます。なお、各規格では、そうした製造工程や実装工程が、制御された環境下にあることを前提としています。

過酷な電磁環境下で動作するシステムの場合、入出力ノードが高電圧トランジェントに耐えられるようになっていなければなりません。高電圧トランジェントに対する堅牢性については、デバイス・レベルの規格とシステム・レベルの規格が定められています。それらの規格には、IC のピンに印加されるエネルギー・レベルの面でかなりの差があります。そのため、システムの入出力ノードと直接接続される IC については、システム・レベルの高電圧トランジェントに耐えられるように十分な保護を適用しておく必要があります。この点について、システム設計の初期の段階から考慮しておかなければ、システム全体の保護が不十分になったり、製品のリリースが遅れたり、システムの性能が低くなってしまう可能性があります。本稿では、IEC（International Electrotechnical Commission: 国際電気標準会議）の規格で定められたレベルのトランジェントから、敏感なアナログ入出力ノードを保護する方法について説明します。

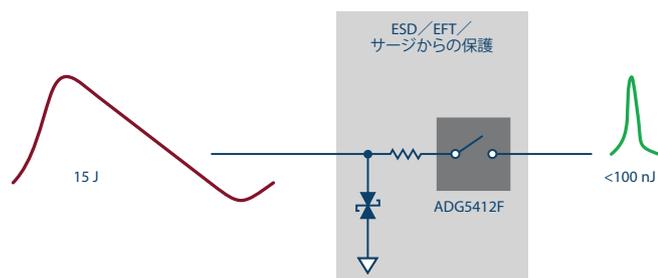


図 1. 保護回路によるエネルギーの減衰。高精度のアナログ入力は、IEC のシステム・レベル規格に対応できるように保護する必要があります。

IEC 61000 の概要

IEC 61000 は、システム・レベルの EMC（電磁両立性）について定めた規格です。この規格の中で、高電圧トランジェントに関連するのは、IEC 61000-4-2、IEC 61000-4-4、IEC 61000-4-5 の 3 つのセクションです。それぞれ、ESD、EFT（Electrical Fast Transients: 電気的高速トランジェント）、サージに対する規格を定めています。各規格では、電気/電子機器が、それぞれのトランジェント現象にさらされた場合の耐性を評価するための方法が定められています。つまり、印加するトランジェントの波形、試験方法、試験レベルが提示されています。

IEC 61000-4-2 の主な目的は、ESD に対するシステムの耐性を判定することです。この規格では、ESD はシステムの動作中に外部で発生することを前提としています。例えば、システムの入出力が、帯電した人間、ケーブル、工具と接触した場合などに生じる ESD を想定しているということです。接触放電と気中放電という 2 種類のカップリング方法による試験の仕様が規定されています。

IEC 61000-4-4 で定められた EFT の試験では、非常に高速なトランジェント・インパルス信号を信号ラインに複数結合させます。それにより、信号ラインに容量結合された過渡的な外乱を模擬します。現実の外乱は、外部のスイッチング回路によって生じます。この試験は、誘導性/容量性の負荷に対するスイッチングによって生じる接点バウンスやトランジェントを想定したものです。こうした現象は、現実の工業環境で頻繁に発生します。

サージ・トランジェントは、スイッチングや雷などによって発生する過電圧です。スイッチングによるトランジェントは、電源システムのスイッチングや配電システムにおける負荷の変動、設備の接地システムに対する短絡やアーク故障など、さまざまなシステム障害が原因で発生します。雷によるトランジェントは、近くに落ちた雷による高電圧や大電流です。そうしたトランジェントが回路に印加されることもあり得るということです。

TVS の基本パラメータ

電圧サージの抑制には、過渡電圧サプレッサ（TVS: Transient Voltage Suppressor）が使われることがよくあります。高電圧トランジェントを抑え、敏感な回路を大電流から保護するために使用されます。TVS の基本的なパラメータとしては以下のようなものがあります。

- ▶ 動作ピーク逆電圧: その値未満になると、ほとんど電流が流れなくなる電圧
- ▶ ブレークダウン電圧: ある程度の電流（値はスペックとして規定される）が流れ始める電圧
- ▶ 最高クランピング電圧: 規定された最大電流が流れるときのデバイス内の最高電圧

TVS をシステムの入力／出力に適用する場合には、数多くの事柄について検討する必要があります。ESD や EFT によって生成されるのは、かなり高速な（1 ナノ秒～5 ナノ秒）トランジェント波形です。そのため、システムの入力部には、TVS によってブレイクダウン電圧でクランプされる前にオーバーシュート電圧が生じます。一方、サージのトランジェント波形は、立ち上がりが遅く（1.2 マイクロ秒程度）、パルスの持続時間が長い（50 マイクロ秒程度）という特徴を持ちます。この電圧は、まず TVS のブレイクダウン電圧でクランプされますが、TVS の最高クラumping電圧まで上昇し続ける可能性があります。また、TVS は、DC 過電圧に対しても最大限の耐性を備える必要があります。さもなければ、配線の誤り、電源の喪失、人為的なミスによって生じる可能性がある DC 過電圧からシステムを保護することができません。それらの事象は、いずれも後段の回路の入力部を損傷させる過電圧を引き起こす可能性があります。

アナログ入力用の保護回路

システムの入出力ノードを完全に保護するには、DC 過電圧と高電圧トランジェントの両方に対処する必要があります。高性能で堅牢な過電圧保護（OVP: Overvoltage Protection）スイッチをシステムの入力部に配置し、TVS と組み合わせて使用すれば、過電圧を遮断するとともに、TVS ではグラウンドにシャントすることができなかった残余電流も抑制することができます。つまり、後段の敏感な回路（A/D コンバータやアンプの入出力部など）を保護することが可能になります。

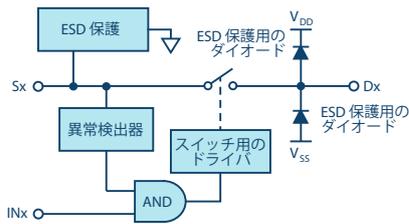


図 2. OVP スイッチの機能ブロック図

図 2 に示したのは、標準的な OVP スイッチの機能ブロック図です。このスイッチには、入力ノードの電源を基準とする ESD 保護用のダイオードが存在しないことに注目してください。その代わりに、デバイスの最大スタンバイ電圧よりも高い電圧で作動する ESD 保護用のセルを備えています。これにより、電源電圧よりも高い電圧をスタンバイして遮断できるようになっています。一般に、アナログ・システムでは、スイッチの外部接続ピンにのみ IEC 規格に対応する保護が必要になります。そのため、ESD 保護用のダイオードは、スイッチの内部接続ピン（スイッチの出力またはドレイン側とも呼ばれます）に配置されます。それらのダイオードは、2 次的な保護用デバイスとしての効果をもたらします。ESD や

EFT により、立ち上がりが高速で持続時間の短い高電圧トランジェントが生じますが、その電圧は後段の回路に到達しないようにクランプされます。サージのように、立ち上がりが緩やかで持続時間の長い高電圧トランジェントについては、スイッチの OVP 機構が作動する前に、スイッチの出力電圧が内部の保護用ダイオードによってクランプされます。そして、後段の回路を異常な状況から完全に隔離するためにスイッチがオープンになります。

システムの入力部は、外部とのインターフェースになります。図 3 は、その入力部に対する各種の電圧範囲について示したものです。左端の領域（緑色）は、通常の動作領域を表します。つまり、入力電圧が適切な電源電圧の範囲内にあるケースです。左から 2 番目の領域（青色）は、入力に継続的な DC 過電圧や長時間にわたる AC 過電圧が入力部に印加される状況に対応しています。このような状態は、電源の喪失、配線の誤り、あるいは短絡などによって生じます。右端の領域（紫色）には、OVP スイッチが内蔵する ESD 保護用のダイオードのトリガ電圧を示してあります。TVS が誤ってトリガされないように、TVS のブレイクダウン電圧（オレンジ色の領域内）は、OVP スイッチの最高スタンバイ電圧よりも低く、なおかつ発生し得る既知の継続的な DC 過電圧または長時間にわたる AC 過電圧よりも高くなるように選択する必要があります。

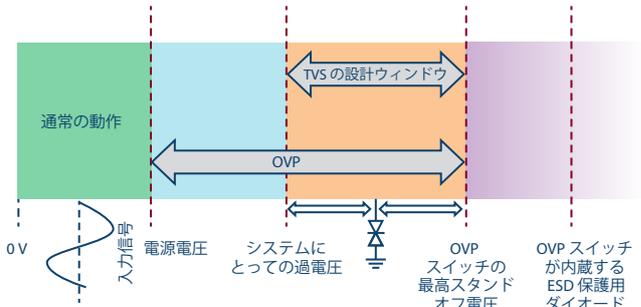


図 3. 入力部に対する各種の電圧範囲

図 4 に示した保護回路を使えば、IEC の規格で定められた ESD による接触放電については最高で 8 kV、気中放電については 16 kV まで耐えることができます。また、IEC 規格に定められた EFT については 4 kV まで、同サージについては 4 kV まで耐えることが可能です。図中の「ADG5412F」は、アナログ・デバイスズが提供する SPST（単極単投）スイッチです。クワッド型の製品であり、±55 V の過電圧の検出／保護に対応します。ESD、EFT、サージのトランジェントに起因する過電圧に耐えることが可能です。さらに、ドレイン部の保護用ダイオードが組み合わせられることから、後段の回路は OVP から隔離されます。表 1 に同 IC が耐えることのできる高電圧トランジェントのレベルを示しました。TVS のブレイクダウン電圧と抵抗のさまざまな組み合わせに対する値を示しています。

表 1. 試験の結果（空欄の部分の試験は未実施）

保護の方法	ESD による接触放電 (IEC 61000-4-2)	ESD による気中放電 (IEC 61000-4-2)	EFT (IEC 61000-4-4)	サージ (IEC 61000-4-5)
33 V に対応する TVS と 0 Ω の抵抗	5 kV		3 kV	4 kV
33 V に対応する TVS と 10 Ω の抵抗	8 kV	16 kV	4 kV	4 kV
45 V に対応する TVS と 0 Ω の抵抗	4 kV		2 kV	4 kV
45 V に対応する TVS と 15 Ω の抵抗	8 kV	16 kV	4 kV	4 kV
54 V に対応する TVS と 30 Ω の抵抗	8 kV	16 kV	4 kV	4 kV

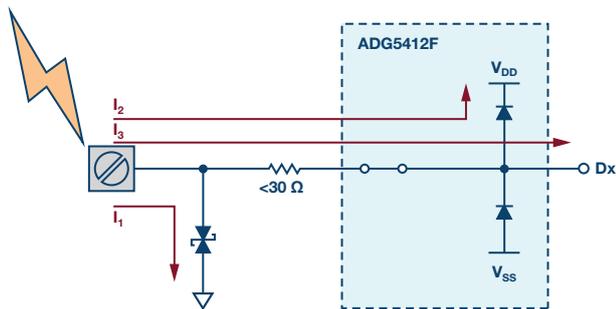


図 4. ADG5412F を使用した保護回路

この保護回路は、TVS と値の小さい抵抗（オプション）を使用して構成しています。この抵抗は、TVS によって入力部の電圧がクランプされる前に、OVP スイッチが内蔵する ESD 保護用のセルがトリガされることを防ぎます。ESD と EFT に対する保護レベルを引き上げるために必要な部品です。

図 4 には、高電圧トランジェントが発生した際の電流経路も示しています。電流の大部分は、経路 I_1 に示したように、TVS を通じてグラウンドへシャントされます。経路 I_2 は、ADG5412F の出力部に形成されている ESD 保護用のダイオードを介して流れる電流を表しています。出力電圧は、電源電圧よりも 0.7 V 高い値にクランプされます。経路 I_3 には残りの電流が流れます。後段の部品は、この電流に耐えなければなりません。この保護回路の詳細については、アナログ・デバイゼスのアプリケーション・ノート AN-1436 をご覧ください。

IEC 規格で定められた ESD に対する保護

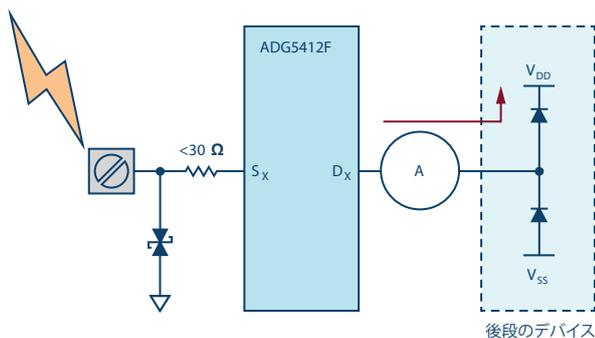


図 5. テスト用の回路

図 5 に示したのは、IEC 規格で定められた ESD についてテストするための回路です。図 6 と図 7 は、この回路を使用して、8 kV の接触放電と 16 kV の気中放電の各条件下で試験を行った結果です。上述したとおり、TVS によって電圧が約 54 V にクランプされる前に、ソース・ピンには過電圧が生じます。この過電圧が発生した際、スイッチのドレイン電圧は、電源電圧よりも 0.7 V 高い値にクランプされます。ドレイン電流としては、後段のデバイスのダイオードに流れ込む電流が測定されます。パルス状のピーク電流の値は約 680 mA にも達しますが、その持続時間はわずか 60 ナノ秒程度です。一方、HBM に基づく 1 kV の ESD 試験では、ピーク電流は約 660 mA、持続時間は 500 ナノ秒程度になります。この保護回路を使用することにより、HBM に基づく 1 kV の ESD に対応可能な後段の部品は、IEC の ESD 規格で定められた 8 kV の接触放電と同 16 kV の気中放電の両方に耐えられると結論づけることができます。

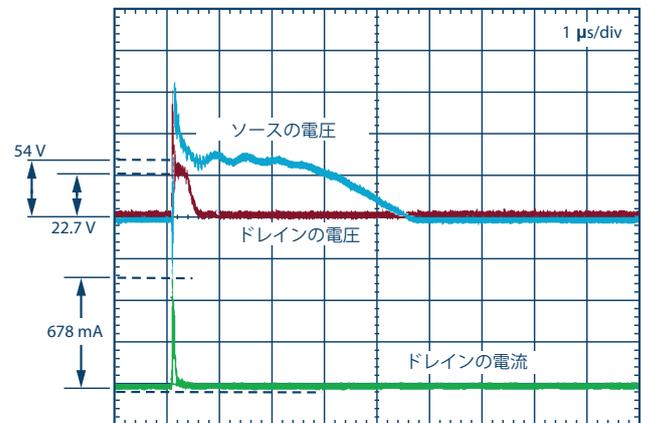


図 6. 8 kV の接触放電が生じた際のドレインの電圧 / 電流

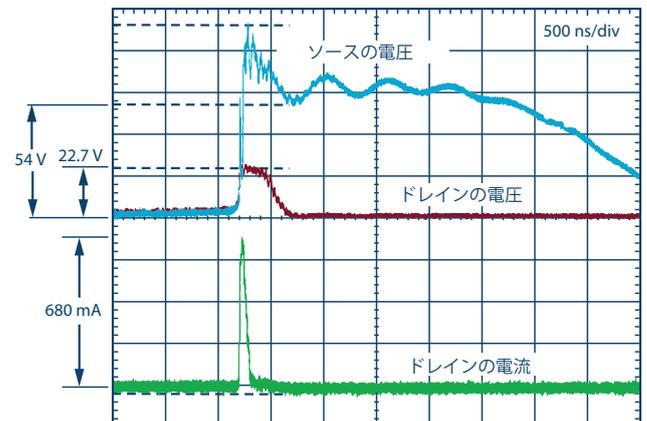


図 7. 16 kV の気中放電が生じた際のドレインの電圧 / 電流

EFT に対する保護

図 8 に示したのは、EFT についての試験結果です。4 kV の 1 つのパルスを印加した場合の測定結果を示しています。ESD の場合と同様に、TVS によって電圧が約 54 V にクランプされる前に、ソース・ピンには過電圧が生じます。EFT の場合も、過電圧が発生した際にはスイッチのドレイン電圧が電源電圧よりも 0.7 V 高い値にクランプされます。後段のデバイスに流れ込むピーク電流は 420 mA 程度に抑えられ、持続時間もわずか 90 ナノ秒程度となります。HBM に基づく 750 k の ESD 試験では、ピーク電流は 500 mA、持続時間は 500 ナノ秒程度になります。つまり、4 kV の EFT が発生した際、後段のデバイスのピンに加わるエネルギーは、HBM に基づく 750 k の ESD が発生した場合よりも小さいということになります。

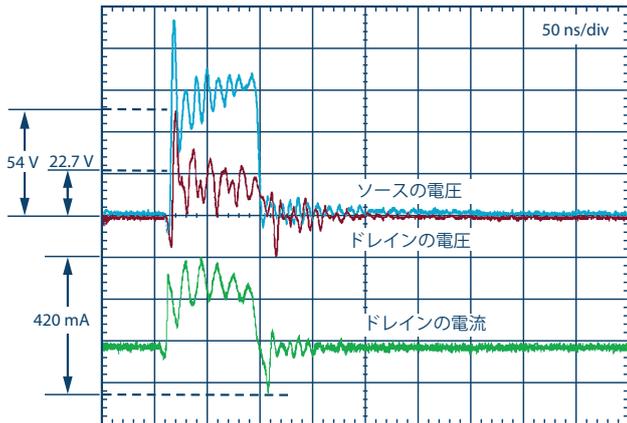


図 8. 単一パルスの EFT が生じた際のドレインの電圧／電流

サージに対する保護

図 9 は、保護回路の入力部に 4 kV のサージ・トランジェントを印加した場合の試験結果です。先述したとおり、ソースの電圧は、TVS のブレイクダウン電圧を超えて最高クランプ電圧まで上昇する可能性があります。この回路の OVP スwitch の反応時間は約 500 ナノ秒であり、デバイスのドレイン電圧は、その間、電源電圧よりも 0.7 V 高い値にクランプされます。その期間が経過した後、後段のデバイスに流れ込むピーク電流は 608 mA 程度になります。そして、スイッチがオフになり、後段の回路は異常から隔離されます。この場合も、印加されるエネルギーは、HBM に基づく 1 kV の ESD が発生した場合よりも小さくなります。

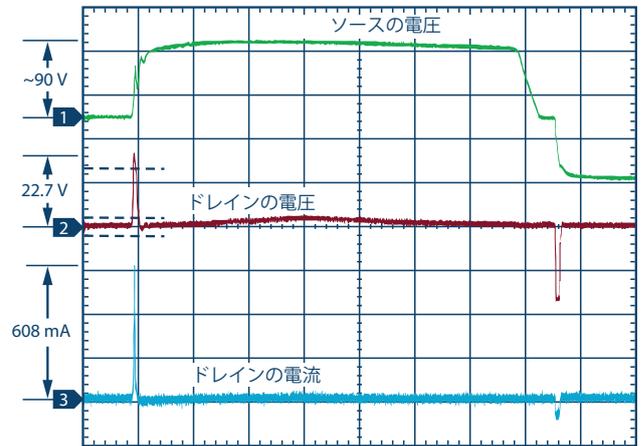


図 9. サージが発生した際のドレインの電圧／電流

まとめ

本稿では、IEC 61000-4-2、IEC 61000-4-4、IEC 61000-4-5 の各規格で定められた高電圧トランジェントから、IC のアナログ入出力部を保護する方法について説明しました。本稿で紹介したのは、システムの入出力部用に保護回路を設計する際、必要になる知識です。その内容について理解を深めることで、以下のようなメリットを得ることができます。

- ▶ 保護回路の設計が容易になる
- ▶ 製品を迅速に市場に投入できる
- ▶ ディスクリット部品の点数を削減しつつ、保護回路の性能を高められる
- ▶ 信号バスに配置する直列抵抗の値を低減することが可能
- ▶ TVS の設計ウィンドウが広い。そのため、TVS の選択が容易になる
- ▶ 以下の規格に準拠するシステム・レベルの保護が可能になる
 - IEC 61000-4-2: 16 kV の気中放電
 - IEC 61000-4-2: 8 kV の接触放電
 - IEC 61000-4-4: 4 kV
 - IEC 61000-4-5 4 kV
- ▶ AC および継続的な DC 過電圧に対する保護。最高で ± 55 V
- ▶ パワー・オフ保護。最高で ± 55 V

アナログ・デバイセズの過電圧保護／検出製品（±55 V の OVP に対応する製品）

品番	構成	HBM の ESD レベル [kV]	仕様					特性評価用の電圧 [V _{NOM}]				パッケージ			
			R _{ON} の 代表値 [Ω]	R _{ON} の 平坦性 [Ω]	オン・ リーク 電流の 代表値 [nA]	QINJの 代表値 [pC]	帯域幅 [MHz]	シングル		デュアル					
								12	36	±15	±20	TSSOP	LFCSP		
ADG5412F/ ADG5413F	SPST 4	5.5	10	0.6	0.3	680	270							EP	
ADG5412BF/ ADG5413BF	SPST 4	3	10	0.6	0.3	680	270								
ADG5436F	SPDT 2	6	10	0.6	0.3	654	108								
ADG5243F	SPDT 3	3.5	270	7	0.3	0.8	350								
ADG5404F	4:1/マルチ プレクサ	5	10	0.6	0.3	680	108								
ADG5208F/ ADG5209F	8:1/マルチ プレクサ 4:1/差動	3.5	250	6.5	0.3	0.4	190/290								
ADG5248F/ ADG5249F	8:1/マルチ プレクサ 4:1/差動	3.5	250	6.5	0.3	0.8	190/320								
ADG5462F	チャンネル・ プロテクタ ×4	4	10	0.6	0.3	N/A	318								

David Forde (david.forde@analog.com) は、カーロー工科大学で IC の設計に関する学士号（理学）を取得して同校を卒業した後、2006 年にレイアウト設計者としてアナログ・デバイセズに入社しました。2011 年にリムリック大学で VLSI システムに関する修士号（工学）を取得しています。2015 年に計装／高精度技術グループに加わり、アプリケーション・エンジニアとしてアナログ・スイッチとマルチプレクサの製品群を担当しています。



David Forde