

高精度の SPI スイッチにより、チャンネル密度を高める

著者: Stephen Nugent

Share on   

概要

システムの中には、各種のテストに使用される計測器など、高いチャンネル密度を必要とするものがあります。そのようなシステムを設計する場合、通常は数多くのスイッチを基板に実装しなければなりません。その際、パラレル・インターフェースによって制御するスイッチ（以下、パラレル・スイッチ）を使用したとします。すると、基板面積のかなりの部分が、スイッチの制御に使用するロジック信号線、GPIO 制御信号の生成に必要なシリアル・パラレル・コンバータ（以下、S/P コンバータ）によって占有されてしまうことになります。このような設計上の課題を解決するために、アナログ・デバイセズは新世代のスイッチ IC を提供しています。その IC は、SPI (Serial Peripheral Interface) によって高精度のアナログ・スイッチを制御する点を特徴とします。本稿では、この IC を SPI スイッチと呼ぶことにします。以下では、この SPI スイッチのアーキテクチャについて説明します。また、SPI スイッチを使用することにより、パラレル・スイッチを使用する場合と比べてどのくらいチャンネル密度が増加するのかを明らかにします。この SPI スイッチは、アナログ・デバイセズの革新的なコパッケージング・プロセスを採用しています。この技術により、SPI 信号をパラレル信号に変換する新たなチップ（ダイ）と、既存の高性能アナログ・スイッチのチップ（ダイ）を統合しています。その結果、高精度スイッチの性能を低下させることなく、基板面積を削減することが可能になっています。

多くの場合、テストに使用する装置のチャンネル数を最大化するのは非常に重要なことです。それにより、多くのデバイスを並列でテストできるようになるからです。結果として、テスト時間とコストを削減することが可能になります。チャンネルを増加させるうえでは、スイッチが重要な要素になります。スイッチを活用することにより、テスターにおいてリソースを共有し、複数の DUT（被測定デバイス）に対応することが可能になるからです。ただし、パラレル・スイッチの数を増やすと、それを制御するための制御信号線も増加します。その結果、基板上の実装スペースが多く費やされ、チャンネル密度がかなり制限されてしまいます。

このような状況で SPI スイッチを使用すれば、サイズとチャンネル数の面で大きなメリットを得ることができます。複数の SPI スイッチをデジチェーン接続することができるため、従来のソリューションに比べて、必要なデジタル信号線の数を大幅に削減することが可能になるからです。

本稿では、まずチャンネル数を最大化したい場合に直面する課題について詳細に説明します。続いて、従来使われているスイッチの制御方法が抱える欠点について述べます。そのうえで、SPI スイッチが提供するソリューションを示します。さらに、アナログ・デバイセズが提供する SPI スイッチ製品を紹介し、当社の SPI 製品群では、クラス最高の性能を備える高精度のアナログ・スイッチが使われています。

チャンネル数の最大化に向けた課題

チャンネル数の最大化を主目的としてモジュールを開発するケースがあります。その場合、基板上の実装スペースをいかに削減するかということが大きな課題になります。システムにおいて、チャンネル数を増やすうえではスイッチが重要な要素となります。しかし、スイッチの数が増えると、スイッチ本体だけでなく、ロジック制御信号線、その信号を生成するためのデバイスによって、基板上のスペースが大きく費やされてしまいます。最終的に得られるチャンネル数は、スイッチの制御に必要な要素によって制限されることになります。

パラレル・スイッチによる従来のソリューション

チャンネル密度を高めるための最も一般的なソリューションは、パラレル・スイッチを使用することです。つまり、パラレル形式のロジック信号によってスイッチを制御することになります。ただ、それには標準的なマイクロコントローラでは供給できないくらいの数の GPIO 信号が必要です。そのため、GPIO 信号を生成するためのソリューションとして、S/P コンバータが使用されることになります。この種のデバイスは、I²C や SPI などのシリアル・プロトコルに対応するように構成されます。そのうえで、パラレル信号を出力します。

アナログ・デバイセズは、クワッド・タイプの SPST（単極単投）スイッチ IC「ADG1412」を提供しています。図 1 に示したのは、同 IC を 8 個使い、6 層基板上に 4 × 8 のクロスポイントを構成した場合のレイアウトです。各スイッチは、コントローラを搭載した基板からのシリアル信号線と 2 個の S/P コンバータによって制御されます。それぞれのコンバータは、8 個のスイッチ IC に分配される 16 本の GPIO 信号線を供給します。図 1 のレイアウトには、デバイスのフットプリント、電源用のデカップリング・コンデンサに加え、デジタル制御信号（灰色）が描かれています。パラレル・スイッチを使用した 4 × 8 のマトリックス・ソリューションが、35.6 mm × 19 mm（面積は 676.4 mm²）というサイズで実現されています。

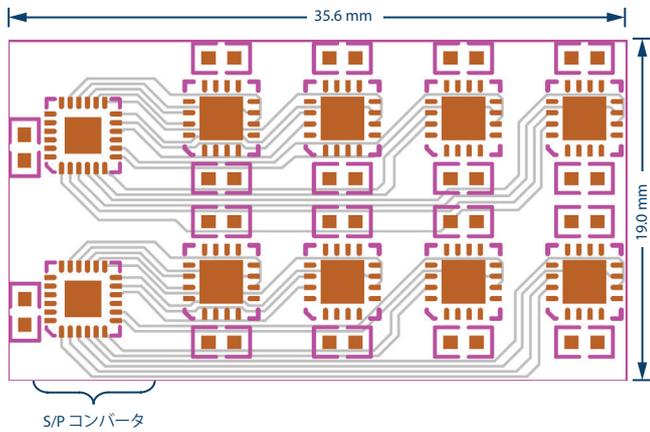


図 1. 4 × 8 のスイッチ・マトリックスを
パラレル制御する場合の基板レイアウト

図 1 から明らかなように、このソリューションでは、スイッチ本体だけでなく、S/P コンバータとデジタル制御信号線によって多くの面積が費やされています。このような基板は理想的なものとは言えません。実際、モジュール内に配置できるスイッチの数が大幅に削減されることになり、システムのチャンネル数に望ましくない影響が及びます。

SPI スイッチによるソリューション

図 2 も、6 層基板にクワッド・タイプの SPST スイッチを 8 個実装し、4 × 8 のクロスポイントを構成した例です。ただし、図 1 の例とは異なり、SPI 制御方式のスイッチ IC 「ADGS1412」を使用しています。図 2 には、IC のフットプリント、電源用のデカップリング・コンデンサ、SDO ピン用のプルアップ抵抗が描かれています。

このソリューションでは、スイッチ IC をデジチェーン接続します。全てのスイッチ IC は SPI からのチップ・セレクトとシリアル・クロックというデジタル信号線を共有します。そして、まずはデジチェーンの最初のデバイスがシリアル・データを受信します。そのデータは、シフト・レジスタのように、チェーン内の全てのスイッチ IC に受け渡されます。このソリューションの場合、実装スペースは 30 mm × 18 mm (面積は 540 mm²) となります。

デジチェーン方式で SPI スイッチを使用することにより、図 1 の例で S/P コンバータとデジタル信号線によって費やされていたスペースが大幅に削減されます。同じ数のスイッチ IC を使って同じ構成をとっていますが、図 1 と比べて全体の基板面積が 20% 削減されています。これにより、チャンネル密度が大幅に高まります。また、システムのプラットフォームも簡素化されます。基板上のスイッチの数が増えると、それに伴ってスペースの削減幅が大きくなります。そのため、数百個のスイッチを実装した基板では、スペースの削減幅が 50% を超えることもあります。

ここで示した例から、SPI スイッチを使用することで、小さな面積により多くのスイッチを実装できることがわかります。スイッチ用に許容される面積が決まっている場合、S/P コンバータを使う従来のソリューションに比べて、より多くのチャンネルを設けることができます。

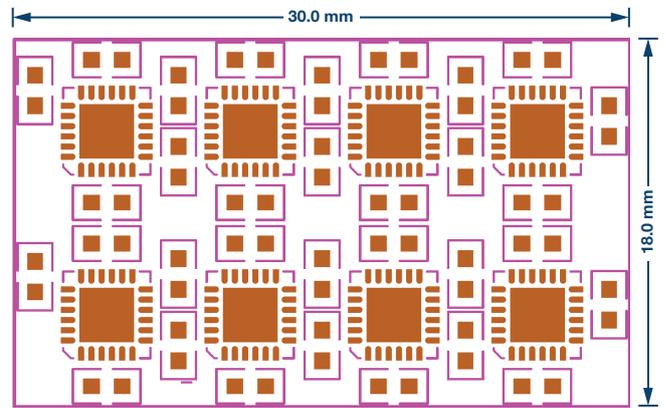


図 2. デジチェーン接続によって 4 × 8 の
スイッチ・マトリックスを構成する場合の基板レイアウト

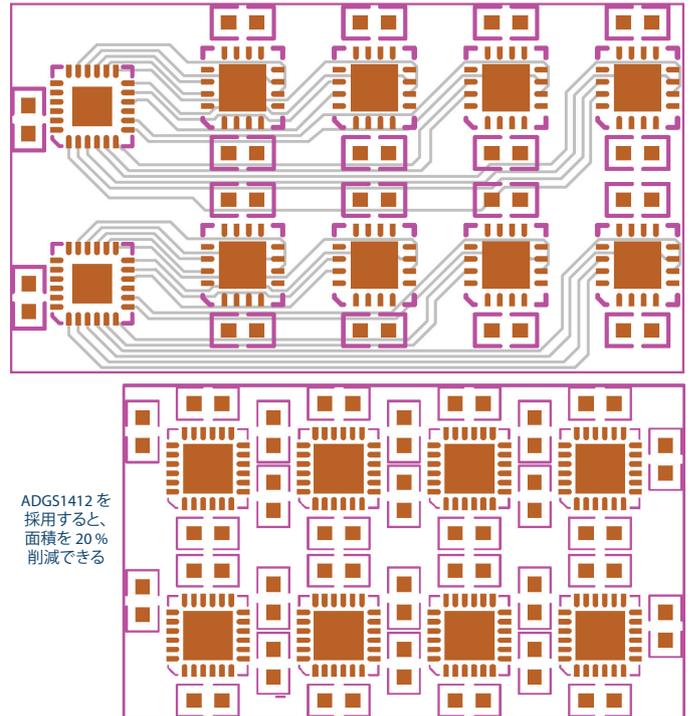


図 3. SPI スイッチを使用した場合と
パラレル制御スイッチを使用した場合の面積の比較

アナログ・デバイセズの SPI スイッチが備える特徴

ここまで説明したように、アナログ・デバイセズの新たな SPI スイッチ製品群を利用すれば、チャンネル密度を高めることができます。これら SPI 製品群は、革新的なスタックド・デュアルダイ・ソリューション (Stacked Dualdie Solution) を採用しています (図 4)。それにより、この高性能スイッチ製品群は、SPI のモード 0 という業界標準のインターフェースに構成できるようになっています。このことは、スペースの縮小がシステムの性能に悪影響を及ぼさないということを意味しています。次のページでは、これら SPI スイッチの主要な特徴について説明していきます。

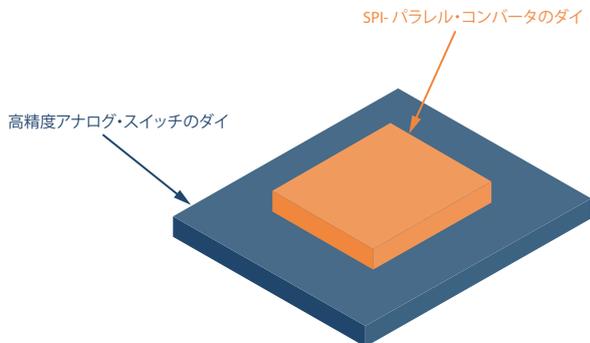


図 4. アナログ・デバイセズの革新的なスタックド・デュアルダイ・ソリューション

デジチェーン・モード

先述したように、アナログ・デバイセズの SPI スイッチは、デジチェーン・モードでの動作が可能です。図 5 は、ADGS1412 をデジチェーン接続する方法を示したものです。デジチェーン内の全てのスイッチ IC は \overline{CS} と SCLK を共有します。また、1つのスイッチ IC の SDO を次のスイッチ IC の SDI に接続します。デジチェーン・モードの設定は、16 ビットの SPI フレームを 1 つ使用し、デジチェーン内の全てのスイッチ IC にコマンドを送信することで行います。このモードでは、SDO は SDI よりも 8 サイクル遅れたものになるので、所望のスイッチ構成において、チェーン内の 1 つのスイッチ IC から次のスイッチ IC にデータを受け渡すことができます。

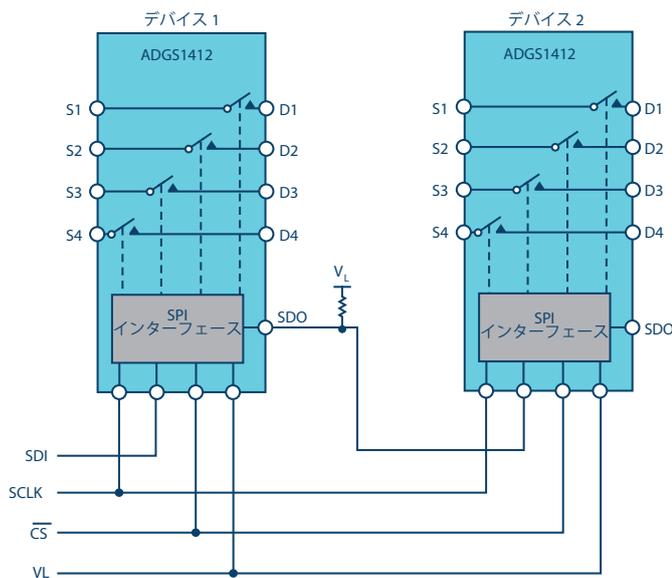


図 5. 2 個のスイッチ IC のデジチェーン接続

エラーの検出機能

SPI スイッチがアドレス・モードまたはバースト・モードの時には、SPI インターフェースにおけるプロトコル・エラーと通信エラーを検出することができます。エラーの検出機能としては 3 種類が用意されています。まず、SCLK のカウントが正しくない場合にそのことが検出されます。また、アドレスに対する無効な書き込み／読み出しを検出することができます。さらに、最大 3 ビットの CRC エラーも検出することが可能です。これらの機能により、厳しい環境下におけるデジタル・インターフェースの堅牢性が保証されます。

アナログ・デバイセズの SPI スイッチ・ファミリー

ADGS1412 は、アナログ・デバイセズが開発した SPI スイッチ・ファミリーの中で最初にリリースされた製品です。アナログ・デバイセズの革新的なスタックド・デュアルダイ・ソリューションにより、ADGS1412 では、シリアル・インターフェースがもたらすメリットを享受できるだけでなく、クラス最高レベルの低オン抵抗 (R_{ON}) という高いスイッチ性能も得ることができます。この性能は、パラレル制御のスイッチ IC である ADG1412 と同等のレベルにあります。

このスイッチ・ファミリーは、アナログ・デバイセズの高性能スイッチ製品群にラインアップされます。すでに提供されている業界最高レベルのスイッチ IC の SPI 制御バージョンが提供されるということです。表 1 に、この SPI スイッチ・ファミリーの製品についてまとめました。この表には、すでに供給中の製品と計画段階の製品が含まれています。品番中の「S」は、SPI 制御バージョンであることを表しています。「S」が含まれている製品は、アナログ・スイッチのダイと SPI-パラレル・コンバータのダイがコパッケージングされています。これらの製品は、2017 年内にリリースされる予定です。

表 1. SPI スイッチ・ファミリー製品における最適化のポイント。この表には計画段階の製品も含まれています。

品番	構成	最適化のポイント
ADGS1412	4 × SPST	R_{ON} を最適化
ADGS5412	4 × SPST	低 R_{ON} 、ラッチアップ耐性
ADGS1212	4 × SPST	チャージ・インジェクションと C_{ON} を最適化
ADGS1612	4 × SPST	R_{ON} を最適化、中電圧
ADGS5414	8 × SPST	低 R_{ON} 、ラッチアップ耐性

まとめ

高いチャンネル密度が必要なアプリケーションでは、SPI スイッチを使用することにより、パラレル・スイッチを使用する場合よりも多くのメリットを得ることができます。SPI スイッチでは、1 つのスイッチに要する基板スペースを削減できるので、チャンネルの密度を高めることが可能です。デジタル制御用の信号線を減らせることに加え、その制御信号を供給するためのデバイスが不要になるからです。

アナログ・デバイセズは、チャンネル密度の向上に役立つ高精度の SPI スイッチを提供しています。そのスイッチ IC をデジチェーン・モードで使用することで、容易にチャンネル密度を高められます。また、スタックド・デュアルダイ・ソリューションを採用しているため、これまでにアナログ・デバイセズが提供してきたスイッチ製品と同様、業界最高レベルのスイッチ性能が得られます。ADGS1412 は、SPI スイッチ・ファミリーの中で最初にリリースされた製品です。2017 年～2018 年に、同ファミリーの全製品が提供されるようになる予定です。



著者:

Stephen Nugent (stephen.nugent@analog.com) は、アナログ・デバイセズのリニア/高精度技術グループに所属するアプリケーション・エンジニアです。クイーンズ大学ベルファストで電気電子工学の修士号を取得し、2014年に卒業しました。2014年7月にリニア/高精度技術グループに加わり、アナログ・スイッチとマルチプレクサを担当しています。以前は、アナログ・デバイセズの高精度コンバータ・グループに所属していました。