

ソフトウェア無線の可能性を広げる 新たなRF DAC

著者：Daniel E. Fague

概要

通信分野では、かなり以前からデータ・コンバータ（D/AコンバータとA/Dコンバータ）を使用してシステムを構築することが前提となっています。携帯電話の基地局やケーブル・テレビ用のヘッドエンド装置、レーダー・システム、専用通信システムなど、現代社会の基盤となる数多くの通信装置がデータ・コンバータを使用して実現されています。特に最近のデータ・コンバータでは、技術の進歩に伴い、クロック・レートとしてより高い周波数を使用できるようになりました。そうしたデータ・コンバータの中には、入出力データの管理と転送のためにJESD204Bに準拠した高速シリアル・インターフェースと組み合わせられたものがあります。その種の製品は、RF（無線周波数）データ・コンバータと呼ばれています。RFデータ・コンバータを使用すれば、アナログ無線チェーンにおいて従来のようなアップコンバージョン/ダウンコンバージョンを行うことなく、RF信号を直接合成/取得することができます。

本稿では、RFデータ・コンバータのうちD/Aコンバータ（RF DAC）をテーマとします。アナログ・デバイセズ（ADI）は、RF DACの新しい製品ファミリーを提供しています。その中から、本稿では「AD9162」と「AD9164」を取り上げ、ソフトウェア無線（SDR：Software-defined Radio）の可能性を広げる両製品の特徴について説明します。AD9164は、RF DACの価値を新たなレベルまで引き上げました。この製品を使用することで、速度が中程度のDACや旧世代のRF DACを用いるよりも効率的な無線回路を構築できます。世界最高の性能と豊富な機能を併せ持つAD9164は、ある仕様の無線システムから別の仕様の無線システムに切り替える必要がある場合に最適な製品です。これを利用することにより、真のソフトウェア無線の実現に一步近づくことができます。

はじめに

従来、無線装置では、有線/無線通信リンク用の主要な構成要素として、高速データ・コンバータと直交変調器を使用していました。無線システムには、ヘテロダイン、スーパーヘテロダイン、ダイレクト・コンバージョンといった異なる方式があります。いずれの場合も、トランスミ

ッタとレシーバにおいて、アナログ信号とデジタル信号を相互に変換するためにデータ・コンバータが必要になります。無線設計の進化については、フィルタやパワー・アンプの技術に加え、データ・コンバータの技術の進歩が1つの指標になります。

図1に示したのは、従来の無線トランスミッタのブロック図です。このトランスミッタは、ベースバンド信号に対応するDACを使って実装されています。つまり、ベースバンド帯のデジタル・データが、同期をとった2つのDACによってアナログ信号に変換されるということです。同相データは1チャンネルのDAC、直交データはQチャンネルのDACに割り当てられます。これら2つのDACの出力は、直交変調器に送られます。変調器の種類により、その出力信号の周波数は、200MHz~400MHz程度のやや低めのIF周波数（中間周波数）、500MHz~1GHz程度のやや高いIF周波数、あるいは1GHz~5GHzのRF周波数といった具合に異なります。図1に示したように、直交変調器の後段には、最終的な周波数を得るためのアップコンバージョン用の回路が配置されます。それによって得られた信号は、バンドパス・フィルタによってフィルタリングされてから、パワー・アンプ、もう1つのバンドパス・フィルタ（デュプレクサなどに含まれている場合もあります）の順に送信されます。

このアーキテクチャにおける送信時の一般的な瞬時帯域幅は、主にDAC、パワー・アンプ、フィルタの帯域幅によって制限されます。具体的には数十~数百MHzであり、システムによっては不十分な値となります。例えば、新しいEバンドのマイクロ無線バックホールには、500MHz、1GHz、あるいは2GHzに対応する無線チャンネルが必要になります。同様に、ワイヤレス基地局などに実装されるマルチバンド無線でも、一部のバンドの組み合わせに対応するためには500MHz、700MHz、さらには1GHzといった広い帯域幅が必要になる場合があります。従来の無線設計では、各バンドに対して1つずつ、計2つの無線回路を実装することによってこれに対応していました。しかし、コストやサイズなどの観点からは、複数の無線回路を1つの無線チェーンに統合する方が望ましいかもしれません。ただし、これを実現するには全く新たなアプローチが必要になります。

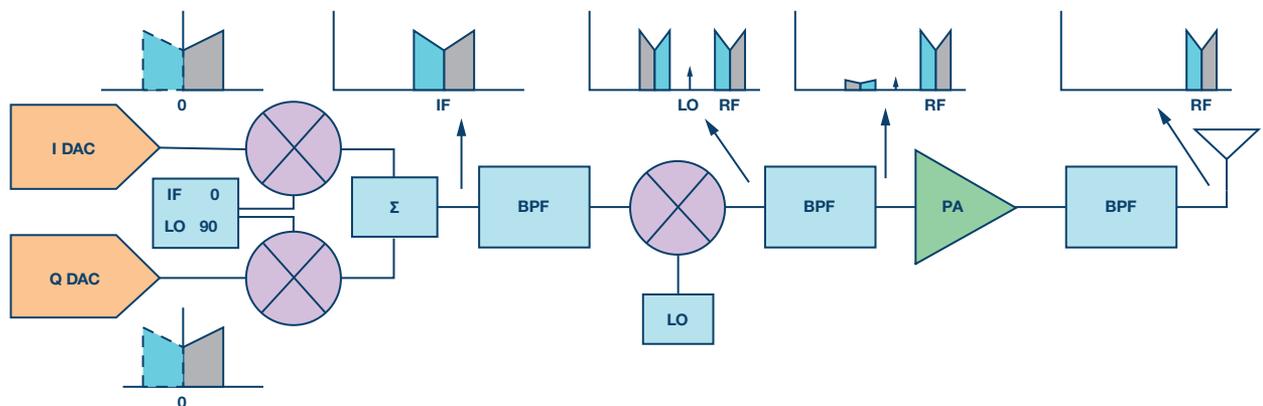


図1. 高速データ・コンバータを用いた典型的なスーパーヘテロダイン型トランスミッタ

新たなRF DAC技術による具現化

従来、高速データ・コンバータの技術開発では、一定の性能を維持しつつ変換レートを高めることを目標としていました。維持すべき性能としては、ノイズ・スペクトル密度（NSD）やスプリアスフリー・ダイナミック・レンジ（SFDR）といった項目が挙げられます。相互変調歪み（IMD）も、シングルトーンの信号と変調信号の両方に対して重要です。変調信号は、GSM、3G（W-CDMA）、4G（OFDM）といった広く普及しているワイヤレス通信システムや、256QAMを利用するケーブル通信などで使用されます。

変換レートを高められれば、無線設計に複数のメリットがもたらされます。DACについて考えると、まず、信号の折返しイメージがより高い周波数に現れるようになります。そのため、そのイメージを除去するためのアナログ・フィルタの設計を簡素化でき、実装が容易になります。また、変換レートが高ければ第1ナイキスト・ゾーンが広くなり、より高い周波数の出力信号を直接合成（生成）できるようになります。直接合成された信号の周波数が十分に高ければ、アナログ周波数変換（アップコンバージョン）の処理全体を無線回路から取り除くことが可能です。その結果、周波数計画を簡素化でき、無線回路の消費電力は減少し、回路のサイズは縮小します。また、変換レートが高ければ使用可能な帯域幅が増すので、データ・コンバータの量子化ノイズが分散されます。その結果、トランスミッタのノイズ・スペクトル密度に処理利得を与えられます。

CMOSプロセス技術の進歩に伴い、データ・コンバータに信号処理機能を追加するのは一般的なこととなりました。例えば、DACにNCO（数値制御型発振器）やインターポレータの機能を追加すれば、それらの機能をFPGAやASICで実現する必要がなくなります。また、それに伴う消費電力も生じません。加えて、より低いデータ転送レートでDACを動作させることが可能になります。データ・レートが低くなればシステム全体の消費電力を抑えることができます。デジタルIC上のファブリック速度は最大300MHz~400MHzにも上ることがありますが、デジタルICの速度をDACに合わせられる場合もあります。DACのチップ上にNCOを集積すれば、無線回路における最初の周波数変換をデジタル領域で行うことが可能です。そのため、今日の無線回路ではNCOやインターポレータを備えるDACを使うことで、中間周波数を数百MHzにすることがよくあります。

信号処理機能を備えるRF DAC

RFデータ・コンバータは、従来よりも高速に動作することが可能です。加えて、その速度にも対応できる信号処理機能が追加されている点でも従来のものとは異なります。そうした速度と機能群という強力な組み合わせによって、無線アーキテクチャの設計を劇的に変革することができます。すなわち、再構成が可能なソフトウェア無線に新たな可能性がもたらされるということです。

そのRFデータ・コンバータの代表的な例が、RF DAC製品ファミリーのAD9162とAD9164です。図2に両製品のブロック図を示しました。AD9162は分解能が16ビット、サンプル・レートが6GSPS（ギガサンプル/秒）のRF DACです。インターポレーションの機能として、1倍（バイパス・モード）から最大24倍までの複数のオプションを備えています。インターポレータは標準的な80%の帯域幅ではなく、より広い90%の帯域幅に対して動作が可能です。この条件で動作させた場合、消費電力はやや多くなりますが、瞬時信号帯域幅が広がります。図2を見ると、NCOの前に「HB 2x」というブロックがあります。これは、ハーフバンド・インターポレータとしては最終段に当たる「FIR85」です。これにより、DACの最大サンプル・レートが実質的に12GSPSとなります。その結果、折返しイメージの周波数がより遠くに離れるため、フィルタに対する要件が緩和されます。オプションであるこのFIR85の後段には、6GSPSまたは12GSPS（FIR85を有効にした場合）の更新レートで動作する48ビットのNCOが配置されています。NCOの後段には、 $x/\sin x$ 型の補償フィルタがあります。これは、DACコアに対する入力にプリエンファシスを適用することで、 $\sin x/x$ 型のロールオフ特性を補正する役割を果たします。

両製品のDACコアは、アナログ・デバイゼズの特許技術である「Quad Switch」というアーキテクチャを採用して設計されています。その結果、卓越したSFDRとNSDによって業界最高のダイナミック・レンジが実現されています。また、NRZ（Non Return to Zero）モード、RZ（Return to Zero）モード、Mix-Mode™というよく知られるDACデコーダのオプションも、このアーキテクチャによって提供されます。さらに、FIR85によって、DACデコーダには2xNRZモードという新たな機能も追加されます。これについては後ほど詳しく説明します。

AD9164は、AD9162と同じ基本機能を備えています。それ以外に、AD9164には高速周波数ホッピング（FFH）に対応するためのNCOエンジンというかたちでダイレクト・デジタル合成（DDS）機能が追加されています。

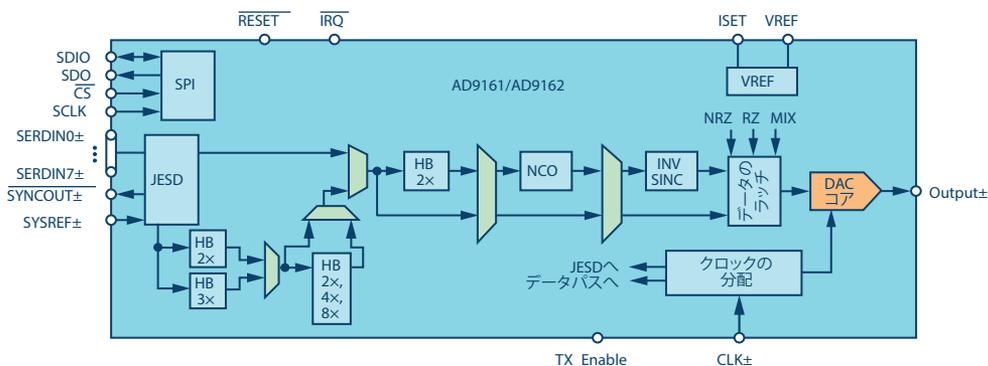


図2. AD9162/AD9164のブロック図

FFH対応のNCOエンジンは、他にはない複数の機能を備えています。そのため、高速テスト装置、局部発振器（LO）の置き換え、セキュアな無線通信機器、レーダーの励振器といった用途においてかなり魅力的な選択肢となります。FFH対応のNCOエンジンは、それぞれ専用の位相アキュムレータを備える32個の32ビットNCOと、FFHを可能にする選択ブロックによって構成されています。

AD9162には、特定市場向けの2つの派生製品があります。1つは分解能が11ビット、サンプル・レートが6GSPSのRF DAC「AD9161」です。この製品では、最小2倍のインターポレーションが実行されます（バイパス・モードはありません）。AD9161のSFDRとNSDはDOCSIS（Data Over Cable Service Interface Specifications）3.0の仕様を満たしており、ケーブル・テレビ用のヘッドエンドやリモートPHYといったアプリケーションに適しています。AD9161では、信号帯域幅とダイナミック・レンジの性能を抑えることにより、輸出ライセンスの取得を不要にしています。もう1つの派生製品である「AD9163」は、分解能が16ビット、サンプル・レートが6GSPS、最小インターポレーションが6倍のRF DACです。この製品はAD9162と同等のダイナミック・レンジを実現しています。それに加えて、1GHzという広い瞬時帯域幅、フルレンジのNCOにも対応しています。そのため、シングルバンド/デュアルバンドのワイヤレス基地局や、従来のバンドを利用してポイントtoポイントの通信を行うマイクロ波システムにも適しています。この製品も輸出ライセンスは不要です。表1に、このファミリー製品の主要な特徴についてまとめました。

デジタル・データパスの特徴

AD9162/AD9164に対するデータの入力には、8レーン、12.5GBPSのJESD204Bインターフェースを使用します。この高速シリアル・インターフェースによって、デジタル・ベースバンド・デバイスをDACに接続するための配線の本数を削減できます。その結果、基板のレイアウトを簡素化することが可能になります。このインターフェースの詳しい使い方についてはデータシートを、[JESD204B インターフェース](#)の詳細についてはアナログ・デバイセズのウェブ・サイトを参照してください。

AD9162/AD9164のデータパスでは、最初のインターポレータとして、2倍のハーフバンド・フィルタと3倍のサイドバンド・フィルタが用意されています。どちらも、80%または90%の信号帯域幅を選択可能で、阻止域減衰量はともに85dB以上です。90%の帯域幅のフィルタを選択すれば、急峻なカットオフ特性が得られます。ただし、フィルタのタップ数が多くなるので消費電力も増加します。2

段目のフィルタ段にある2倍のハーフバンド・フィルタならびにFIR85は、最初のインターポレータに合わせて90%の帯域幅に対応しています。後続のフィルタは、いずれもインターポレーションを施した後のデータを扱うので、消費電力をほとんど増加させることなく90%の帯域幅に対応できます。

2×NRZモードを実現可能なFIR85は、他のインターポレーション・フィルタとは異なるかたちで実装されています。具体的には、DACのQuad Switchアーキテクチャを活用し、DAC用クロックの立上がりエッジと立下がりエッジでデータをサンプリングします。この方法では、クロックの各エッジで新しいデータがサンプリングされることにより、DACのサンプル・レートを2倍の12GSPSに高められます。それによって、信号の折返しイメージは $f_{DAC}-f_{OUT}$ から $2 \times f_{DAC}-f_{OUT}$ に移動します。その結果、アナログ・フィルタの実装が簡素化され、折返しイメージの除去が容易になります。この方法によってサンプリングと補間を行うと、DACの出力はクロック・バランスの影響を受けやすくなります。しかし、両ICは、自身へのクロック入力を調整して性能をチューニングできるようになっています。この調整は、SPI（Serial Peripheral Interface）を介してレジスタをプログラムすることで行います。詳細についてはデータシートを参照してください。

48ビットのNCOは完全直交型です。イメージを生じさせることなく入力信号の周波数をシフトするか、シングルトーンのDDSを行うことができます。このNCOでは、周波数スイッチングの動作として位相が連続のモードと不連続のモードのうちどちらかを選択可能です。位相が連続のモードでは、周波数同調ワード（FTW：Frequency Tuning Word）は更新されますが、位相アキュムレータがリセットされません。そのため、位相が連続した状態で周波数が変化します。一方、位相が不連続のモードでは、FTWの更新時に位相アキュムレータがリセットされます。なお、FTWを高速に更新できるように、SPIの転送速度としては100MHzが保証されています。

AD9164は、FFH向けに重要な機能を追加したNCOを搭載しています。FFH対応のNCOは、31個の32ビットNCOを追加することによって実装されています。各NCOにはそれぞれ専用の位相アキュムレータがあります。また、各NCOに専用のFTWも用意されています。つまり、32個のNCOのそれぞれに対応するFTWのプログラムが可能です。それには、FTWを選択するためのレジスタを使用します。SPIを使用し、シングルバイトのデータをレジスタに書き込むことによって、32ビットの精度で新しい周波数へのホッピングが行えます。SPIの転送速度が100MHzの場合、シングルバイトのデータの書き込みによって新しいFTWを240ns以内に選択できることとなります。

表1. AD9162/AD9164（6GSPSのRF DAC）の製品ファミリー

製品名	分解能	最小インターポレーション	FFHへの対応	ターゲットとなる分野	備考
AD9161	11	2×	なし	ケーブル・テレビ	ケーブル・テレビ向けの11ビット版
AD9162	16	1×	なし	ケーブル・テレビ、WIFR、計装	世界中のケーブル・テレビ、WIFR、計装に向けた最高性能のDAC
AD9163	16	6×	なし	WIFR	WIFRや、フルバンドを必要としないケーブル・テレビ（MDUなど）に向けた帯域幅が1GHzのバージョン
AD9164	16	1×	あり	計装、軍事、ケーブル・テレビ、WIFR	計装、軍事、ケーブル・テレビ、WIFRに向けた最高性能のDDS内蔵DAC。位相コヒーレントなFFHが可能

さらに、FFH対応のNCOは、計装分野や軍用分野において威力を発揮する位相コヒーレントな周波数ホッピング・モードを備えています。位相コヒーレントな周波数ホッピングは、テスト・アプリケーションや、後で使用するために励振信号の位相をトレースする必要のあるレーダー・アプリケーションにおいても重要な機能です。位相コヒーレントな周波数ホッピングでは、元の周波数の位相累積結果を損なうことなく、別の周波数に切り替えてから再び元の周波数に戻すことができます。言い換えると、周波数を一旦変更し、その後あたかも周波数の変更などなかったかのように元に戻すことが可能です。

アプリケーション分野、性能の測定結果

AD9162/AD9164の高いサンプル・レートと信号処理機能を利用することにより、前掲の図1の無線アーキテクチャを図3のように簡素化することができます。RF DACを使えば所望の出力周波数の信号を直接合成できるので、直交変調器やアップコンバージョン用のミキサーは必要ありません。デジタル・プロセッサで生成された信号がそのままRF DACから出力されます。そのため、トランスミッタの実装に必要な部品の数はかなり少なくなります。また、RF DACでは直交変調器をデジタル回路として内蔵しています。したがって、LOリークや不要なイメージを抑えるために、LOとDACから直交変調器への入力を校正する必要がなくなり、無線回路の実装が簡素化されます。

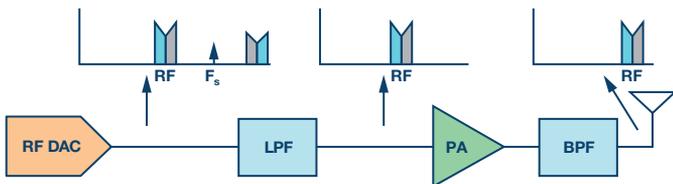


図3. RF DACを使用した無線トランスミッタのアーキテクチャ

図3のアーキテクチャには、RF DACの折返しイメージを除去するためのローパス・フィルタが含まれています。このアーキテクチャは、再構成が可能なソフトウェア無線の可能性を切り拓くものです。デジタル部品、RF DAC、再構成が可能なローパス・フィルタは同じものを使用し、パワー・アンプとバンドパス・フィルタを変更するだけで多くの異なる無線回路を実装できるからです。図4は、ワイヤレス基地局で使用するデュアルバンド・トランスミッタの出力を測定した結果です。5MHz幅のW-CDMAキャリアが1800MHz帯に5つ、2100MHz帯に3つ存在することがわかります。図5は、DOCSISに準拠したケーブル・テレビ用ヘッドエンドのトランスミッタ出力の例です。DOCSIS 3.1で定められた50MHz~1.2GHzの帯域内に、6MHz幅の256QAMキャリアが194個存在しています。図6は、滞留時間が260nsのFFHの例です。レジスタのプログラミング（シングルバイトの書き込み）が240ns、ホップ時間が20nsという内訳です。図7は、AD9164の優れた位相ノイズ性能を示したものです。この例では4GHzのOCXO（恒温槽付水晶発振器）を使用し、3.9GHzの正弦波を合成しています。その際、10kHzのオフセット位置における位相ノイズは-125dBc/Hz以下です。

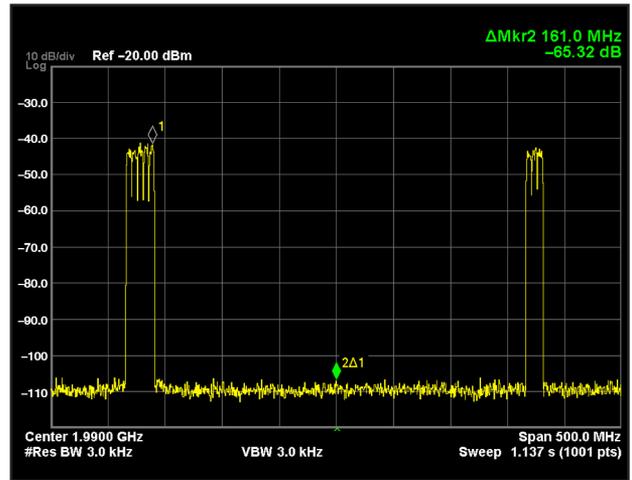


図4. 1.8GHz帯と2.1GHz帯のデュアルバンドW-CDMA信号

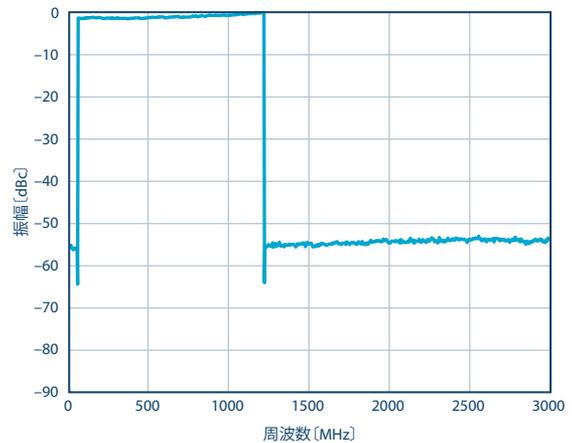


図5. DOCSIS 3.1の周波数帯域（50MHz~1.2GHz）における256QAM信号。6MHz幅の信号が194個表示されている



図6. AD9164でFFHを実施した結果。ホップ当たりの滞留時間は260ns

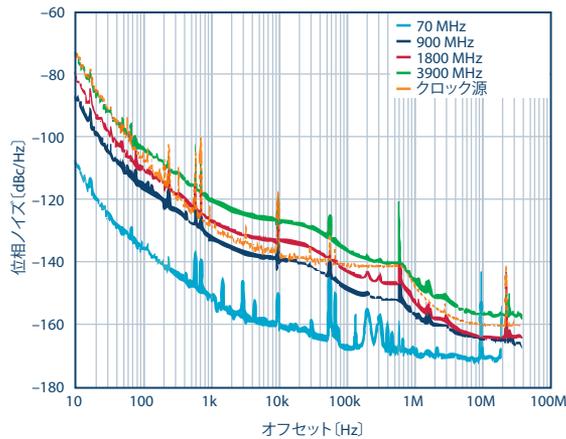


図7. AD9164のトータルの位相ノイズ性能。
DACのクロック源は、600kHzのオフセットまでは
4GHzのOCXO、600kHzのオフセット以上は信号発生器

まとめ

RF DACを使用することにより、無線アーキテクチャの設計を簡素化することができます。従来のシグナル・チェーンで使用されてきた多くの部品が不要になり、サイズを縮小することが可能になります。AD9162/AD9164は、卓越したRF性能と魅力的な機能群を併せ持つRF DACです。これらを採用することにより、多様な無線トランスミッタに対応し、真のソフトウェア無線の実現に、かつてないほど近づくことができます。

¹ 米国特許番号#6,842,132と#7,796,971



著者：

Daniel E. Fague (dan.fague@analog.com) は、アナログ・デバイセズの高速DACアプリケーション・エンジニアリング・マネージャーです。1989年にゴンザガ大学で電気工学の学士号、1991年にカリフォルニア大学デービス校で電気工学の修士号を取得しています。1995年に入社し、ワイヤレス・ハンドセット・グループにおいて、GSM、EDGE、CDMA、Bluetooth®用のダイレクト・コンバージョン無線を含む無線ハンドセットのアーキテクチャ設計を担当しました。入社する前は、National Semiconductor社でDECTやPHS向けの無線アーキテクチャの設計に5年間携わっていました。2011年に高速DACグループに属してからは、主にRF DACの開発に取り組んでいます。7件の特許を保有し、これまでに30本以上の記事や論文を発表しています。



Daniel E. Fague