

DC/DCコンバータにおける フェライト・ビーズの活用法

著者：Jefferson Eco/Aldrick Limjoco

はじめに

フェライト・ビーズは、周波数の高い電源ノイズを除去するためによく使われます。ミックスド・シグナルICのアナログ電源やデジタル電源のような電源レールをクリーンな状態で共有できるようにするとともに、レール間の高周波絶縁を実現するための有効な手段となります。受動デバイスであるフェライト・ビーズは、広い周波数範囲に対し、高周波ノイズのエネルギーを除去する役割を果たします。特定の周波数範囲では抵抗性の素子として働き、ノイズのエネルギーを熱として消費します。電源レールに直列に接続して使用しますが、通常はフェライト・ビーズの両側には接地したコンデンサを接続します。それによってローパス・フィルタを形成し、高周波の電源ノイズがさらに低減します。

しかし、システム設計においてフェライト・ビーズの使い方を誤ると、悪影響が生じてしまうことがあります。例えば、フェライト・ビーズとデカップリング・コンデンサを組み合わせるとローパス・フィルタを構成したところ、望ましくない共振が生じてしまったということが起こり得ます。あるいは、DCバイアス電流が変化した場合、フェライト・ビーズが備えるEMIの抑制能力が低下してしまうこともあります。フェライト・ビーズの性質を正しく理解し、それについて考慮することにより、そうした問題を回避することが可能になります。

本稿では、電源システムでフェライト・ビーズを使用する場合に、システム設計者が認識しておくべき重要な検討事項について説明します。例えば、DCバイアス電流が好ましい値ではない場合や望ましくないLC共振が生じている場合に、インピーダンスの周波数特性はどのようになるのかといったことです。そのうえで、共振の問題に対処するための複数のダンピング（減衰）手法を紹介するとともに、それぞれの有用性を比較します。

本稿では、DC/DCスイッチング・レギュレータの出力フィルタにフェライト・ビーズを適用した場合の効果につ

いて検討していきます。レギュレータの例としては、アナログ・デバイセズ (ADI) の「ADP5071」を取り上げます。同製品は、独立した正と負の出力を備えており、出力電流はそれぞれ2A、1.2Aです。また、本稿では、主に表面実装パッケージでチップ型のフェライト・ビーズを例にとります。

簡素化したシミュレーション用モデル

フェライト・ビーズは、図1 (a) に示すような回路としてモデル化できます。ご覧のように、抵抗、インダクタ、コンデンサで構成されています。 R_{DC} はフェライト・ビーズのDC抵抗に相当します。 C_{PAR} 、 L_{BEAD} 、 R_{AC} は、それぞれ寄生容量、ビーズのインダクタンス、ビーズに依存するAC抵抗 (ACコア損失) です。

フェライト・ビーズには、誘導性、抵抗性、容量性の3つの応答領域があります。各領域は、図1 (b) のようなZRXグラフで確認できます。ここで、Z、R、Xは、それぞれビーズのインピーダンス、抵抗、リアクタンスです。高周波のノイズを低減するには、ビーズが抵抗性領域になければなりません。EMI (電磁波干渉) の排除が必要な場合、特にこの点が重要になります。同領域において、ビーズは、高周波ノイズを減衰するとともに、そのエネルギーを熱として消費する抵抗のように動作します。抵抗性領域は、ビーズのクロスオーバー周波数 ($X=R$) から、ビーズが容量性になるまでの領域です。容量性になるのは、容量性リアクタンス ($-X$) の絶対値がRと等しくなる周波数です。

この簡素化した回路モデルは、1GHz未満の範囲でフェライト・ビーズのインピーダンス特性を近似する際に使用できます。

図1 (b) は、TE Connectivity (旧Tyco Electronics) 社の積層フェライト・ビーズ「BMB2A1000LN2」の例です。DCバイアス電流がゼロという条件で、同製品のZRX応答をインピーダンス・アナライザで測定しました。

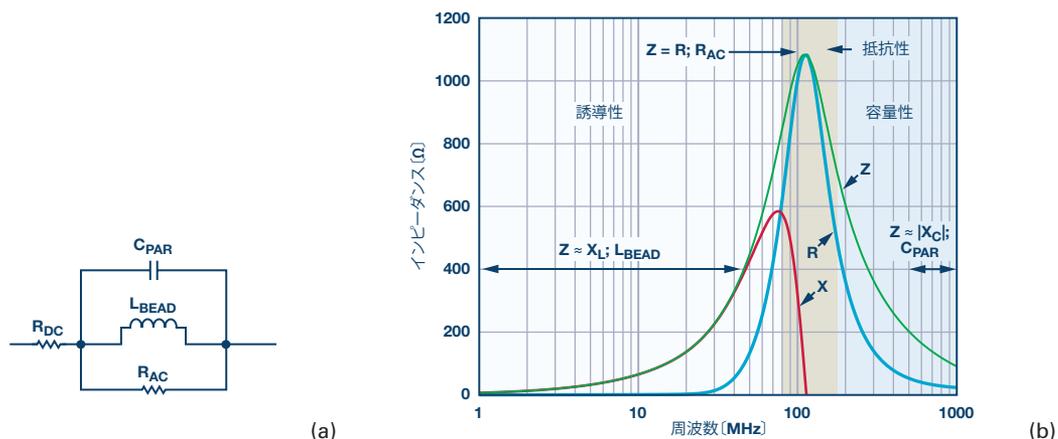


図1. (a) は簡素化した回路モデル。

(b) はTE Connectivity社のBMB2A1000LN2で測定したZRXグラフ

このZRXグラフにおいて、ピーズがほぼ誘導性を示す領域 ($Z \approx XL; L_{BEAD}$) のインダクタンスは、次の式で計算されます。

$$L_{BEAD} = \frac{X_L}{2 \times \pi \times f} \quad (1)$$

ここで、fはピーズの誘導性領域に含まれる周波数です。この例では、fの値は30.7MHzです。XLは、30.7MHzにおけるリアクタンスであり、値は233Ωです。

これらの値を式(1)に代入すると、インダクタンス L_{BEAD} は1.208μHとなります。

ピーズがほぼ容量性を示す領域 ($Z \approx |XC|; C_{PAR}$) の寄生容量 C_{PAR} は、次の式で計算できます。

$$C_{PAR} = \frac{1}{2 \times \pi \times f \times |X_C|} \quad (2)$$

ここで、fはピーズの容量性領域に含まれる周波数です。この例ではfの値は803MHzです。 $|X_C|$ は、803MHzにおけるリアクタンスで118.1Ωです。

これらの値を式(2)に代入すると、寄生容量 C_{PAR} は1.678pFとなります。

DC抵抗 R_{DC} の値は、メーカーのデータシートによると300mΩです。AC抵抗 R_{AC} は、フェライト・ピーズの純粋に抵抗性を示す領域におけるピークのインピーダンスです。この R_{AC} は、Zから R_{DC} を引いた値になります。 R_{DC} は、このピークのインピーダンスに比べて非常に小さいので無視できます。したがって、この例における R_{AC} は1.082kΩです。SIMetrix/SIMPLISを搭載する回路シミュレータ「ADIsimPE」を使用して、インピーダンスの周波数特性をシミュレーションしました。図2(a)は、回路シミュレーションに使用したモデルです。上で求めた計算値を適用しています。図2(b)に、実測値とシミュレーション結果の両方を示しました。この例では、回路

シミュレーション用のモデルによって、実測値に非常に近いインピーダンス曲線が得られています。

このフェライト・ピーズのモデルは、ノイズを除去するためのフィルタ回路の設計と分析に利用できます。例えば、フェライト・ピーズのインダクタンスの近似値から、デカップリング・コンデンサと組み合わせてローパス・フィルタ回路を構成する場合の共振周波数(カットオフ周波数)を求めるということが可能です。ただし、この回路モデルは、DCバイアス電流がゼロという条件で近似したものです。そのため、実際にはDCバイアス電流に応じて特性が変わる可能性があります。つまり、さらに複雑なモデルが必要になるケースもあるということです。

DCバイアス電流に関する検討事項

電源の用途に対して適切なフェライト・ピーズを選択するには、フィルタの帯域幅だけでなく、DCバイアス電流によって変化するピーズのインピーダンス特性についても慎重に検討する必要があります。ほとんどの場合、メーカーは100MHzにおけるピーズのインピーダンスしか規定していません。データシートには、DCバイアス電流がゼロのときの周波数応答しか記載されていません。しかし、電源のフィルタリングを目的とする場合、フェライト・ピーズを流れる負荷電流がゼロであることは決してありません。DCバイアス電流がゼロから増加すると、フェライト・ピーズのすべてのパラメータが著しく変化するので注意が必要です。

DCバイアス電流が増加すると、コア材の飽和が始まります。すると、フェライト・ピーズのインダクタンスは著しく低下します。インダクタンスの飽和の度合いは、フェライト・ピーズのコア材によって異なります。図3(a)に、2種類のフェライト・ピーズのインダクタンスを示しました。これは、DCバイアス電流に対する標準的な依存性を表しています。定格電流の50%で、インダクタンスは最大90%低下しています。

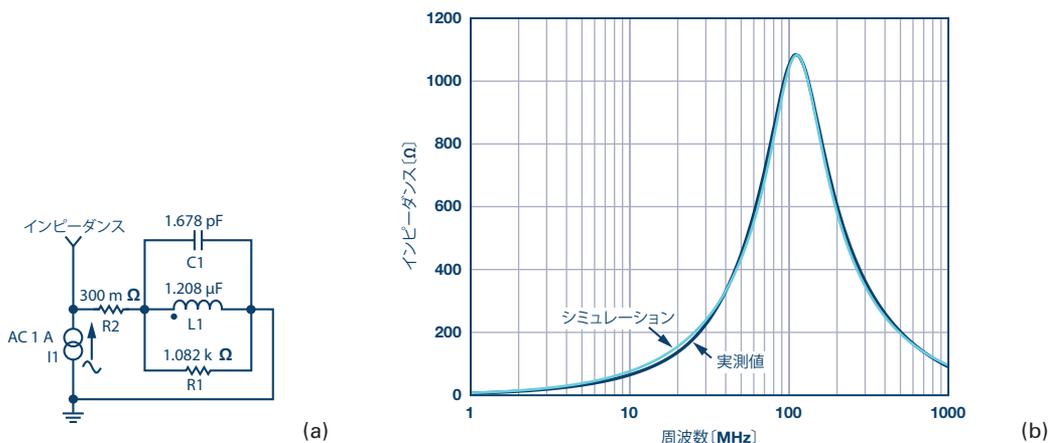
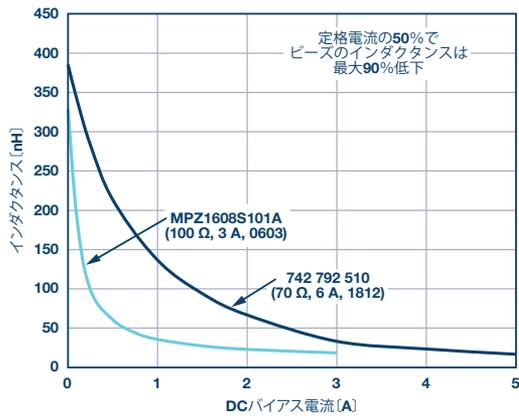
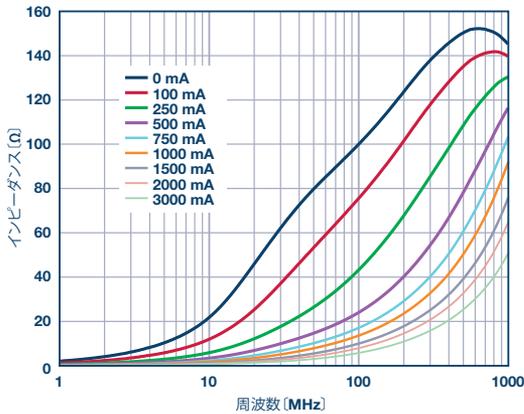


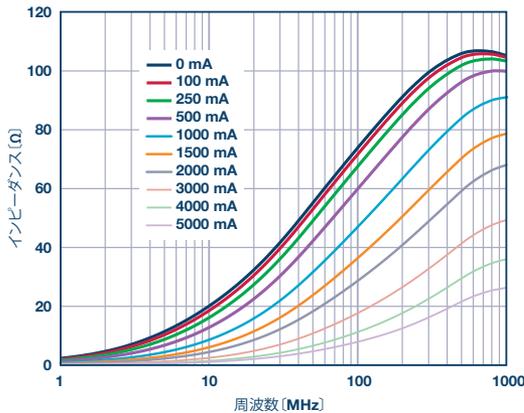
図2. (a) は回路シミュレーションに使用したモデル。
(b) はシミュレーション結果と実測値



(a)



(b)



(c)

図3. (a)はフェライト・ビーズのインダクタンスのDCバイアス電流に対する依存性。(b)と(c)はDCバイアス電流を変化させた場合のインピーダンスの周波数依存性。(b)はTDKのMPZ1608S101A、(c)はWürth Elektronik社の742 792 510の実測値

電源ノイズを効果的に除去するには、フェライト・ビーズを定格DC電流値の約20%の値で使用します。上の2つの例に示したように、定格電流値の20%とした場合、定格6Aのビーズのインダクタンスは約30%、定格3Aのビーズのインダクタンスは約15%まで低下します。フェライト・ビーズの定格電流は、規定された温度上昇に対して耐えられる最大の電流値を示したものです。フィルタとしての機能を実現する際に使用する性質の値ではありません。

DCバイアス電流の影響は、インピーダンスの周波数特性にも現れます。DCバイアス電流が増加するに連れてインピーダンスが低下し、フェライト・ビーズの効力とEMIの除去能力も低下します。図3 (b)と(c)は、DCバイアス電流によってフェライト・ビーズのインピーダンスが変化する様子を示したものです。定格電流のわずか50%を流しただけで、100MHzでの実効インピーダンスは、TDKの「MPZ1608S101A」(100Ω、3A、0603)では100Ωから10Ωへ、Würth Elektronik社の「742 792 510」(70Ω、6A、1812)では70Ωから15Ωへと、大きく低下しています。

システム設計者は、DCバイアス電流がフェライト・ビーズのインダクタンスと実効インピーダンスに及ぼす影響について十分に理解しておかなければなりません。この点は、大電流が必要なアプリケーションにおいて非常に重要な要素になる可能性があります。

LC共振の影響

フェライト・ビーズとデカップリング・コンデンサを組み合わせると、共振のピークが生じることがあります。その影響は見逃されがちですが、回路のリプルとノイズを減衰させるのではなく、むしろ増幅してしまう可能性があるため非常に重要です。多くの場合、そのピークは、DC/DCコンバータで一般的に使用されるスイッチング周波数の付近に生じます。

ローパス・フィルタ回路は、フェライト・ビーズのインダクタンスとQ値の高いデカップリング容量で構成されます。このローパス・フィルタ回路には、共振周波数があります。その周波数がフェライト・ビーズのクロスオーバー周波数よりも低い場合にピークが生じます。その結果として、フィルタの減衰量が不足する状態になります。

図4 (a) は、TDKのMPZ1608S101Aについて、インピーダンスの周波数特性を実測した結果です。抵抗成分によって不要なエネルギーを消費するわけですが、その値は約20MHz~30MHzに達するまで大きくありません。それ以下の周波数領域では、フェライト・ビーズは依然としてQ値が非常に高く、理想的なインダクタとして機能します。フェライト・ビーズを用いた典型的なフィルタでは、0.1MHz~10MHzの範囲にLC共振周波数が現れます。300kHz~5MHzの標準的なスイッチング周波数を使用するには、フィルタのQ値を下げるために、さらなるダンピングを行う必要があります。

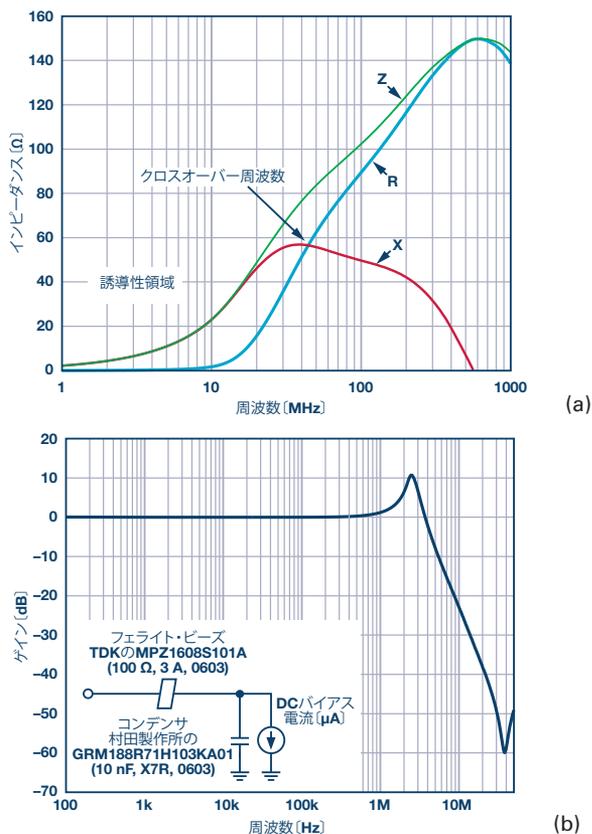


図4. (a) はMPZ1608S101AのZRXグラフ。
(b) はフェライト・ビーズとコンデンサから成るローパス・フィルタのS21応答

この影響の例として、フェライト・ビーズとコンデンサから成るローパス・フィルタのS21周波数応答を図4 (b) に示します。ご覧のようにピークが生じています。使用したフェライト・ビーズは、TDKのMPZ1608S101A (100Ω, 3A, 0603) です。デカップリング・コンデンサは、村田製作所が提供する低ESR (等価直列抵抗) のセラミック・コンデンサ「GRM188R71H103KA01」(10nF, X7R, 0603) です。負荷電流は数μAのレベルとしました。

ダンピングを適用することなくフェライト・ビーズで構成したフィルタは、そのQ値によって約10dB~15dBのピークを生じさせる可能性があります。図4 (b) では、2.5MHzの付近にゲインが10dBにも及ぶピークが生じています。また、1MHz~3.5MHzでは信号が増幅されます。このピークが、スイッチング・

レギュレータの動作周波数帯に生じると問題が起きます。スイッチングに伴う好ましくない成分が増幅され、フェーズ・ロック・ループ (PLL)、VCO (電圧制御発振器)、分解能の高いA/Dコンバータ (ADC) といった感度の高い負荷の性能を損なう恐れがあるのです。図4 (b) は、非常に負荷が軽い (数μAレベル) という条件の下で得られた結果です。現実として、数μAから1mAの負荷電流しか必要としない回路 (システムのうちの一部) や、動作モードに応じて省電力のために停止する回路に向けた電源回路も存在します。そのため、数μAレベルというのも現実的に起こり得る条件だと言えます。なお、ピークが生じると、システム内のノイズが増大して不要なクロストークが発生する恐れがあります。

図5に示したのは、ADP5071のアプリケーション回路例です。その正出力には、フェライト・ビーズを使って構成したフィルタを接続しています。図6は、ADP5071の正出力を周波数軸で見たもの (出力スペクトル) です。スイッチング周波数は2.4MHz、入力電圧は9V、出力電圧は16V、負荷電流は5mAとしています。

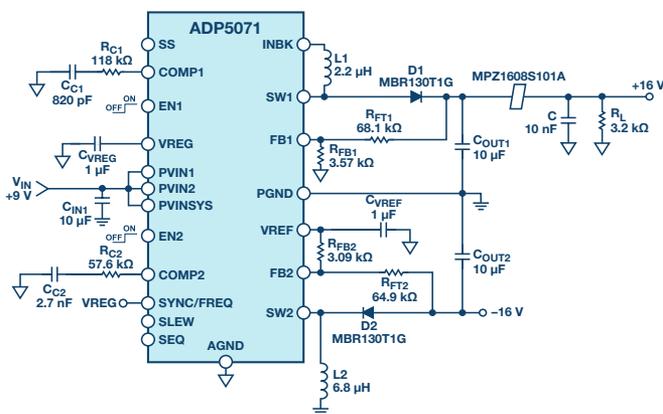


図5. ADP5071のアプリケーション回路例。
ビーズとコンデンサから成るローパス・フィルタを正出力に接続している

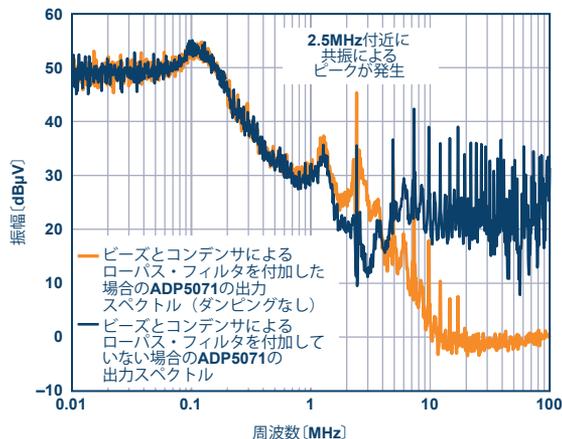
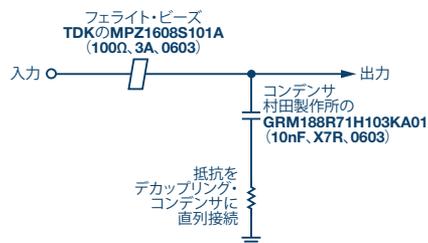
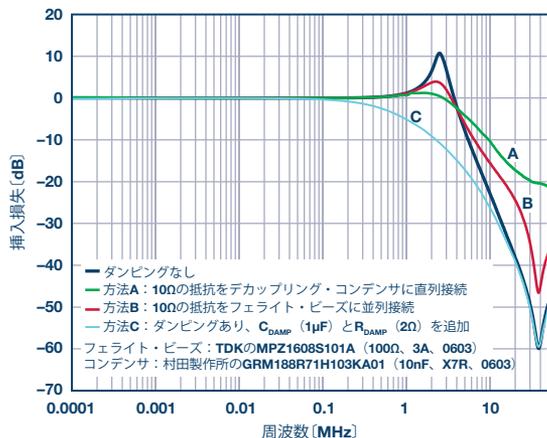


図6. 負荷電流が5mAの場合のADP5071の出力スペクトル
フェライト・ビーズのインダクタンスと10nFのセラミック・コンデンサにより、2.5MHz付近に共振のピークが生じています。2.4MHzの基本リップル周波数は減衰されるどころか、10dBも増幅されています。

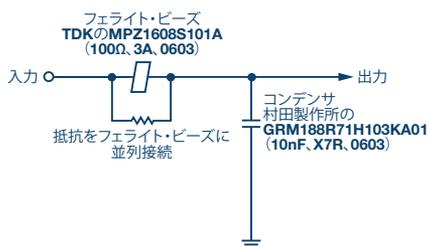
共振のピークに影響するその他の要因としては、フェライト・ビーズを使って構成したフィルタの直列インピーダンスと負荷インピーダンスが挙げられます。ソース抵抗を高くすれば、ピークはかなり低減されます。しかし、そうすると負荷に対するレギュレーションの能力が低下してしまいます。そのため、実際にはこの方法は採用できません。直列抵抗によって電圧降下が生じるので、負荷電流の増加に伴って出力電圧が低下することになります。負荷インピーダンスもピークの応答に影響を与えます。負荷が軽い場合には、大きなピークが生じます。

ダンピング手法の比較

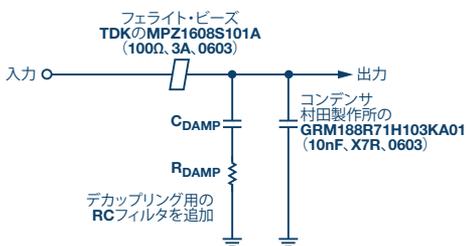
ここでは、共振のピークを大幅に低下させるために使用できるダンピング手法を3つ紹介します（図7）。



方法A



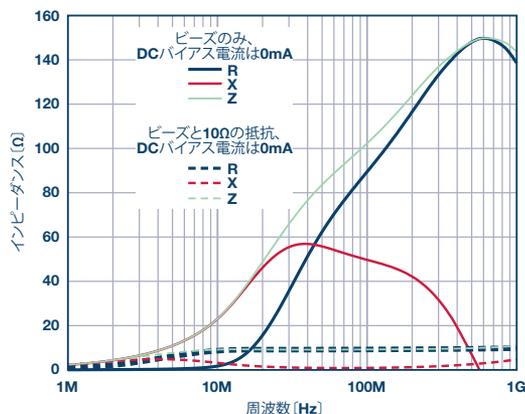
方法B



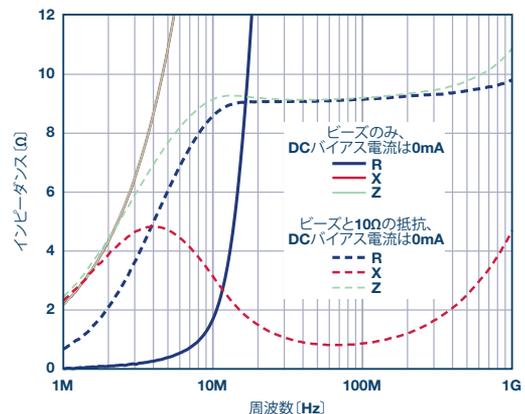
方法C

図7. 3種のダンピング手法と、それぞれを適用した場合の周波数応答

方法Aは、デカップリング・コンデンサのパスに抵抗を直列に接続するというものです。それによって、回路の共振が減衰します。ただし、高い周波数におけるバイパス効果は低下します。方法Bでは、小さな抵抗をフェライト・ビーズと並列に接続します。この方法でも回路の共振は減衰します。しかし、高い周波数におけるフィルタの減衰特性が低下してしまいます。図8に、MPZ1608S101Aのインピーダンスと周波数の関係を示しました。この図には、10Ωの並列抵抗を接続した場合と接続しない場合の特性を示しています。緑色の点線は、フェライト・ビーズに10Ωの抵抗を並列接続した場合のトータルのインピーダンスです。このインピーダンスの値はかなり低減されており、10Ωの抵抗が支配的になっています。しかし、10Ωの並列抵抗を接続したフェライト・ビーズのクロスオーバー周波数は3.8MHzで、フェライト・ビーズ単体のクロスオーバー周波数である40.3MHzと比べてかなり低くなります。そのため、フェライト・ビーズは、はるかに低い周波数範囲で抵抗性を示し、Q値が低下することによってダンピング性能が改善されます。



(a)



(b)

図8. (a)はMPZ1608S101AのZRXグラフ。
(b)はその拡大図

方法Cでは、容量の大きいコンデンサ C_{DAMP} とダンピング抵抗 R_{DAMP} を直列接続したものを追加します。多くの場合、これが最善の方法です。

コンデンサと抵抗を追加すると、回路の共振が減衰します。しかも、高周波におけるバイパス効果は低下しません。この方法では、容量の大きいコンデンサによってDCが遮断されます。そのため、抵抗で過度に電力が消費されることもありません。このコンデンサの容量は、すべてのデカップリング・コンデンサの総容量よりもはるかに大きくする必要があります。しかし、それによってダンピング抵抗の値は小さくて済みます。

ピークを低減するために、共振周波数におけるコンデンサのインピーダンスは、ダンピング抵抗よりも十分に小さい必要があります。

図9は、図5に示したアプリケーション回路に方法Cのダンピング手法を適用した結果です。この図でも、ADP5071の正出力を周波数軸で見えています。C_{DAMP}とR_{DAMP}としては、それぞれ1 μ Fのセラミック・コンデンサと2 Ω のSMD抵抗を使用しました。結果として、2.4MHzにおける基本波リップルは5dB減少しています。これは、図6で10dB増加していたのとは対照的です。

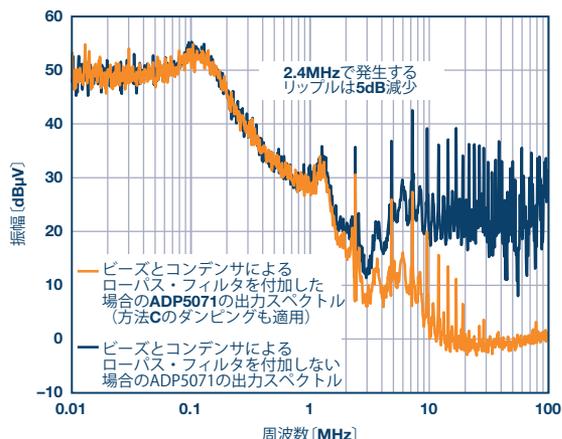


図9. ADP5071の出力スペクトル。
ビーズとコンデンサから成るローパス・フィルタに、
方法Cのダンピングを適用した場合の結果

一般に、方法Cが最も洗練された手法だと言えます。しかも、ダンピング専用の高価なコンデンサを購入することなく、セラミック・コンデンサに抵抗を直列に接続することによって実装できます。最も安全な方法は、試作を行った際に調整できるように設計しておき、不要ならば抵抗を取り外せるようにしておくことです。この手法の欠点は、部品のコストが余分にかかり、必要な基板面積が大きくなることだけです。

まとめ

本稿では、フェライト・ビーズを使用する際に考慮すべき主な検討事項について説明しました。また、フェライト・ビーズの簡単な回路モデルも紹介しました。そのモデルを使用し、DCバイアス電流がゼロであるという条件の下でインピーダンスの周波数特性をシミュレーションしました。それにより、実測値に非常に近い結果が得られることもわかりました。

また、本稿では、DCバイアス電流がフェライト・ビーズの特性に及ぼす影響についても説明しました。DCバイアス電流が定格電流の20%よりも大きい場合、フェライト・

ビーズのインダクタンスは著しく低下する可能性があります。そのような電流は、フェライト・ビーズの実効インピーダンスを引き下げ、EMIの除去能力を低下させる恐れがあります。DCバイアス電流が流れる電源レールにフェライト・ビーズを適用する場合、その電流によってフェライト材が飽和し、インダクタンスが大きく変化することがないようにしなければなりません。

フェライト・ビーズは誘導性のデバイスなので、Q値の高いデカップリング・コンデンサと組み合わせる場合には細心の注意が必要です。回路に望ましくない共振が発生し、効果をもたらさずどころか悪影響が出る場合もあるからです。しかし、本稿で提案したダンピング手法であれば、不要な共振を簡単に防止することができます。容量の大きなデカップリング・コンデンサとダンピング抵抗を直列接続し、負荷の両端に追加するだけです。フェライト・ビーズを正しく利用すれば、効果的かつ安価に高周波のノイズとスイッチングによる遷移を低減することができます。

関連資料

AN-583 Application Note 「[Designing Power Isolation Filters with Ferrite Beads for Altera FPGAs](#)」 Altera

「[Application Manual for Power Supply Noise Suppression and Decoupling for Digital ICs](#)」 村田製作所

Chris Burket 「[All Ferrite Beads Are Not Created Equal—Understanding the Importance of Ferrite Bead Material Behavior](#)」 TDK

Jefferson Eco, Aldrick Limjoco AN-1368 アプリケーション・ノート 「[フェライト・ビーズの特性を知る](#)」 Analog Devices

David B. Fancher 「[ILB, ILBB Ferrite Beads: Electromagnetic Interference and Electromagnetic Compatibility \(EMI/EMC\)](#)」 Vishay Dale

Lee Hill, Rick Meadors 「[Steward EMI Suppression](#)」 Steward

Ken Kundert 「[Power Supply Noise Reduction](#)」 Designer's Guide Consulting

Steve Weir 「[PDN Application of Ferrite Beads](#)」 IPBLOX, LLC

謝辞

技術的な知識についてご教授/ご助言いただいたアイルランドリムリック大学のJeff Weaver氏、Donal O'Sullivan氏、Luca Vassalli氏、Pat Meehan氏に感謝します。



著者：

Jefferson A. Eco (jefferson.eco@analog.com) は、2011年5月にADIのフィリピン支社に入社しました。現在はアプリケーション開発エンジニアとして業務に携わっています。フィリピンのカマリネス・ポリテクニク大学で電子工学の学士号を取得しています。



Jefferson A. Eco

Aldrick S. Limjoco (aldrick.limjoco@analog.com) は、2006年8月にADIに入社しました。現在はアプリケーション・エンジニアを務めています。フィリピンのデ・ラ・サール大学で電子工学の学士号を取得しました。スイッチング・レギュレータの出力リップルのフィルタリング手法に関する米国特許を保有しています。



Aldrick S. Limjoco

この著者が執筆した
他の技術文書

[スイッチング・レギュレータの出力ノイズを理解し、電源設計を加速する](#)

[Analog Dialogue 48-08](#)