

# RFサンプリングADCの入力保護

著者：Umesh Jayamohan

## はじめに

高性能のA/Dコンバータ（ADC）に適用するフロント・エンド（入力部）の設計は、システムに必要な性能を達成するうえで不可欠な作業です。特に無線周波数のサンプリングに対応するADC（RFサンプリングADC）では、この部分の設計が重要な意味を持ちます。多くの場合、RFサンプリングADCは、数百MHzの帯域幅に含まれるアナログ信号をデジタル・データに変換します。そのためのフロント・エンドは、システムの要件に応じて能動回路（アンプを使用）として構成される場合もあれば、受動回路（トランスまたはバランを使用）として構成される場合もあります。いずれにせよ、対象とする周波数帯域において最適なA/D変換性能を得るには、使用する部品を慎重に選定しなければなりません。

通常、RFサンプリングADCは、ディープ・サブミクロンのCMOSプロセス技術を用いて製造されます。半導体素子に関する物理学にのっとり、トランジスタはサイズが小さいほど低い電圧で使用できます。一方で、データシートを見ると、絶対最大定格という項目がありますが、これはデバイスに印加可能な電圧の上限/下限値を定めたものです。絶対最大定格を超える値が印加された場合、デバイスの信頼性は低下する恐れがあります。最新のRFサンプリングADCのデータシートを見ると、旧世代のICと比べて、定格電圧の値が低くなっていることが確認できるはずです。

無線システム向けに、ADCによってアナログの入力信号をデジタル・データに変換するレシーバ回路を設計するケースを考えます。この場合、システム設計者は入力電圧が絶対最大定格を超えないように、細心の注意を払う必要があります。絶対最大定格を超える入力電圧は、ADCの使用期間を通した性能と信頼性に直接的に影響を及ぼすからです。ADCの信頼性が低いと、何らかの原因で無線システム全体が使用不能になる可能性があり、その交換にはおそらく莫大なコストがかかるでしょう。

RFサンプリングADCは、過電圧が印加されるリスクを排除するため、閾値を超える高電圧を検出する回路を備えています。ADCで構成したレシーバでは、その検出結果を使用し、自動ゲイン制御（AGC）ループによってゲインを調整することで、過電圧を補償できるようになっています。ただし、パイプライン型のADCの場合、変換方式に依存する遅延によって、一時的に入力部が高電圧にさらされる可能性があります。その影響により、何らかの問題が生じる可能性があるということです。本稿では、そうしたシステムにおいてADCを保護できるように、AGCループを拡張するシンプルな方法を紹介します。

## 入力部のアーキテクチャ

RFサンプリングADCは、様々な方式/構成によって実現されます。その中で最も一般的なのは、複数のステージを直列に接続してアナログ信号をデジタル信号に変換す

るパイプライン型のアーキテクチャを使用する方法です。この場合、最も重要な部分となる最初のステージは、バッファ付き、バッファなしのいずれかの方法で設計されます。どちらを選択するのは、設計上の要件や性能の目標によって決まります。例えば、バッファ付きのADCは、一般的に周波数帯域の全体にわたって高いSFDRが得られる一方で、バッファなしのADCと比べて消費電力が多くなります。

フロント・エンドの設計は、ADCがバッファを備えているか否かに応じて異なります。バッファがないADCでは、入力部で生じる電荷のキックバックに対処するために直列抵抗を追加しますが、それによってSFDRの性能も向上します。図1は、バッファ非内蔵型のRFサンプリングADC「AD9625」の入力部の等価回路です。一方、図2はバッファ内蔵型のRFサンプリングADC「AD9680」の入力部の等価回路です。ここでは、図を簡略化するために、シングルエンド入力の場合の例を示しています。

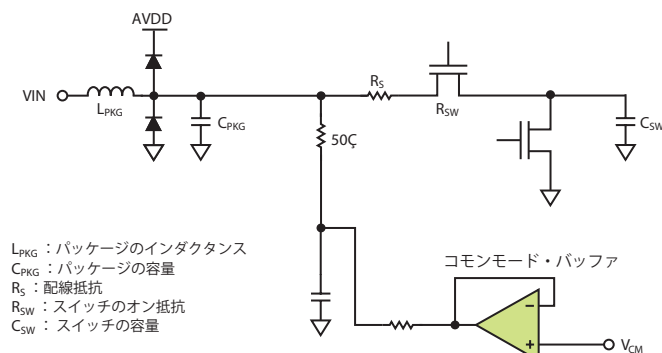


図1. バッファ非内蔵型RFサンプリングADCの入力部の等価回路

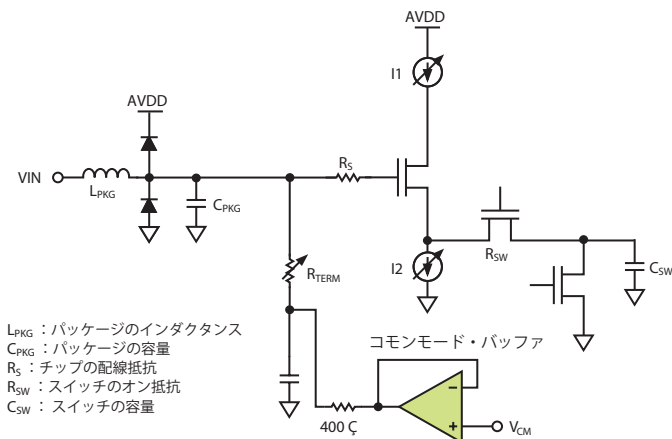


図2. バッファ内蔵型RFサンプリングADCの入力部の等価回路

アーキテクチャにかかわらず、ADCの入力部で持続可能な絶対最大定格電圧は、MOSFETが対応できる電圧によ

って決まります。バッファ付きの入力回路はバッファなしの場合よりも複雑で、なおかつ消費電力も多くなります。ADCにはさまざまな種類のバッファが使われますが、最も一般的なのはソース・フォロウ回路です。

### 故障のメカニズム

故障のメカニズムは、ADCにバッファがあるかどうかで異なります。ただし、通常はゲート・ソース間電圧 $V_{GS}$ またはドレイン・ソース間電圧 $V_{DS}$ が許容可能な最大値を超えた場合に故障が発生します（図3）。

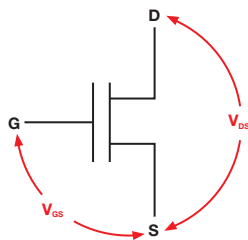


図3. MOSトランジスタの $V_{GS}$ と $V_{DS}$

例えば、 $V_{DS}$ が許容可能な最大電圧を超えると、ドレイン・ソース間でブレイクダウン故障が生じます。この故障は、一般的にはMOSFETがオフの状態にあるときに、ソースを基準としてドレインに過電圧が印加されることによって生じます。一方、 $V_{GS}$ が許容可能な最大電圧を超えると、ゲート・ソース間でパンチ・スルー故障（酸化膜のブレイクダウンとも呼ばれる）が生じます。こちらは、一般的にはMOSFETがオンの状態にあるときに、ソースを基準としてゲートに過電圧が印加されることによって生じます。

### バッファ非内蔵型ADCの故障メカニズム

図4に示したのは、バッファ非内蔵型ADCの入力部です。サンプリング処理は、互いに逆位相のクロック信号 $\Phi$ と $\bar{\Phi}$ によって制御されます。これらのクロック信号は、それぞれMOSFETであるM1のサンプル/ホールド信号と、同M2のリセット信号として機能します。M1がオンのときM2はオフで、コンデンサ $C_{SW}$ は信号をトラッキングします（サンプル・モードまたはトラック・モード）。M1がオフになると、MDAC（ステージ間残留アンプ）内のコンパレータがそれを確認した後にM2がオンになり、コンデンサ $C_{SW}$ がリセットされます。これにより、次のサンプリング・フェーズに向けてサンプリング・コンデンサの準備が行われます。正常な状態では、この回路は順調にこの動作を繰り返します。

しかし、入力部に高電圧が印加されると、回路に負荷がかかってM2の $V_{DS}$ が上限値を上回ります。その高電圧に対してサンプリングが行われると（M1がオンでM2がオフ）、M2は高い $V_{DS}$ にさらされることになります。M2がオフになる時間は、サンプリング・クロックの半周期未満です。しかし、その短い間に高電圧にさらされることによって、回路の信頼性が低下し、時間の経過に伴ってADCが正しく動作しなくなる恐れがあります。一方で、入力信号がM1のドレイン側に存在するため、M1はリセット・モード（M1がオフでM2がオン）において高い $V_{DS}$ にさらされます。

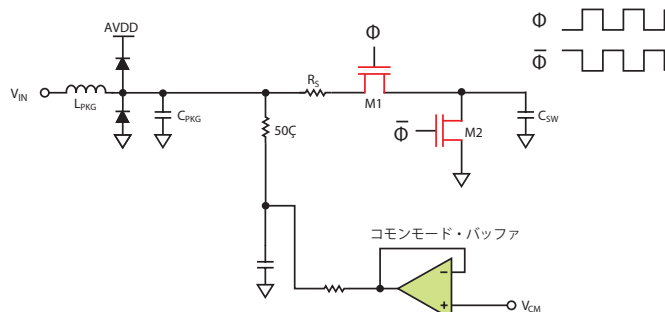


図4. バッファ非内蔵型ADCの入力部の故障モード

### バッファ内蔵型ADCの故障メカニズム

図5に示したのは、バッファ内蔵型ADCの入力部です。サンプリング信号とリセット信号には、バッファ非内蔵型の場合と同じクロック機構が適用されます。位相とは関係なく、バッファM3のゲートに高電圧が印加されると、回路に負荷がかかって電流I1とI2が流れます。電流源I1にはPMOSトランジスタ、同I2にはNMOSトランジスタが使われます。M3のゲートに高電圧がかかると、I1とI2の両MOSFETに過度な $V_{DS}$ が生じます。また、M3のゲートに印加される高電圧は、パンチ・スルー故障（酸化膜のブレイクダウン）が引き起こされる原因にもなります。

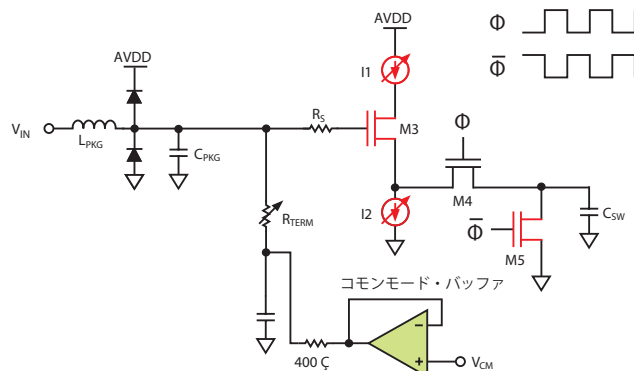


図5. バッファ内蔵型ADCの入力部の故障モード

バッファ内蔵型ADCと非内蔵型ADCとでは、ブレイクダウンのメカニズムが異なります。そのため、入力電圧の絶対最大定格も異なります（表1）。

表1. バッファ内蔵型ADCと非内蔵型ADCの絶対最大定格

| ADCの基本仕様         | プロセス・ノード [nm] | 入力部の構造  | 入力電圧の絶対最大定格 [V] | 差動振幅 [V <sub>p-p</sub> ] |
|------------------|---------------|---------|-----------------|--------------------------|
| 14ビット<br>105MSPS | 350           | バッファ内蔵  | 7               | 9.2                      |
| 14ビット<br>125MSPS | 180           | バッファ非内蔵 | 2.0             | 4.5                      |
| 16ビット<br>250MSPS | 180           | バッファ内蔵  | 3.6             | 6.0                      |
| 12ビット<br>2.5GSPS | 65            | バッファ非内蔵 | 1.52            | 4                        |
| 14ビット<br>1.0GSPS | 65            | バッファ内蔵  | 3.2             | 4.6                      |

## TVSダイオードによるADC入力部の保護

ADCの入力部を高電圧から保護するための方法は複数存在します。例えば、一部のADC（特にRFサンプリングADCなど）は、プログラムされた閾値を超えた場合にそれを検出・報告する回路を内蔵しており、その回路を利用して、入力部を高電圧から保護できます。ただし、データシートに記載されているように、そのような高速検出（Fast Detect）機能の出力には遅延が生じるため、ADCの入力部は短時間ではあるものの高電圧にさらされることになります。

過電圧の抑制には、TVS（Transient Voltage Suppression：過渡電圧抑制）ダイオードが使われますが、これを使用すると通常動作時のADCの性能が低下します。図6に、過電圧から保護するためにTVSダイオードを使用する回路例を示します。

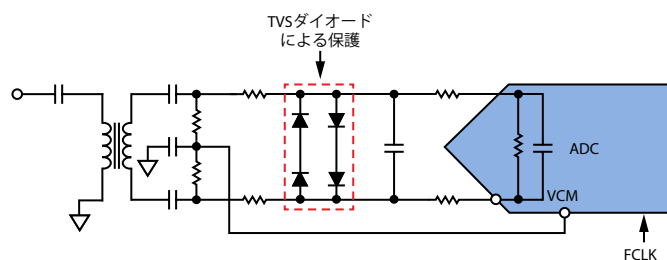


図6. TVSダイオードによる保護機能を備えたADC用フロント・エンド回路

TVSダイオードは、過電圧をクランプすることでADCの入力部を保護しますが、その存在は高調波性能を著しく低下させます。図7に、バッファ非内蔵型ADCの特性を示すFFT結果を示しました。このADCは分解能が14ビットでサンプル・レートが250MSPS（メガサンプル/秒）です。図7はこれに周波数が30MHz、振幅が-1dBFSの信号を入力した結果です。フロント・エンドにTVSダイオードを付加した場合と付加しない場合に、どのような違いが生じるのかがわかります。

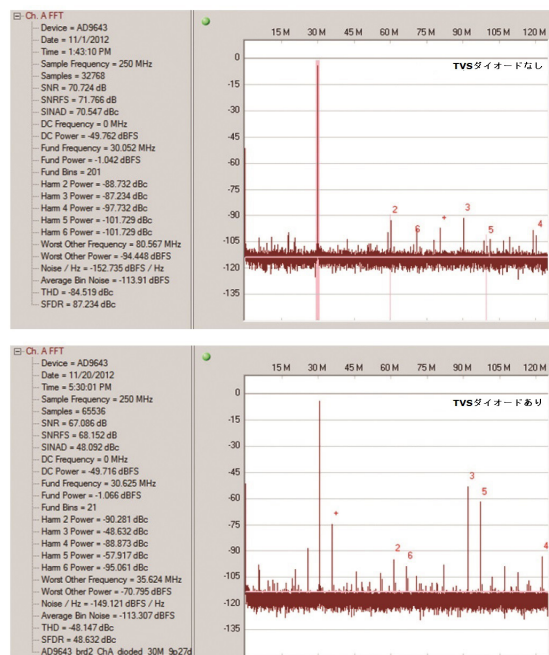


図7. ADC出力のFFT結果。フロント・エンド回路においてTVSダイオードによる保護を行う場合と行わない場合の比較

TVSダイオードは、クランプしていない状態では逆バイアスがかかったダイオードとして振る舞うため、特に奇数調波を増大させます。このPNダイオードには接合容量 $C_{j0}$ が存在します。一方、ADCの内部では、スイッチング動作によって非線形のキックバック電流が生じます。このキックバック電流と $C_{j0}$ によって電圧が生じ、その電圧がアナログ入力信号に混合します。この混合信号がADCの内部でサンプリングされることによって、大きな3次高調波が生じるのです。図8に、過電圧が生じている状況における時間領域のグラフを示しました。ご覧のように、TVSダイオードによるクリッピング動作が現れています。ただし、この結果はTVSダイオードはADCの入力部の保護には適していないということを意味するわけではありません。必要な性能を得るためには、ダイオードの仕様を慎重に検討しなければならないということです。十分な検討を行ったうえで、ダイオードの種類とパラメータを決定する必要があります。

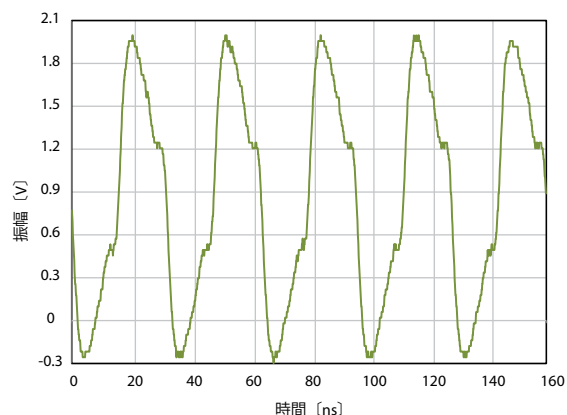


図8. フロント・エンド回路において、保護用のTVSダイオードによって生じた信号のクリッピング

## ショットキー・ダイオードによる保護

帯域幅とサンプル・レートがそれぞれGHzやGSPSのレベルである場合、RFサンプリングADCを使用することによって、無線レシーバの設計を大幅に簡素化することができます。ADCの前に多数のミキシング段を配置する必要がないからです。しかし、それによってADCの入力部は過電圧の影響を受けやすくなります。図9に示したのは、RFサンプリングADCをアンプで駆動する一般的なフロント・エンド回路です。最新型のアンプの中には、この種のADCとの接続用に特別に設計されているものがあります。そうしたアンプには、高速アタック（Fast Attack）用の入力ピンが設けられています。SPI（Serial Peripheral Interface）を介してその設定を行うことで、所定のレベルまで出力を減衰させることができます。高速アタック用のピンは、RFサンプリングADCからの高速検出出力にตอบสนองするように設定することが可能です。高速アタック機能を備える最新型アンプとしては、ADIの「[ADA4961](#)」が挙げられます。一方、先に紹介したAD9680やAD9625といった製品は高速検出機能を備えるRFサンプリングADCの実例です。

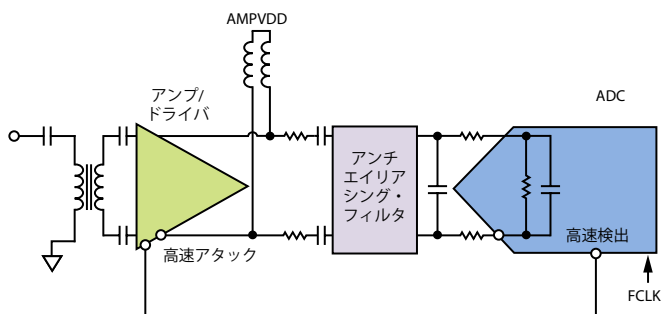


図9. 高速アタック機能を備えるアンプで高速検出機能を備えるRFサンプリングADCを駆動する回路

図9の回路は、入力電圧が所定の範囲内にあれば正しく動作します。仮に、このレシーバ回路の信号パスで入力部が急に高電圧のバースト信号にさらされたとします。すると、出力はアンプの電源電圧（この場合は5V）まで上昇し、ADCの入力部には絶対最大定格を超える大きな電圧振幅が生じます。その場合、高速検出機能が働きますが、出力には遅延（AD9680-1000の場合は28クロック・サイクルで28ns）が生じます。つまり、高速検出機能のロジック出力によってアンプが高速アタックを検知するまでは、わずかではあるものの、時間がかかるということです。その結果、ADCは数クロック・サイクルの間、高電圧にさらされる状態になり、そのままではADCの信頼性が低下する恐れがあります。したがって、このリスクを許容できないシステムを設計する場合には、二次的な保護策が必要になります。具体的には、素子そのものの容量と寄生容量が小さく、応答が速いショットキー・ダイオードを使用するのが有効です。ショットキー・ダイオードの主要なパラメータは、データシートで確認することができます。以下に、ポイントになるパラメータを挙げます。

- 逆ブレイクダウン電圧 ( $V_{BR}$ ) :  
AD9680の入力端子における最大入力電圧は、アナログ・グラウンド (AGND) を基準として約3.2Vとなる。そこで、逆ブレイクダウン電圧が3Vの製品をショットキー・ダイオードとして選択する
- 接合容量 ( $C_{j0}$ ) :  
ADCの通常動作時のAC性能 (S/N比やSFDR) に影響を及ぼさないようにするため、接合容量ができるだけ小さい製品をショットキー・ダイオードとして選択する

図10は、ADCの前段にショットキー・ダイオードを配置した受動型のフロント・エンド回路です。このショットキー・ダイオードにより、AC性能を損なうことなくADCの入力部を保護することができます。

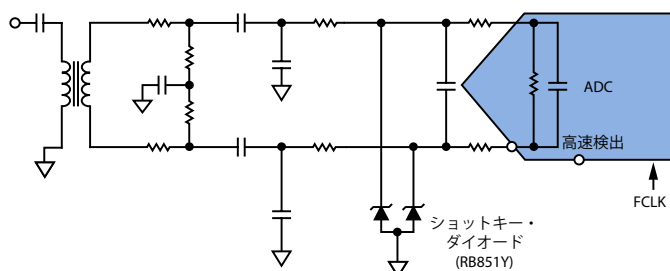


図10. RFサンプリングADCの保護のためにショットキー・ダイオードを使用した受動型のフロント・エンド回路

表2に示した主要なパラメータから、RF対応のショットキー・ダイオード「RB851Y」がこのADCを使用するアプリケーションに適していることがわかります。そこで、RB851Yを使用し、最大2GHzの入力周波数でRFサンプリングADCのテストを実施しました。テストの結果、このダイオードの働きによって、AGNDを基準とする絶対最大定格である3.2V以上の電圧は、ADCの入力部に印加されないということが確認できました。

図11は、ADCのシングルエンド入力 (VIN+ピン) が185MHzの高電圧信号にさらされた様子を示しました。ショットキー・ダイオードは、AGNDを基準として約3.0Vまでに電圧をクランプしており、ADCの入力部が上限の3.2Vに達するのを防いでいます。図12に示したのは、AD9680の入力部において、ショットキー・ダイオードによってクリッピングされた差動信号です。

表2. RFサンプリングADCの入力部の保護に使用されるショットキー・ダイオードの主要なパラメータ

| パラメータ                        | 値   | 単位 | 備考                                    |
|------------------------------|-----|----|---------------------------------------|
| 逆方向電圧 ( $V_R$ )              | 3   | V  | AD9680のデータシートに記載されているVIN±の絶対最大定格は3.2V |
| 端子間容量 ( $C_{j0}$ または $C_t$ ) | 0.8 | pF | 通常の条件下においてADCの性能に対する影響は小さい            |

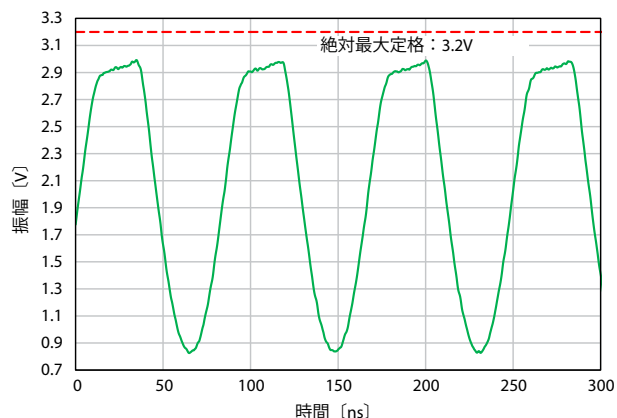


図11. ショットキー・ダイオードによってクリッピングされたADCのシングルエンド入力

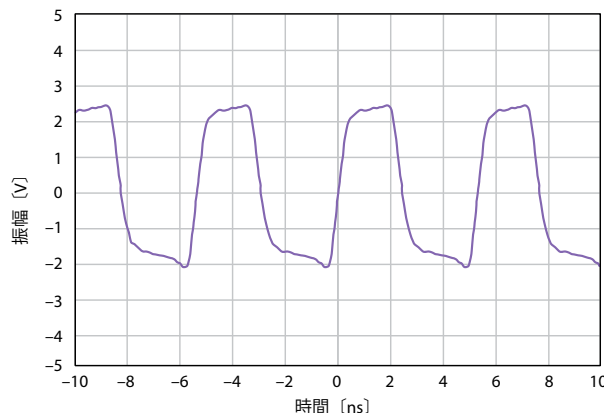


図12. ショットキー・ダイオードによってクリッピングされたAD9680の差動入力

次に、通常動作時の性能を測定しました。AD9680はデータシートの推奨内容に基づいて制御しましたが、入力部については図10に示す構成を適用しました。アナログ入力周波数は、10MHz～2GHzの範囲で変化させました。使用しているショットキー・ダイオードはC<sub>10</sub>が非常に小さいので、ADCのS/N比とSFDRに影響を及ぼすことはないはずです。

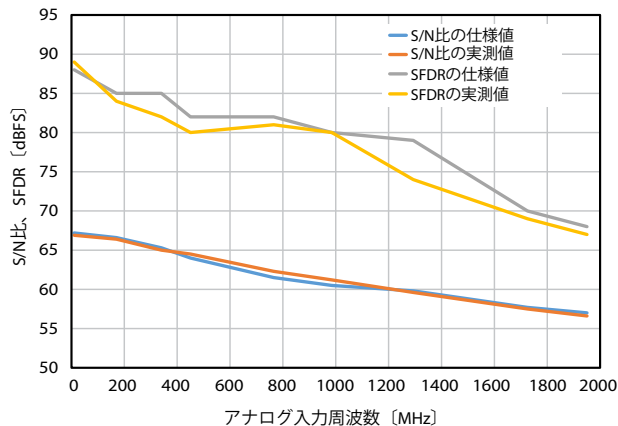


図13. ショットキー・ダイオードによる保護を適用した場合のAD9680のS/N比とSFDR

図13に示すように、S/N比についてはショットキー・ダイオードによる影響はまったく現れませんでした。しかし、SFDRについては一部の周波数でデータシートに記載された値からの逸脱が見られました。この逸脱は、差動信号の不整合またはADCからのキックバックが原因だと考えられます。評価用ボードは、DCから2GHzまでの広い帯域に対応するように設計されているので、帯域全体にわたり適切に機能しますが、一部の部品がある特定の周波数においてショットキー・ダイオードの影響を受けた可能性があります。

ほとんどのアプリケーションは、2GHzの帯域全体を使用するわけではないため、対象とする信号の帯域幅に応じてフロント・エンドをチューニングすることができます。図14に示すように、ショットキー・ダイオードを慎重に選定することによって、ADCの入力部を保護し、最新の高速アタック機能と高速検出機能を利用するアンプ駆動型のフロント・エンド回路を構成することが可能です。

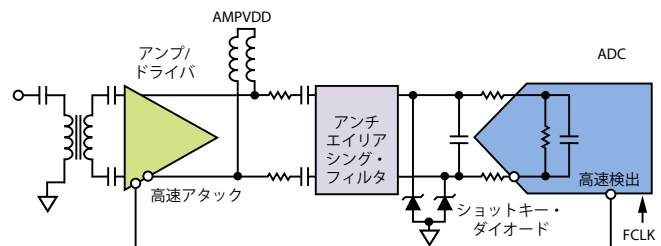


図14. ADA4961を使用して構成したAD9680用の駆動回路（RFサンプリングADCにショットキー・ダイオードを適用している）

## まとめ

本稿では、ショットキー・ダイオードを使用して、RFサンプリングADCの入力部を過電圧から保護する方法を紹介しました。この方法を採用する場合は、ダイオードのデータシートをよく読み、慎重な検討を行うことが重要です。対象とする帯域において最適な性能を得るために、本稿で紹介した回路の採用をぜひ検討してください。RFサンプリングADCの高速検出出力は、最新のアンプの高速アタック入力に対応します。これらを利用することで、AGCループを制御することが可能になります。

## 関連資料

Rob Reeder/Jim Castera「アプリケーション・エンジニアに尋ねる— 36、広帯域A/Dコンバータ・フロントエンド設計についてII：ADCの駆動に適しているのはアンプか、それともトランスか？」Analog Dialogue 41-02

Walt Kester「The Data Conversion Handbook」Analog Devices, Inc., 2004年

MT-228:「高速ADCアナログ入力、インターフェースの考慮事項」

Rob Reeder「Kicking Back at High-Speed, Unbuffered ADCs」Electronic Design, 2011年

Rob Reeder「Test High-Speed ADCs for Analog-Input Phase Imbalance」UBM Electronics, 2011年

D. K. Shedge/D. A. Itole/M. P. Gajare/P. W. Wani「Analysis and Design of CMOS Source Followers and Super Source Follower」ACEEE



## 著者：

Umesh Jayamohan (umesh.jayamohan@analog.com) は、米ノースカロライナ州グリーンズボロにあるADIの高速コンバータ・グループに所属するアプリケーション・エンジニアです。1998年にインドのケララ大学で学士号を取得し、2002年にアリゾナ州立大学で修士号を取得しています。その後、7年間にわたり、設計エンジニア/アプリケーション・エンジニアとして活動した経験を有しています。



Umesh Jayamohan

この著者が執筆した他の技術文書

迅速な事前評価を可能にするADCモデリング・ツール

Analog Dialogue 48-11