

逐次比較型ADC向けに、信頼性の高いデジタル・インターフェースを設計する

著者：Steven Xie

はじめに

逐次比較型のA/Dコンバータ（ADC）は、5MSPSのサンプリング速度、18ビットの分解能といった高い性能を必要とするアプリケーションでよく使用されています。SAR（Successive-approximation Register）ADCとも呼ばれるこの種のICは、小型、低消費電力、パイプラインによる遅延がない、使いやすいなどの長所を備えています。

ホスト・プロセッサからADCへのアクセスや制御は、SPI（Serial Peripheral Interface）、I²C、LVDS（Low Voltage Differential Signaling）といったさまざまなシリアル/パラレル・インターフェースを介して行うことができます。本稿では、信頼性と集積度の高いデジタル・インターフェースの設計について解説します。具体的には、デジタル電源のレベル/シーケンス、ターンオン時のI/Oの状態、インターフェースにおけるタイミング、信号の品質、デジタル動作によって生じる誤差について論じます。

デジタルI/O電源のレベルとシーケンス

ほとんどのSAR ADCは、デジタルI/Oの電源用に入力ピン（ V_{IO} または V_{DRIVE} ）を備えています。デジタル部の動作電圧とインターフェースの論理的な互換性はこれによって決まります。この入力ピンの電圧は、ホスト（マイクロコントローラ、DSP、FPGA）のインターフェースの電源電圧と同じでなければなりません。一般に、デジタル入力のレベルは、絶対最大定格に違反しないようにDGND-0.3V~ $V_{IO}+0.3V$ の範囲内にあります。また V_{IO} ピンとDGNDの間には、短いパターンでデカップリング・コンデンサを接続します。

複数の電源を使用して動作するADCでは、電源投入のシーケンスが明確に規定されている場合があります。アプリケーション・ノート「AN-932 Power Supply Sequencing」は、ADC向けの電源設計を行ううえで非常に参考になります。ESD保護用のダイオードに順方向バイアスがかかったり、「unknown」の状態デジタル・コアに電源を投入したりすることを避けるために、インターフェース回路の電源よりも前にI/Oの電源を投入すべきです。通常、アナログ電源はI/O電源よりも前に投入しますが、すべてのADCにおいてこの順が適切なわけではありません。データシートに記載された規定に従って、適切なシーケンスで電源を投入してください。

ターンオン時のデジタルI/Oの状態

一部のSAR ADCでは、初期化を適切に行うために、リセットやスタンバイ、パワーダウンなどのデジタル機能について定められた論理状態やシーケンスを順守すること

が必要になります。すべての電源が安定した後、想定した状態でADCの動作を開始させるために、特定のパルスや信号を印加しなければならないこともあります。例えば、アナログ・デバイス（ADI）のデータ・アキュイジション・システム「AD7606」の場合、電源を投入した後に通常に動作させるためには、ハイの期間が50ns以上続くパルスをRESETピンに印加する必要があります。

すべての電源が完全に確立するまで、デジタル・ピンはトグルさせないでください。SAR ADCの変換開始ピン（CNVST）はノイズに弱い場合があります。図1では、 AV_{CC} 、 DV_{CC} 、 V_{DRIVE} が立上っている最中に、ホストであるCPLDがCNVSTをハイにしています。この場合、SAR ADCである「AD7367」では状態がunknownになることがあります。これを避けるために、ホストは電源がすべて完全に立上がるまでCNVSTをローに保つ必要があります。

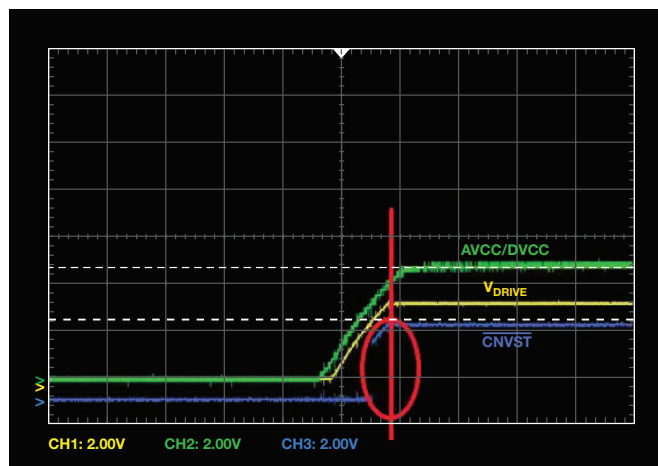


図1. 電源を立てている最中にCNVSTをハイにした結果（ADCの状態がunknownになる場合がある）

デジタル・インターフェースのタイミング

A/D変換が完了したら、ホストはシリアルまたはパラレル・インターフェースを介してデジタル・データを読み出すことができます。読み出しを正しく行うには、SPIバス向けに使うモードなどに関するタイミング仕様に従う必要があります。くれぐれも、デジタル・インターフェースのタイミング仕様に違反しないようにしてください。特にADCとホストのセットアップ・タイム/ホールド・タイムは重要です。最高ビット・レートは、規定された最小クロック周期だけで決まるのではなく、全体のサイクルで決まります。図2ならびにその次に示す式は、セットアップ・タイム/ホールド・タイムのマーゼンの計算方法の例です。ホストはADCにクロックを送信して

ADCからのデータ出力を読み出します。

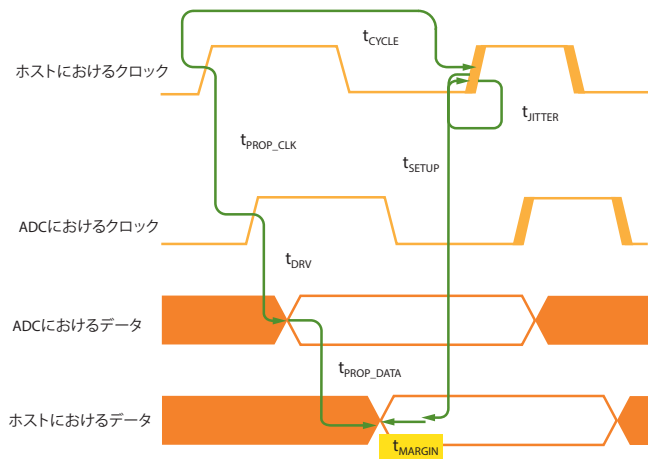


図2. セットアップ・タイム/ホールド・タイムのマージン

$$t_{\text{CYCLE}} = t_{\text{JITTER}} + t_{\text{SETUP}} + t_{\text{PROP_DATA}} + t_{\text{PROP_CLK}} + t_{\text{DRV}} + t_{\text{MARGIN}}$$

t_{CYCLE} : クロック周期 = $1/f_{\text{CLOCK}}$

t_{JITTER} : クロック・ジッタ

t_{SETUP} : ホストのセットアップ・タイム

t_{HOLD} : ホストのホールド・タイム

$t_{\text{PROP_DATA}}$: ADCからホストへの伝送路におけるデータの伝搬遅延

$t_{\text{PROP_CLK}}$: ホストからADCへの伝送路におけるクロックの伝搬遅延

t_{DRV} : クロックの立上がり/立下がりエッジの後のデータ出力の有効時間

t_{MARGIN} : マージン・タイム ≥ 0 であればセットアップ・タイム/ホールド・タイムは要件を満たしている。
 < 0 である場合、セットアップ・タイム/ホールド・タイムは要件を満たしていない

ホストのセットアップ・マージンは次式で表されます。

$$t_{\text{MARGIN_SETUP}} = t_{\text{CYCLE, MIN}} - t_{\text{JITTER}} - t_{\text{SETUP}} - t_{\text{PROP_DATA}} - t_{\text{PROP_CLK}} - t_{\text{DRV, MAX}}$$

セットアップ・タイムの式を使えば、システムの最大遅延時間の観点から最小クロック周期あるいは最大周波数を決めることができます。タイミング仕様を満たすには、式の計算結果が0以上でなければなりません。大きなシステム遅延に対処するには、周期を長くします（クロック周波数を低くします）。バッファ、レベル・シフタ、アイソレータなど、バスにコンポーネントを加えた場合には、 $t_{\text{PROP_CLK}}$ と $t_{\text{PROP_DATA}}$ にそれらによる遅延時間を加えます。

同様に、ホストのホールド・マージンは次式で表されます。

$$t_{\text{MARGIN_HOLD}} = t_{\text{PROP_DATA}} + t_{\text{PROP_CLK}} + t_{\text{DRV}} - t_{\text{JITTER}} - t_{\text{HOLD}}$$

ホールド・タイムの式は、ホールドに関する条件に反したことによる論理エラーを避けるために、システムの最小遅延要件を規定します。タイミング仕様を満たすためには、この式で求めた値も0以上にならなければなりません。

ADIのSAR ADCのうち、SPIに対応する製品の多くは、図3に示すようなタイミングで動作します。まず、MSBのデータは $\overline{\text{CS}}$ または CNV が立下がってからクロックでとられます。そして、残りのデータ・ビットは SCLK の立下がりエッジでとられます。MSBのデータを読み出すときは、式の t_{DRV} の代わりに t_{EN} を使用します。

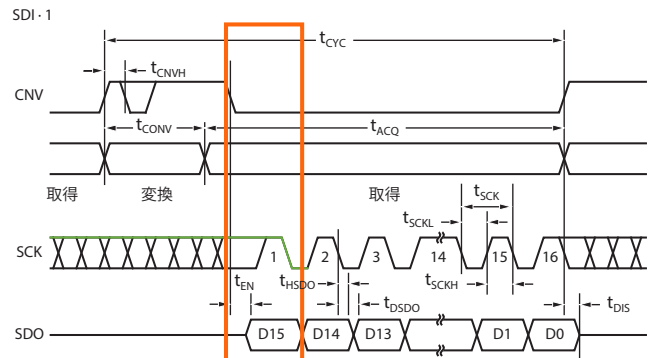


図3. SPIの3線式 $\overline{\text{CS}}$ モードにおけるタイミング・チャート（AD7980の例）

上で示したように、最大クロック・レートのほか、デジタル・インターフェースの最大動作速度も、セットアップ・タイム、ホールド・タイム、データ出力の有効時間、伝搬遅延、クロック・ジッタによって決まります。

図4は、 V_{IO} が3.3Vの条件で、DSPホストからADIのSAR ADC「AD7980」に3線式 $\overline{\text{CS}}$ モードでアクセスする場合の例です。この場合、DSPは SCLK の立下がりエッジで SDO の信号をラッチします。このDSPでは、最小セットアップ・タイムが5ns、最小ホールド・タイムが2nsと規定されているとします。また、プリント回路基板として、伝搬遅延が約180ps/インチの一般的なFR-4を使用しているとするほか、バッファの伝搬遅延は5nsであるとします。その場合、 CNV 、 SCLK 、 SDO による全体の伝搬遅延は次式のようにになります。

$$t_{\text{PROP}} = 180 \text{ ps/in} \times (9 \text{ in} + 3 \text{ in}) + 5 \text{ ns} = 7 \text{ ns.}$$

$$t_{\text{JITTER}} = 1 \text{ ns.}$$

$$t_{\text{CYCLE}} = 33 \text{ ns} \text{ (ホストのSCLKは30MHzで動作するため)}$$

$$t_{\text{SETUP_MARGIN}} = 33 \text{ ns} - 1 \text{ ns} - 5 \text{ ns} - 7 \text{ ns} - 11 \text{ ns} - 7 \text{ ns} = 2 \text{ ns}$$

$$t_{\text{HOLD_MARGIN}} = 11 \text{ ns} + 7 \text{ ns} + 7 \text{ ns} - 1 \text{ ns} - 2 \text{ ns} = 22 \text{ ns}$$

セットアップ・マージンとホールド・マージンはいずれも正の値になるため、図4の構成ではSPIの SCLK が30MHzという条件で問題なく動作します。

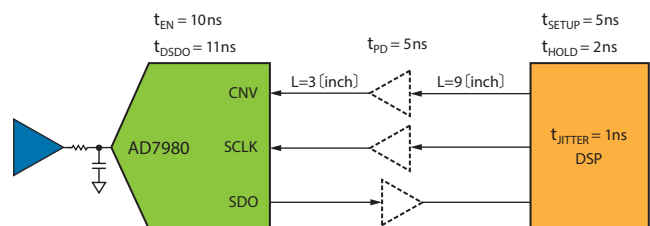


図4. DSPとAD7980の間のデジタル・インターフェース

デジタル信号の品質

タイミングと信号品質の両方を含む、デジタル信号の完全性（シグナル・インテグリティ）について考えてみます。シグナル・インテグリティが優れていれば、規定された電圧レベルで信号を受信できる、干渉を及ぼさない、ほかのデバイスにダメージを与えない、電磁スペクトルに不要な成分を生じさせないといったことが保証されます。

信号品質は、図5に示すように、多くの要素によって規定されます。ここでは、オーバーシュート、リングング、反射、クロストークを取り上げます。

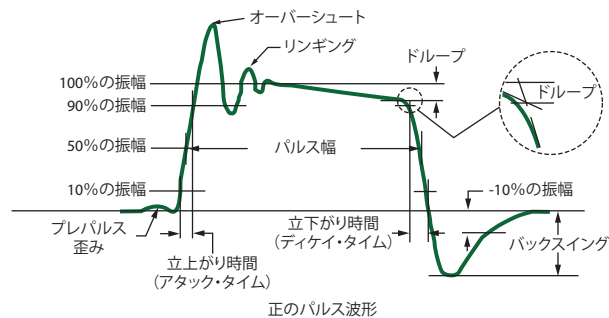


図5. 信号品質の一般的な仕様項目

反射はインピーダンスの不整合が原因で生じます。信号がパターンを伝わると、各インターフェースにおいて瞬時インピーダンスが変化します。信号の一部は反射し、一部は伝送ラインを伝わります。反射が生じることにより、レシーバ側ではオーバーシュート、アンダーシュート、リングングに加え、単調性を欠いたクロック・エッジが発生します。

オーバーシュートとアンダーシュートはICの入力保護回路に損傷を与える可能性があります。その結果、ICの寿命が短くなることもあります。図6にAD7606の絶対最大定格を示しました。記載されているとおり、デジタル入力電圧は $-0.3V \sim V_{DRIVE} + 0.3V$ の範囲内でなければなりません。 V_{IL} の最大値を超えるリングングや、 V_{IH} の最小値を下回るリングングは、論理エラーを発生させる可能性があります。

絶対最大定格
特に明記していなければ、 $T_A = 25^{\circ}C$

パラメータ	定格
$AV_{CC} \sim AGND$	$-0.3V \sim 7V$
$V_{DRIVE} \sim AGND$	$-0.3V \sim AV_{CC} + 0.3V$
[アナログ入力電圧] $\sim AGND$	$\pm 16.5V$
[デジタル入力電圧] $\sim DGND$	$-0.3V \sim V_{DRIVE} + 0.3V$
[デジタル出力電圧] $\sim GND$	$-0.3V \sim V_{DRIVE} + 0.3V$
[リファレンス入力] $\sim AGND$	$-0.3V \sim AV_{CC} + 0.3V$
[電源以外のピンへの入力電流]	$\pm 10mA$

図6. AD7606の絶対最大定格

反射を最小限に抑える方法としては、以下のようなものがあります。

- ・できるだけパターンを短くする
- ・パターンの特性インピーダンスを調整する
- ・スタブを取り除く

- ・適切な方法で終端する
- ・リターン電流のリファレンス・プレーンとして、小さなループ領域にソリッド・メタルを使用する
- ・駆動電流とスルーレートを小さくする

パターンの特性インピーダンスを計算するためのものとして、オンライン/オフラインのソフトウェア・ツールが数多く提供されています。Polar Instruments社の「Si9000 PCB Transmission Line Field Solver」がその一例です。このツールを使用すれば、伝送路のモデルを選択し、誘電体の種類と厚さ、パターンの幅/厚さ/セパレーションなどのパラメータを設定することによって、特性インピーダンスを容易に求めることができます。

IBIS (I/O Buffer Information Specification) は、ICが備えるデジタルI/Oのアナログ的な動作を記述するために新たに登場した規格です。ADIはSAR ADC向けのIBISモデルを提供しています。このモデルを利用すれば、ブリエアウト・シミュレーションによって、クロックの分配法、ICパッケージの種類、基板の層、ネット・トポロジ、終端方法を確認できます。また、配置/レイアウトに向けて、シリアル・インターフェースのタイミング制約を確認することも可能です。さらにポストレイアウト・シミュレーションでは、設計がすべてのガイドラインや制約を満たしていることを確認するとともに、反射やリングング、クロストークなどに関する違反が生じていないことを検証することができます。

図7に、AD7606のSCLKを駆動する回路を示しました。これは、12インチ (30.48cm) のマイクロストリップ・ラインを介してSCLK1に接続されたドライバ1と、マイクロストリップ・ラインと43Ωの直列抵抗を介してSCLK2に接続されたドライバ2のシミュレーションを行うためのものです。

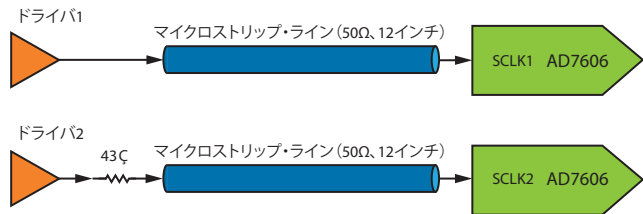


図7. AD7606のSCLKを駆動するドライバ

図8のシミュレーション結果を見ると、SCLK1では $-0.3V \sim 3.6V$ の絶対最大定格を超える大きなオーバーシュートが生じています。SCLK2では、直列に接続した抵抗によってスルーレートを低下させることで、仕様の範囲内に信号を維持しています。

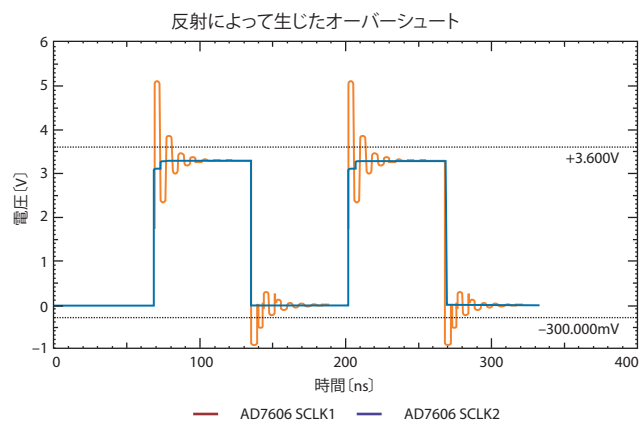


図8. AD7606のIBISモデルを使用したシミュレーションの結果（オーバーシュートが生じている）。

クロストークは、並行する伝送ライン間の相互キャパシタンス（電界）または相互インダクタンス（磁界）によって生じるエネルギー結合です。クロストークの大きさは、信号の立上がり時間、並行するラインの長さ、間隔によって決まります。

クロストークを制御するために、一般的には以下のような方法が用いられます。

- ・ライン間の間隔を広げる
- ・並行する部分を最小限に抑える
- ・パターンを金属のリファレンス・プレーンの近くに配置する
- ・適切な方法で終端する
- ・信号のスルーレートを下げる

デジタル動作によって生じる性能の低下

SAR ADCの性能は、デジタル動作の影響によって低下することがあります。ノイズの多いデジタル・グラウンド/電源、サンプリング・クロックのジッタ、デジタル信号の干渉によってS/N比が劣化してしまうためです。

ADCベースのシステムに生じるジッタには、チップ内部のトラック&ホールド回路によるアパーチャ・ジッタ（内部ジッタ）と、サンプリング・クロックのジッタ（外部ジッタ）の2つがあります。アパーチャ・ジッタとサンプリング・クロックのジッタは、特に入力信号の周波数が高い場合にS/N比を劣化させる要因になります。アパーチャ・ジッタはADCに固有の課題であり、サンプリング動作において変換開始時間がばらつくことによって生じます。変換誤差の主要原因は、サンプリング・クロックのジッタです。いずれのジッタもアナログ入力をサンプリングする際のタイミングのばらつきの原因になりますが、どちらの影響なのかを見分けることはできません（図9）。

ADCでは、トータルのジッタに依存して変換誤差が生じます。ADCのS/N比は以下の式のようにジッタによって制限されます。

$$\text{SNR} = 20 \log_{10} \left[\frac{1}{2 \pi f t_j} \right]$$

$$t_j = \sqrt{(\text{ADCのアパーチャ・ジッタ})^2 + (\text{サンプリング・クロックのジッタ})^2}$$

この式では、 f はアナログ入力周波数、 t_j はトータルのジッタ（rms値）です。

例えば、アナログ入力周波数が10kHz、トータルのジッタが1nsのとき、S/N比は84dBに制限されます。

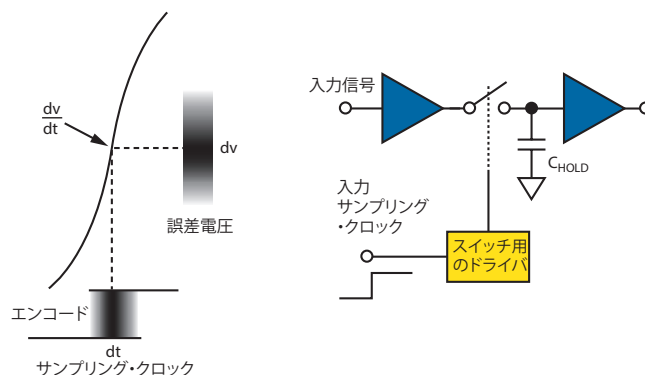


図9. サンプリング・クロックのジッタによって生じる誤差電圧

デジタル出力がスイッチングすることにより、電源ノイズが生じます。感度が高い（ノイズに弱い）アナログ電源は、このノイズから隔離しなければなりません。アナログ電源とデジタル電源は、グラウンド・リターンの電流パスに注意しながら分離する必要があります。

高性能のSAR ADCの場合、電源が適切に分離されていたとしても、デジタル・インターフェースの動作からの影響を受けやすいと言えます。実際、連続したクロックを使用するよりも、バースト・クロックを使用した方が良好に動作するというのはよくあることです。通常、データシートには、インターフェースに変化を起こすべきでないクワイエット・タイムが示されています。その時間（通常はサンプリングの瞬間ないしは重要なビットの判断を行っているとき）にデジタル動作を最小限に抑えるのは、スループット（変換速度）が高くなると難しくなります。

まとめ

SAR ADCの変換を高い精度で行うためには、デジタル動作に注意する必要があります。デジタル動作に起因するエラーによってSAR ADCの状態がunknownになり、正常に動作しなかったり、性能が低下したりすることがあります。問題が生じたとき、根本的な原因を探って解決策を見いだすために、ぜひ本稿を役立ててください。

関連資料

Kester, Walt 「[Data Converter Support Circuits](#)」 Data Conversion Handbook, Chapter 7. Analog Devices, 2004.

Brannon, Brad AN-756 アプリケーション・ノート「[サンプリングシステムに及ぼすクロック位相ノイズとジッタの影響](#)」 Analog Devices, 2005年

Ritchey, Lee W 「[Right the First Time: A Practical Handbook on High-Speed PCB and System Design](#)」 Volume 1. Speeding Edge, 2003

Usach, Miguel AN-1248 アプリケーション・ノート「[SPI インターフェース](#)」Analog Devices, 2015年

Casamayor, Mercedes AN-715 Application Note「[A First Approach to IBIS Models: What They Are and How They Are Generated](#)」Analog Devices, 2004



著者：

Steven Xie (steven.xie@analog.com) は、2011年3月からADI北京支社の中国デザイン・センターでアプリケーション・エンジニアとして業務を行っています。中国全土を対象とし、SAR ADC製品の技術サポートを担当しています。それ以前は、Ericsson社のCDMAチームで4年間ハードウェア設計を担当していました。2007年に北京航空航天大学で通信/情報システムに関する修士号を取得しています。



Steven Xie

この著者が執筆した
ほかの技術文書

[Successive-Approximation
ADCs: Ensuring a Valid
First Conversion](#)

Analog Dialogue 47-04