

最適な設計を行うために、LDOに関する基本的な用語を理解する

著者：Glenn Morita

LDO（低ドロップアウト・レギュレータ）は、一見すると非常にシンプルなデバイスです。しかし、ノイズの多い信号源から負荷に影響が及ばないようにしたり、消費電力が重視される回路において低ノイズの電源を実現したりといった具合に、実際には重要な役割を果たします。

本稿では、LDOに関して使用されるいくつかの一般的な用語について解説します。ドロップアウト電圧、ヘッドルーム電圧、静止電流、グラウンド電流、シャットダウン電流、効率、負荷レギュレーション、DCライン・レギュレーション、DC精度、負荷過渡応答、ライン過渡応答、PSRR（電源電圧変動除去比）、出力ノイズ電圧といった基本的な概念について、例やグラフを示しながら説明していきます。

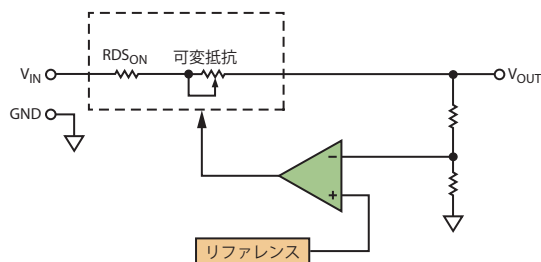
多くの場合、LDOは設計工程の終盤でほとんど吟味されることもなく選定されます。本稿で解説する基本的な用語の意味を理解することにより、設計者はシステムの要件に応じて最良のLDOを選定できるようになります。

ドロップアウト電圧

ドロップアウト電圧（ V_{DROPOUT} ）とは、それ以上、入力電圧が低下するとLDOによる調整が不可能になるときの入力と出力の電圧差です。ドロップアウト領域において、パス・エレメントはドレイン・ソース間のオン抵抗（ $R_{\text{DS(on)}}$ ）と等しい値を持つ抵抗のように動作します。ドロップアウト電圧は、 $R_{\text{DS(on)}}$ と負荷電流（ I_{LOAD} ）によって次のように表すことができます。

$$V_{\text{DROPOUT}} = I_{\text{LOAD}} \times R_{\text{DS(on)}}$$

パス・エレメント、チップ上の相互接続、リード、ボンディング・ワイヤによる抵抗を含む $R_{\text{DS(on)}}$ は、LDOのドロップアウト電圧から見積もることができます。ここでは、パッケージとしてWLCSPを採用したアナログ・デバイス（ADI）のLDO「ADP151」を例にとります。そのドロップアウト電圧は、200mAの負荷電流に対してワーストケースで200mVです。したがって、 $R_{\text{DS(on)}}$ は約1.0Ωとなります。図1に、LDOの概念図を示しました。ドロップアウトが生じたときには、図の可変抵抗の値がほぼゼロになります。このとき、LDOは出力電圧を調整できないので、ライン/負荷レギュレーション、精度、PSRR、ノイズといったパラメータは意味を持ちません。



備考

1. エラー・アンプが可変抵抗の値を制御することで、出力電圧が調整される
2. ヘッドルーム電圧が低い場合、可変抵抗の値はほぼ0Ωになる

図1. LDOの概念図

図2は、3.0V出力のLDO「ADM7172」の出力電圧と入力電圧の関係を示したものです。この製品の場合、ドロップアウト電圧は負荷電流が2Aの条件で通常は172mVなので、 $R_{\text{DS(on)}}$ は約86mΩとなります。ドロップアウト領域は、入力電圧が約3.172V～2.3Vの範囲です。入力電圧が2.3V以下になると、このデバイスは機能しません。負荷電流が少なくなると、それに比例してドロップアウト電圧も低下します。例えば、負荷電流が1Aの場合、ドロップアウト電圧は86mVです。ドロップアウト電圧が低いほどレギュレータの効率は高くなります。

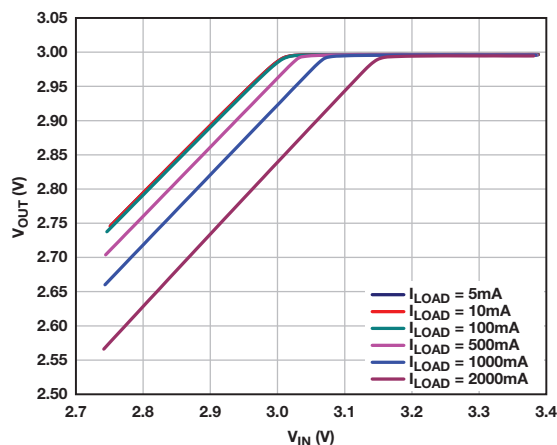


図2. 3.0V出力のLDOであるADM7172のドロップアウト領域

ヘッドルーム電圧

ヘッドルーム電圧とは、LDOの仕様を満たすために必要な入力と出力の電位差のことです。通常、データシートにはほかのパラメータの仕様値を規定する際の条件としてヘッドルーム電圧が記載されています。多くの場合、ヘッドルーム電圧は400mV～500mV程度ですが、なかには1.5Vものヘッドルーム電圧を必要とする製品も存在します。ヘッドルーム電圧をドロップアウト電圧と混同しないように注意してください。両者の値が等しくなるのはLDOがドロップアウトしたときのみです。

静止電流とグラウンド電流

静止電流（ I_Q ）とは、外部負荷に流れる電流がゼロである場合に、LDOの内部回路に電力を供給するために必要な電流のことです。これには、バンドギャップ・リファレンス、エラー・アンプ、出力用の分圧器、過電流検出回路、温度検出回路の動作電流が含まれます。静止電流の大きさは、回路の構成、入力電圧、温度によって決まります。

$$I_Q = I_{\text{IN}} \quad (\text{負荷がないときの入力電流})$$

図3に示すように、「ADP160」の静止電流は、2V～5.5Vの入力電圧に対してほぼ一定になります。

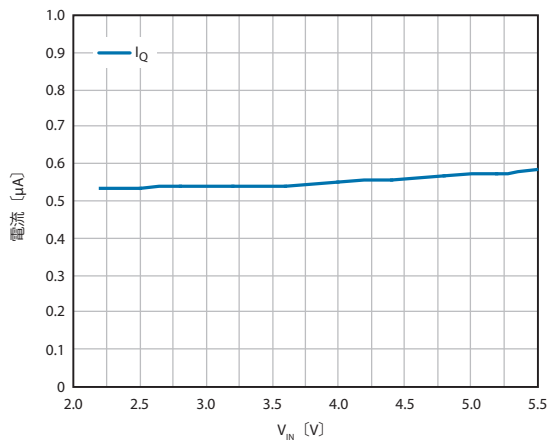


図3. ADP160の入力電圧と静止電流の関係

一方、グラウンド電流 (I_{GND}) は、入力電流と出力電流の差であり、必然的に静止電流を含みます。グラウンド電流が少ないほど、LDOの効率は高くなります。

$$I_{GND} = I_{IN} - I_{OUT}$$

図4に、ADP160における負荷電流とグラウンド電流の関係を示しました。

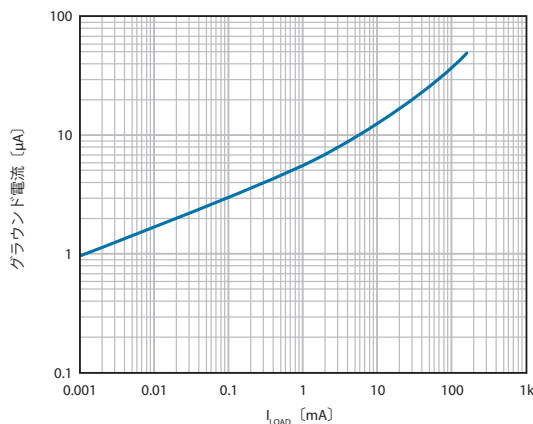


図4. ADP160のグラウンド電流と負荷電流の関係

高性能のCMOSを採用したLDOの場合、通常、グラウンド電流は負荷電流の1%をはるかに下回ります。グラウンド電流は負荷電流に伴って増加します。トランジスタのオン抵抗による電圧降下を補償するためには、パス・エレメントであるPMOSのゲート駆動を強化する必要があります。ドロップアウト領域では、ドライバ段が飽和し始めることによってグラウンド電流が増加します。CMOSのLDOは、消費電力が少ないことやバイアス電流が小さいことが重要な用途において、必須のデバイスと言えます。

シャットダウン電流

シャットダウン電流とは、LDOの出力がディスエーブルである場合の入力電流のことです。シャットダウン・モードでは、リファレンスとエラー・アンプには電力が供給されません。図5に示すように、リーク電流が多いと、温度の上昇に伴ってシャットダウン電流も増加します。

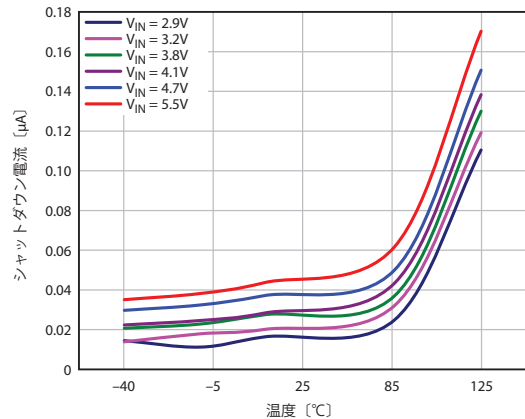


図5. ADP160のシャットダウン電流と温度の関係

効率

LDOの効率は、以下に示すように、グラウンド電流と入力電圧によって決まります。

$$[\text{効率}] = I_{OUT} / (I_{OUT} + I_{GND}) \times V_{OUT} / V_{IN} \times 100 [\%]$$

効率を高めるには、ヘッドルーム電圧とグラウンド電流を最小限に抑えなければなりません。また、入力と出力の電位差を最小にする必要があります。入力と出力の電位差は、負荷の条件にかかわらず、効率を左右する本質的な要素です。例えば、3.3V出力のLDOの効率は、5Vの入力電圧を使用した場合、決して66%を超えることはありません。しかし、入力電圧を3.6Vに下げれば効率は最大で91.7%まで向上します。LDOの消費電力は、 $(V_{IN} - V_{OUT}) \times I_{OUT}$ となります。

負荷レギュレーション

負荷レギュレーションは、さまざまな負荷の条件の下で、LDOが規定された出力電圧を維持する能力を表す指標です。図6に示す負荷レギュレーションは、次のように定義されます。

$$[\text{負荷レギュレーション}] = \Delta V_{OUT} / \Delta I_{OUT}$$

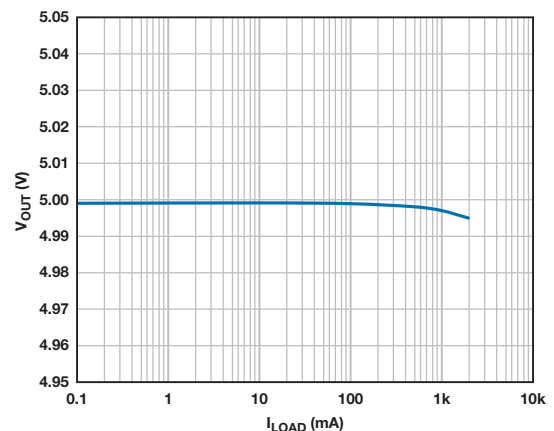


図6. ADM7172の出力電圧と負荷電流の関係

ライン・レギュレーション

ライン・レギュレーションは、さまざまな入力電圧の条件の下で、LDOが規定された出力電圧を維持する能力を表す指標です。ライン・レギュレーションは、次のように定義されます。

$$[\text{ライン・レギュレーション}] = \Delta V_{\text{OUT}} / \Delta V_{\text{IN}}$$

図7は、ADM7172において、負荷電流を変更した場合の入力電圧と出力電圧の関係を示したものです。負荷電流が多いほどLDOの全体的なループ・ゲインが低下し、ライン・レギュレーションも低下します。また、入力と出力の電位差が大きくなると、LDOの消費電力が多くなります。それによって接合部温度が上昇し、バンドギャップ電圧と内部のオフセット電圧が低下します。

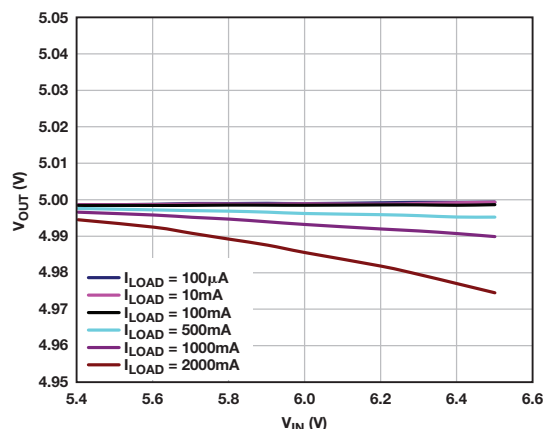


図7. ADM7172の入力電圧と出力電圧の関係

DC精度

LDOの全体的な精度は、ライン・レギュレーション/負荷レギュレーション、リファレンス電圧のドリフト、エラー・アンプの電圧ドリフトの影響を受けます。電源電圧が制御されている場合、LDOの出力電圧は、主にリファレンス電圧回路とエラー・アンプの温度ばらつきの影響で変動します。出力電圧の設定にディスクリートの抵抗を使用している場合、抵抗の許容誤差が全体的な精度に影響を及ぼす最大の要因になります。一般に、ライン・レギュレーション/負荷レギュレーションとエラー・アンプのオフセットは、全体的な精度の1~3%に相当します。

例として、3.3V出力のLDOの0°C~125°Cにおけるトータルの精度を計算してみます。ここでは条件として、抵抗の温度係数が±100ppm/°C、サンプリングした抵抗の許容誤差が±0.25%、負荷レギュレーションとライン・レギュレーションによる出力電圧の変化をそれぞれ±10mVと±5mV、リファレンスの精度を1%とします。

$$[\text{温度に起因する誤差}] = 125 [^{\circ}\text{C}] \times \pm 100 [\text{ppm}/^{\circ}\text{C}] = \pm 1.25 \%$$

$$[\text{サンプリングした抵抗に起因する誤差}] = \pm 0.25 \%$$

$$[\text{負荷レギュレーションに起因する誤差}] = 100 [\%] \times (\pm 0.01 [\text{V}] / 3.3 [\text{V}]) = \pm 0.303 \%$$

$$[\text{ライン・レギュレーションに起因する誤差}] = 100 [\%] \times (\pm 0.005 [\text{V}] / 3.3 [\text{V}]) = \pm 0.152 \%$$

$$[\text{リファレンスに起因する誤差}] = \pm 1 \%$$

ワーストケースの誤差は、すべての誤差が同じ方向に生じると仮定して計算します。

$$[\text{ワーストケースの誤差}] = \pm (1.25 [\%] + 0.25 [\%] + 0.303 [\%] + 0.152 [\%] + 1 [\%]) = \pm 2.955 \%$$

標準的な誤差は、ばらつきがランダムであると仮定して、二乗和の平方根 (rss: Root Square Sum) によって計算します。

$$[\text{標準的な誤差}] = \sqrt{(1.252 + 0.252 + 0.3032 + 0.1522 + 12)} = \pm 1.655 [\%]$$

LDOの誤差は、上記のワーストケースの誤差を上回ることはありません。一方、最も現実的な値はrss誤差となります。実際の誤差は、rss誤差を中心とし、ワーストケースの誤差を両端とする範囲に分布します。

負荷過渡応答

負荷過渡応答とは、負荷電流がステップ状に変化する際に起きる出力電圧の変動のことです。出力コンデンサの値、コンデンサのESR (等価直列抵抗)、LDOの制御ループのゲイン帯域幅、負荷電流の変化の大きさとスルーレートの関数として表されます。

負荷電流の過渡的な変化については、そのスルーレートが負荷過渡応答に多大な影響を及ぼすことがあります。例えば、100mA/μsといった具合に負荷電流の変化が非常に緩やかである場合、LDOの制御ループはその変化に追従できる可能性があります。しかし、負荷電流の変化が高速で、ループによる補償が間に合わない場合には、位相マージンが小さいことに起因して過度のリングングが発生するなど、望ましくない状態が生じる恐れがあります。

図8は、ADM7172において、負荷電流が3.75A/μsのスルーレートで1mAから1.5Aに変化する際の応答を示したものです。出力電圧の変動分が0.1%のレベルに回復するまでの時間は1.5μsです。この結果から、リングングが最小限に抑えられており、位相マージンが良好であることがわかります。

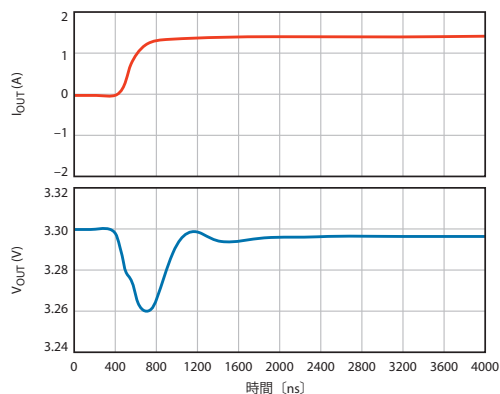


図8. ADM7172の負荷過渡応答 (赤い線で示したように、400nsのポイントで負荷電流が1mAから1.5Aに変化している。青い線が出力電圧)

ライン過渡応答

ライン過渡応答とは、入力電圧がステップ状に変化する際に起きる出力電圧の変動のことです。LDOの制御ループのゲイン帯域幅と、入力電圧の変化の大きさとスルーレートの関数として表されます。

図9は、入力電圧がステップ状に2V変化した際の「ADM7150」の応答を示したものです。このような出力電圧の変化から、ループ帯域幅とPSRR (詳細は後述) に

ついて把握することができます。1.5 μ sの間に生じる2Vの変化に対して出力電圧は約2mV変化しています。このことから、約100kHzにおいてPSRRは約60dBであることがわかります。

負荷電流の過渡的な変化の場合と同様に、ライン過渡応答についても、入力電圧のスルーレートがその特性に大きな影響を及ぼします。入力電圧がゆっくりと変化し、LDOの帯域幅の範囲内に十分に収まる場合には、リングングなどのような望ましくない変動が外部に現れることはありません。

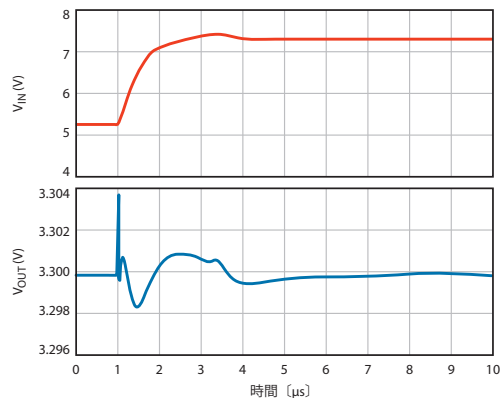


図9. ADM7150のライン過渡応答（赤い線で示したように、1.5 μ sの間にラインが5Vから7Vに変化している。青い線が出力電圧）

PSRR（電源電圧変動除去比）

LDOに供給される電源には、余分な信号（ノイズやリップル）が含まれている可能性があります。しかし、LDOはその影響が出力に現れないよう制御する能力を備えています。PSRRとは、その能力の強さを表す指標であり、以下の式で表されます。

$$\text{PSRR} = 20 \times \log(\text{VE}_{\text{IN}}/\text{VE}_{\text{OUT}})$$

ここで VE_{IN} と VE_{OUT} は、それぞれ入力と出力に現れる余分な信号を表します。

A/DコンバータやD/Aコンバータ、アンプなども、多くの場合、PSRRの能力を備えています。それらのデバイスでは、PSRRは内部回路に供給される入力電力に対して働くことになります。一方、LDOの場合、入力電源は内部回路に加え出力電圧にも電力を供給します。LDOのPSRRは、出力電圧に対する影響を抑える能力だと言えます。PSRRには、DCライン・レギュレーションと同じ関係がありますが、周波数スペクトル全体を対象とする点が異なります。

100kHz～1MHzの範囲のPSRRは非常に重要です。高効率の電源システムにはスイッチング電源がよく使用されます。しかし、スイッチング電源で生成した電源電圧には大きなノイズが存在します。それを感度の高いアナログ回路に直接供給するのは好ましくありません。そこでスイッチング電源で生成した電源電圧をいったんLDOに入力し、ノイズが除去された出力をアナログ回路に供給するということがよく行われます。

多くの場合、LDOではその制御ループがPSRRを最も大きく左右する要素になります。特に、周波数が制御ループのゲイン帯域幅を超える場合には、値が大きく、ESRが小さいコンデンサが有効です。

周波数の関数としてのPSRR

PSRRは周波数に依存するので、単一の値によって定義されることはあまりありません。LDOは、電圧リファレンス、エラー・アンプ、MOSFETやバイポーラ・トランジスタなどのパス・エレメントで構成されます。エラー・アンプは、出力電圧を制御するためのDCゲインを供給します。また、そのACゲインによってPSRRがほぼ決まります。標準的なLDOでは、10HzにおけるPSRRは最高で80dBにもなることがあります。しかし、数十kHzにおけるPSRRが20dBまで低下する可能性もあります。

図10は、エラー・アンプのゲイン帯域幅とPSRRの関係を示したものです。この図では、出力コンデンサとパス・エレメントの寄生容量からの影響は無視しています。3kHzでゲインがロール・オフし始めるまで、PSRRはオープンループ・ゲインの逆数となります。その後、PSRRは20dB/decadeで低下し、3MHz以上になると0dBに達します。

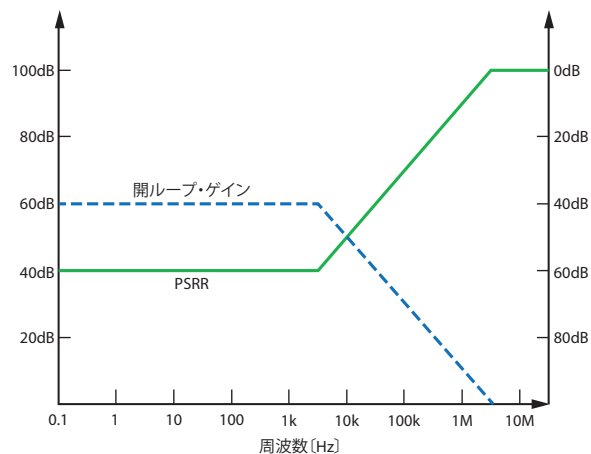


図10. LDOのゲインとPSRRの関係（簡素化した結果）

LDOのPSRR特性は、主に3つの周波数領域に分けることができます（図11）。リファレンス・アンプのPSRRに依存する領域、LDOのオープンループ・ゲインに依存する領域、出力コンデンサに依存する領域です。図のように、周波数の低い領域では、リファレンス・アンプのPSRRとLDOのオープンループ・ゲインに依存します。リファレンス・アンプを電源の変動から完全に隔離できるのが理想的な状態です。ただ実際には、エラー・アンプのフィードバックによって低周波領域におけるPSRRは高く維持されるので、リファレンス・アンプで電源ノイズを除去する必要があるのは最大でも数十Hzまでです。

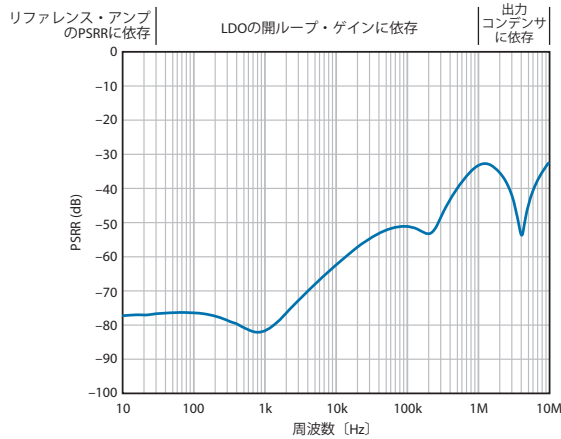


図11. 標準的なLDOにおけるPSRRと周波数の関係

10Hzを超える2つ目の領域では、PSRRはLDOのオープンループ・ゲインに最も大きく左右されます。この領域のPSRRは、ユニティ・ゲイン周波数まではエラー・アンプのゲイン帯域幅の関数になります。低い周波数では、エラー・アンプのACゲインはDCゲインと同じです。3dBのロール・オフ周波数に達するまで、ゲインは一定の値を保ちます。ロール・オフする3dBのポイントを超える周波数では、一般に、エラー・アンプのACゲインは周波数の増加に伴って20dB/decadeで低下します。

エラー・アンプのユニティ・ゲイン周波数を超えると、制御ループのフィードバックはPSRRには何の効果ももたらしません。PSRRは出力コンデンサと入/出力電圧間の寄生容量に左右されるようになります。この周波数領域では、出力コンデンサのESRとESL（等価直列インダクタンス）に加え、基板のレイアウトがPSRRに大きな影響を及ぼします。高い周波数での共振の影響を抑えるために、十分に注意してレイアウトを行うことが不可欠です。

負荷電流の関数としてのPSRR

負荷電流は、エラー・アンプの帰還ループのゲイン帯域幅に影響を与えます。そのためPSRRにも影響が及びます。負荷電流が少ない場合（一般的には50mA未満）、パス・エレメントの出力インピーダンスは高くなります。LDOの出力は、制御ループの負帰還によって理想的な電流源のように振る舞います。出力コンデンサとパス・エレメントで形成される極は、比較的低い周波数に現れます。そのため、低い周波数ではPSRRは高くなる傾向があります。また、負荷電流が少ないときには出力段のDCゲインが高くなります。このことも、エラー・アンプがユニティ・ゲインに達するポイントを大きく下回る周波数において、PSRRが高くなる要因の1つです。

負荷電流が多い場合、LDOの出力は理想的な電流源として振る舞わなくなります。パス・エレメントの出力インピーダンスが小さくなり、出力段のゲインが低下するとともに、DCとフィードバック・ループのユニティ・ゲイン周波数の間におけるPSRRも低下します。図12に示すように、負荷電流の増加に伴ってPSRRは大きく低下する可能性があります。負荷電流が400mAから800mAに増加すると、「ADM7150」のPSRRは1kHzにおいて20dBも低下します。

出力の極の周波数が高くなるにつれて、出力段の帯域幅は増加します。高い周波数では、PSRRは帯域幅の増加に伴って高くなるはずですが、実際には全体的なループ・ゲインが低下することから、高い周波数におけるPSRRは必ずしも高くなりません。一般に、負荷が大きい場合よりも小さい場合の方がPSRRは高くなります。

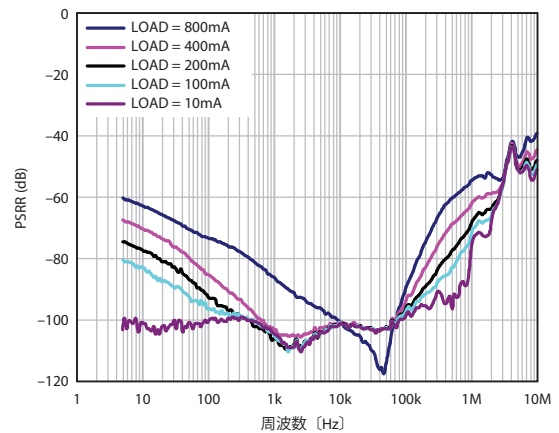


図12. ADM7150における周波数とPSRRの関係
($V_{IN}=6.2V$, $V_{OUT}=5V$)

ヘッドルーム電圧の関数としてのPSRR

PSRRは、ヘッドルーム電圧（入力と出力の電位差）の関数でもあります。ヘッドルーム電圧が固定である場合、PSRRは負荷電流の増加に伴って低下します。この現象は、負荷電流が多く、ヘッドルーム電圧が小さい場合に特に顕著になります。図13は、5V出力のADM7172において、負荷電流が2Aの場合のヘッドルーム電圧とPSRRの関係を示したものです。

負荷電流が増加すると、パス・エレメント（ADM7172の場合はPチャンネルのMOSFET）は飽和状態から3極管動作領域へと移行し、ゲインが低下します。これによってLDOの全体的なループ・ゲインも下がり、PSRRが低下します。ヘッドルーム電圧が小さいほど、ゲインは大きく低下します。ヘッドルーム電圧がより小さくなると、制御ループのゲインはなくなり、PSRRはほぼゼロになります。

ループ・ゲインを低下させるもう1つの要因は、パス・エレメントの抵抗値 $R_{DS(on)}$ がゼロではないことです。 $R_{DS(on)}$ に負荷電流が流れることによる電圧降下の分だけ、パス・エレメントがアクティブに動作するためのヘッドルームが減少します。例えば、パス・エレメントの抵抗値が1Ωである場合、200mAの負荷電流によってヘッドルームは200mV減少します。1V以下のヘッドルーム電圧でLDOを動作させる場合、この電圧降下を考慮してPSRRを見積もる必要があります。

ドロップアウトの状態になったときのPSRRは、 $R_{DS(on)}$ と出力コンデンサによって形成される極に依存します。非常に高い周波数では、PSRRは $R_{DS(on)}$ に対する出力コンデンサのESRの比によって制限されます。

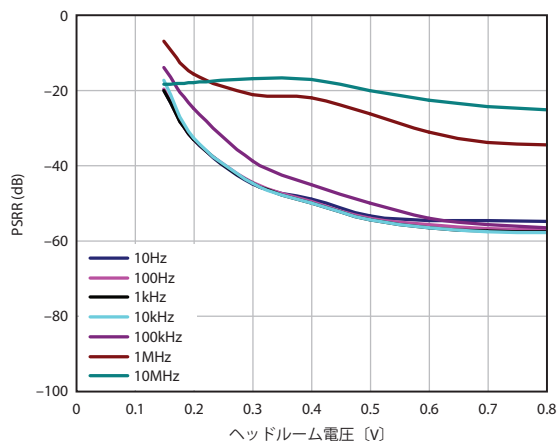


図13. ADM7172におけるヘッドルーム電圧とPSRRの関係 ($V_{OUT}=5V$ 、負荷電流は2A)

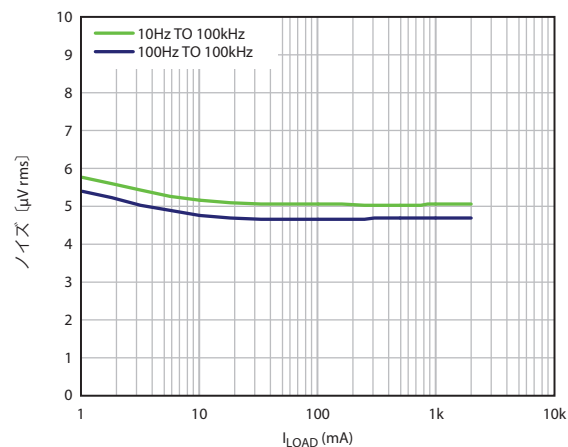


図14. ADM7172における負荷電流と出力ノイズ電圧の関係

PSRRの仕様の比較

LDOのPSRRについて仕様を比較する際には、必ず同じテスト条件の下で測定が行われていることを確認してください。古いLDO製品の場合、PSRRを120Hzまたは1kHzでのみ規定しており、ヘッドルーム電圧や負荷電流に関する記載がありません。電氣的仕様の表には、少なくとも複数の周波数におけるPSRRの値が記載されている必要があります。意味のある比較を行うために、異なる負荷とヘッドルーム電圧に対するPSRRの標準的な特性の曲線が記載されていれば理想的です。

高い周波数においては、出力コンデンサもLDOのPSRRに影響を及ぼします。例えば、 $1\mu F$ のコンデンサのインピーダンスは $10\mu F$ のコンデンサの10倍になります。コンデンサの値は、エラー・アンプのユニティ・ゲイン・クロスオーバー周波数よりも高い周波数においては特に重要です。その周波数領域では、電源のノイズの減衰量は出力容量の関数になります。PSRRの値については、出力コンデンサの種類と値が同じでなければ意味のある比較は行えません。

出力ノイズ電圧

出力ノイズ電圧とは、与えられた周波数範囲（一般的には10Hzまたは100Hzから100kHz）における出力ノイズ電圧のRMS値のことです。これについては、出力電流が一定で、入力電圧にリップルがないということが前提になります。LDOの出力に現れるノイズの最大の発生原因は、内部のリファレンス電圧回路とエラー・アンプです。最近のLDOは、 $15\mu A$ 以下の静止電流を達成するために、わずか数nAの内部バイアス電流で動作するようになっています。バイアス電流をこれだけ少なく抑えるには、 $1G\Omega$ ものバイアス抵抗を使用する必要があります。通常、出力ノイズ電圧は、 $5\mu V$ rms～ $100\mu V$ rms程度です。図14に、ADM7172における負荷電流と出力ノイズ電圧の関係を示します。

ADM7172など、一部のLDOでは、外部の抵抗分圧回路を使用することで、初期設定値よりも高い出力電圧を設定できるようになっています。例えば、1.2V出力のデバイスから3.6Vの出力を得るといったことが行えるということです。この分圧回路にノイズを低減するための回路を追加すれば、出力ノイズ電圧を元々の固定電圧出力のときと近いレベルまで抑えることができます。

LDOの出力ノイズを表す別の指標として、ノイズ・スペクトル密度を挙げるすることができます。この指標では、広い周波数範囲に対し、各周波数における1Hz帯域幅のrmsノイズをプロットした図が意味を持ちます。この情報を利用することにより、任意の帯域幅における特定の周波数のrmsノイズを計算することが可能になります。図15に、ADM7172の1Hz～10MHzにおけるノイズ・スペクトル密度を示しました。

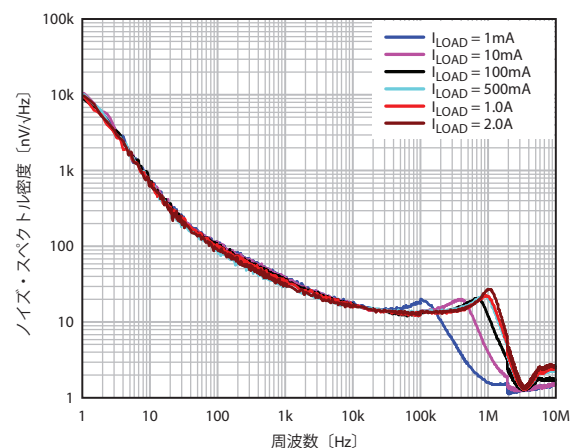


図15. ADM7172におけるノイズ・スペクトル密度と負荷電流の関係

まとめ

LDOは、そのシンプルさとは裏腹に重要な役割を果たすデバイスです。正しく適用して最適な結果を得るには、多くの要素について検討する必要があります。LDOに関する一般的な用語についての基礎知識を得ることで、設計において重要な意味を持つパラメータをデータシートで適切に参照できるようになります。

参考文献

リニア・レギュレータ

Marasco, Ken 「低ドロップアウト・レギュレータを活用する方法」 Analog Dialogue, Volume 43, Number 8, 2009年

Morita, Glenn and Luca Vassalli 「アプリケーション・エンジニアに尋ねる – 41、LDOのヘッドルーム、最小負荷」 Analog Dialogue, 48-09

Morita, Glenn 「出力電圧調整可能なロー・ドロップアウト・レギュレータ用のノイズ低減回路」 Analog Dialogue, Volume 48, Number 3, 2014年

Morita, Glenn 「低ドロップアウト・レギュレータ：バイパス・コンデンサの選択が重要である理由」 Analog Dialogue, Volume 45, Number 1, 2011年

Patoux, Jerome 「アプリケーション・エンジニアに尋ねる – 37、低ドロップアウト・レギュレータ」 Analog Dialogue, Volume 41, Number 2&3, 2007年



著者：

Glenn Morita (glenn.morita@analog.com) はワシントン州立大学で学士号を取得して1976年に卒業しました。卒業後はTexas Instruments社に入社し、最初の仕事として、ボイジャー計画で使用される宇宙探査用の赤外線分光装置に関する業務に携わりました。それ以来、計測、防衛、宇宙、医療の分野で設計技術者として働いてきました。2007年にはADIに入社し、ワシントン州ベルビューにある電力管理製品チームでアプリケーション・エンジニアとして活動しています。μWからkWのレベルのリニア・レギュレータ、スイッチング・レギュレータを25年以上にわたって設計してきました。体温を対象としたエネルギー・ハーベストに関する特許を2件保有しています。それらは、エネルギー・ハーベストを体内植え込み型除細動器の電源として使用するための技術に関するものです。そのほかにも、体外式除細動器において電池の寿命を延伸するための特許も保有しています。プライベートでは、鉱物の収集、宝石の加工、写真撮影、国立公園巡りを楽しんでいます。



Glen Morita

この著者が執筆した
ほかの技術文書

アプリケーション・
エンジニアに尋ねる
– 41、LDOのヘッド
ルーム、最小負荷

Analog Dialogue 48-09