

迅速な事前評価を可能にするADCモデリング・ツール

著者：Umesh Jayamohan

はじめに

より良い製品に対する消費者の要求はとどまるところを知りません。人々は、常により高速で、よりスマートな製品を望みますが、このことにより、先例のないレベルのイノベーションが生まれます。その一方で、多くのシステム設計者は共通した悩みを抱えています。新製品を設計する際、既知のプラットフォームを使用して部分的な変更にとどめるべきか、それとも最も先進的な製品や能力を備える、まったく新たなプラットフォームを採用するかということです。前者を選択すれば迅速かつ低リスクで設計が行えます。しかし、得られる成果は必ずしも大きいとは言えません。一方、後者の方法を採用した場合、より高い利便性、機能性、価値を得ることができます。その代わりに、設計上のリスクは大きくなります。

このような悩みを解消するための一助となるのが、新たなシミュレーション・ツール群です。これを利用することにより、ソフトウェアをベースとした迅速なプロトタイプリングが可能になります。結果としてリスクを最小限に抑えることができ、設計した新製品が期待どおりに動作するという確証が得られるようになります。このソフトウェアを使用すれば、A/Dコンバータ（ADC）やクロックIC、オペアンプといった個々のICの性能を知ることができます。また、現実の製品を使うことなく、ADCとクロックICなどを併用した場合の性能を把握することも可能になります。ハードウェアを購入するに当たり、ソフトウェアによる事前評価（シミュレーション）を行ったうえで判断を下すことが可能になるため、時間とコストを削減できます。

本稿では、サンプリング・クロックがADCの性能に及ぼす影響を予測するうえで、アナログ・デバイセズ（ADI）の「ADIsimADC™」、「ADIsimCLK™」、「VisualAnalog®」の各ソフトウェアがいかに役立つのかを示していきます。ICの具体例としては、分解能が16ビットでサンプリング・レートが250MSPSのADC「AD9467」とジッタの小さいクロック・ジェネレータ「AD9523-1」を取り上げます。最初のセクションでは、ソフトウェアによる事前評価の手法を示します。具体的には、周波数領域におけるADCの性能のシミュレーション方法とソフトウェア上でのデバイスの接続方法について説明します。後半では、評価用ボードとSPIコントローラ・ソフトウェアを使用し、現実のハードウェアを設定/評価する方法を説明します。その例では、AD9467を245.76MSPSのサンプリング・レートに対応するクロックで動作させます。AD9523-1の評価用ボードでは対話型のGUIを使用してクロック出力の設定を行います。

ADIsimADCとADIsimCLKによるコシミュレーション
まず、VisualAnalogとAD9523-1向けの評価用ソフトウェアをダウンロードしてインストールします。ADIsimADC

はVisualAnalogと共にパッケージ化されています。VisualAnalogを起動すると、キャンバス（Canvas）を選択するためのウィンドウがポップアップします（図1）。

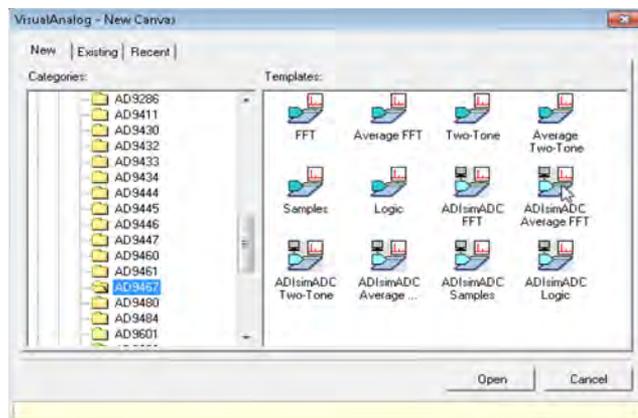


図1. VisualAnalogの「New Canvas（新規のキャンバス）」ウィンドウ

VisualAnalogのメニューにおいて、「ADC」→「Single（シングル）」→「AD9467」を順に選択すると、AD9467に対応するADIsimADCのモデルを利用できるようになります。図2に、ADIsimADCのFFT（平均）キャンバスを示しました。

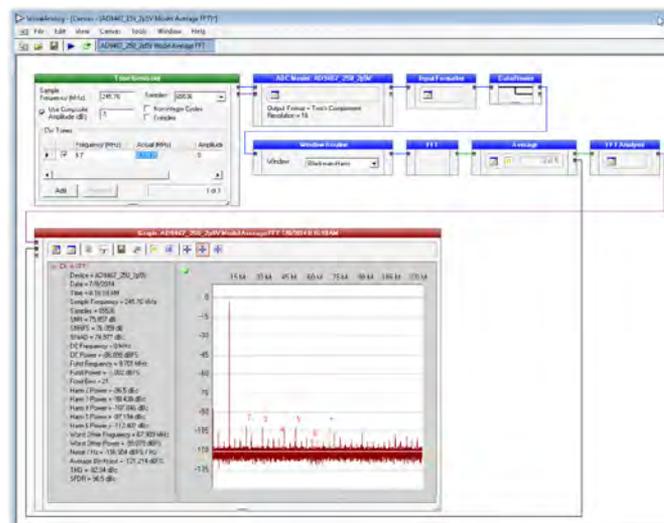


図2. ADIsimADCのキャンバスに表示されたFFT結果（AD9467により9.7MHzのシングルトーン信号を変換）

ADCの動作を予測するためのADIsimADCの設定

まずは、ADCの具体例であるAD9467の動作を予測（モデルを使用することにより、現実のデバイスにおける動作/性能をシミュレーション）するためのADIsimADCの設定方法を示します。「Tone Generator（トーン・ジェネレータ）」のブロックに周波数を入力し、「Tab（タブ）」をクリックします。ADIsimADCは、サンプル・レートとサンプル数を基に、その周波数を自動的にコヒーレント周波数に変換します。図3は、9.7MHzのシングルトーン信号を入力した場合の結果です。得られた出力をFFTし、その結果をデフォルトの設定で示しています。

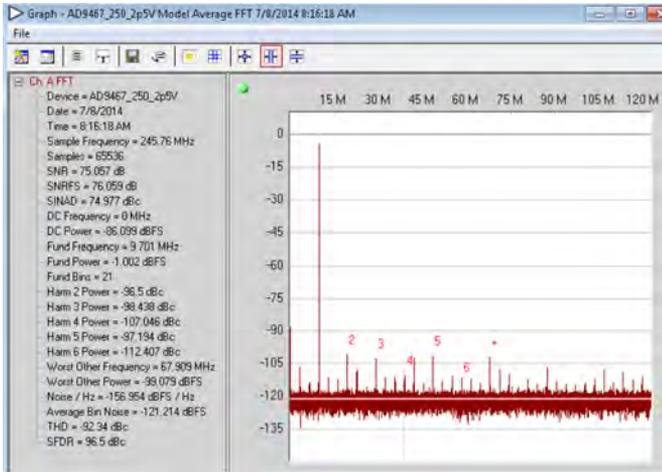


図3. ADIsimADCによるFFTの結果
(9.7MHzのシングルトーン信号を変換)

AD9523-1の動作を予測するためのADIsimCLKの設定

次に、ADIsimCLKをダウンロードしてインストールします。インストールが完了したらプログラムを開き、「File（ファイル）」→「New（新規）」を選択します。すると、デバイスの選択肢が表示されたウィンドウが開きます（図4）。

Part #	Outputs	Max Fout	PLL	Int. VCO	Max Fin	Jitter	Max Ref	Vcc(Min)	Vcc(Max)	Vp	Icc
AD9500-1	24	1600	yes	1720-2250	2400	<225fs(ad)	250	2.7	3.3	5.3	
AD9500-4	24	1600	yes	1400-1800	2400	<225fs(ad)	250	2.7	3.3	5.3	
AD9500-5	24	1600	no	none	none	<225fs(ad)	250	2.7	3.3	5.3	
AD9502-0	24	800	yes	2550-2950	2400	<242fs(ad)	250	2.7	3.3	5.3	
AD9502-1	24	800	yes	2270-2850	2400	<242fs(ad)	250	2.7	3.3	5.3	
AD9502-2	24	800	yes	2020-2335	2400	<242fs(ad)	250	2.7	3.3	5.3	
AD9502-3	24	800	yes	1720-2250	2400	<242fs(ad)	250	2.7	3.3	5.3	
AD9502-4	24	800	yes	1400-1800	2400	<242fs(ad)	250	2.7	3.3	5.3	
AD9502-5	24	800	no	none	2400	<242fs(ad)	250	2.7	3.3	5.3	
AD9503	14	1000	yes	3350-4050	4050	<200fs(tof)	400	2.7	3.3	5.3	
AD9503-1	14	1000	yes	2825-3100	3100	<180fs(tof)	400	2.7	3.3	5.3	
AD9504	14	1000	yes	3350-4050	4050	<200fs(tof)	400	2.7	3.3	5.3	
AD9505	8	3600	yes	none	3600	<100fs(ad)	500	3.1	3.5	5.3	
AD9504-6	24	1200	no	none	1200	100fs(ad)	1.7	1.9			
AD9503-5	24	1200	no	none	1200	100fs(ad)	1.7	1.9			
AD9504-5	1	7500	no	none	7500	60fs(ad)	2.5	3.3			
AD9508-2	1	7500	no	none	7500	60fs(ad)	2.5	3.3			
AD9503-14	1	2500	no	none	2500	100fs(ad)	3.1	3.6			
AD9503-5	2	7500	no	none	7500	60fs(ad)	2.5	3.3			

図4. ADIsimCLKにおけるデバイスの選択

実際にシステムを実装する場合に最もよく似た設定例を紹介します。この例では、AD9523-1が備える初段のPLLのリファレンスとして、周波数が30.72MHzの外部クロックを使用します。デュアルPLLの最初のループでは、VCXO（電圧制御水晶発振器）としてCrystek社の「CVHD-950」を使用します。AD9523-1に内蔵されてい

るVCO（電圧制御発振器）の周波数は2949.12MHzに設定され、内部で3分周されます。それがさらに4分周されて、OUT7では245.76MHzが得られます。ADIsimCLK上でこのような設定を行う様子を図5に示しました。

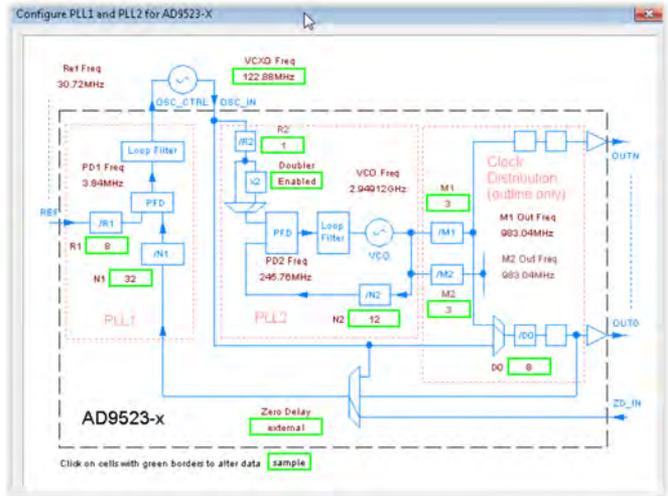


図5. ADIsimCLKにおけるAD9523-1の設定

ADIsimCLKは、クロック出力に関して、位相ノイズや各種の積分ジッタの情報を含むレポートを生成します。このレポートは、さまざまな出力に対応するタブ上で参照できます。この設定例では、AD9467の評価用ボードに供給するクロックとしてOUT7を使用しています。そのレポートの例を図6に示しました。この図では、主要な仕様である広帯域ジッタ（Broadband Jitter）の項目を赤い枠で囲って示しています。

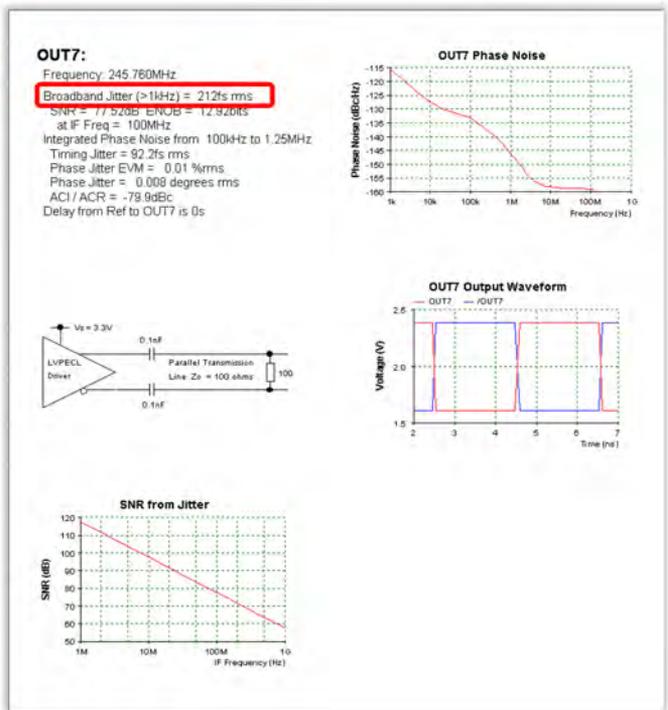


図6. ADIsimCLKで生成したOUT7に関するレポート

AD9523-1とAD9467を接続した場合のシミュレーション

ADIsimADCでは、AD9523-1によってクロックを供

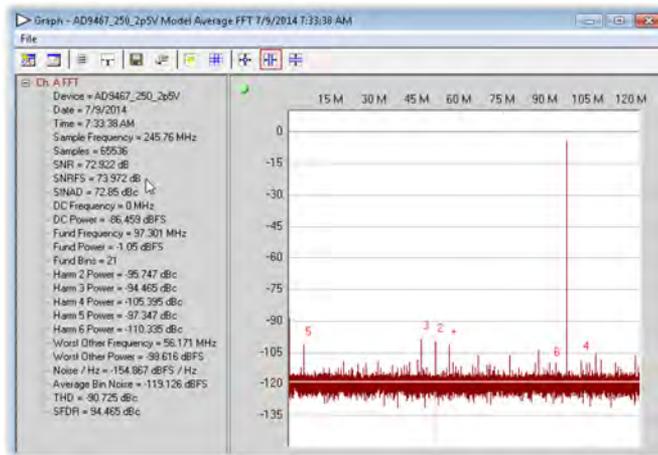


図8. ADIsimADCにおいてジッタ仕様を更新した場合のFFT結果（97MHzのシングルトーン信号を変換）

給した場合のAD9467の性能を予測することができます。ADIsimADCのキャンパスには、ADIsimCLKで生成したレポートに記された広帯域ジッタの仕様を引き渡すことができます。FFTキャンパスでは、「ADC Model（ADCモデル）」ブロックを使うことにより、トータル・ジッタの仕様を更新することができます（図7）。

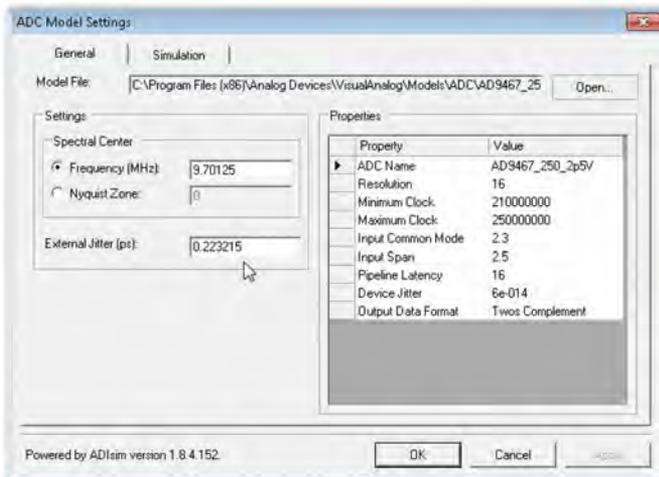


図7. ADIsimADCのモデルにおけるジッタ仕様の更新

トータル・ジッタは個々のジッタ成分の二乗和平方根（RSS：Root-Sum-Square）によって計算できます。この例の場合、アパーチャ・ジッタが60fs、広帯域ジッタが215fsです。ADIsimADCにはRSSジッタとして223.2fsが引き渡されます。それにより、97MHzのシングルトーン信号を入力した場合のFFT結果として図8が得られます。ADIsimADCを使えば、更新されたジッタの情報を使用し、任意の入力周波数に対する性能を予測することができます。

ジッタに関する補足

ADCでは、アナログ信号を一定の時間間隔でサンプリングする必要があります。つまり、安定したサンプリング・クロックが不可欠です。一方、クロック・ソースが非理想的なものである場合、位相ノイズが発生します。ジッタは、サンプル・クロックの周波数から一定の値（オフセット）だけ離れた2つの周波数の間で位相ノイズを積分したものです。一般に、ADCでは広帯域ジッタが最も重要だと考えられています。ADIsimCLKは、1kHz以上

のオフセットに対する位相ノイズの積分値として広帯域ジッタを計算します。ADIsimADCのモデルは、この広帯域ジッタの値を受け取り、ジッタの影響によってADCの性能がどう変化するのか評価します。サンプル・クロックのジッタがADCの性能に及ぼす影響については、アプリケーション・ノート「[サンプル化システムに及ぼすクロック位相ノイズとジッタの影響](#)」をご覧ください。

実測結果との比較

ADIsimADCによる予測結果について、実測結果と比較して確認しました。実測には、AD9467とAD9523-1の評価用ボードを使用しました。AD9523-1は、OUT7から245.67MHzのLVPECLクロックを出力するように設定しました。このクロックをAD9467の評価用ボードに供給するために、同ボードを改変し、J200とJ201によって差動クロックを受け取れるようにしました。評価系は、図9のように構成しました。

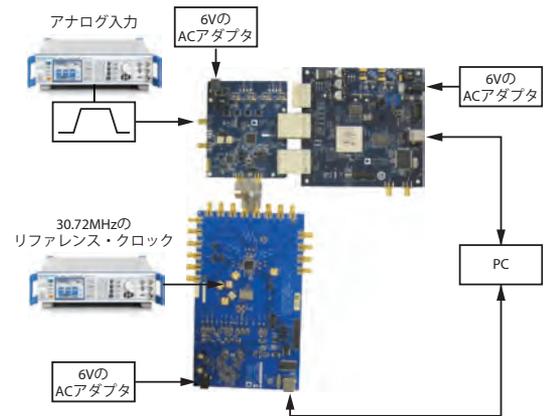


図9. AD9523-1とAD9467の評価用ボードで構成した評価系

この構成により、2MHz～400MHzのアナログ入力周波数に対するデータを収集します。シングルトーン入力に対応する出力のFFT結果はVisualAnalogによってキャプチャされます。得られた結果はADIsimADCによる予測結果と対比してプロットされます。図10は、入力周波数とS/N比の関係を示したものです。この図から、シミュレーション結果と実測結果がよく一致していることがわかります。

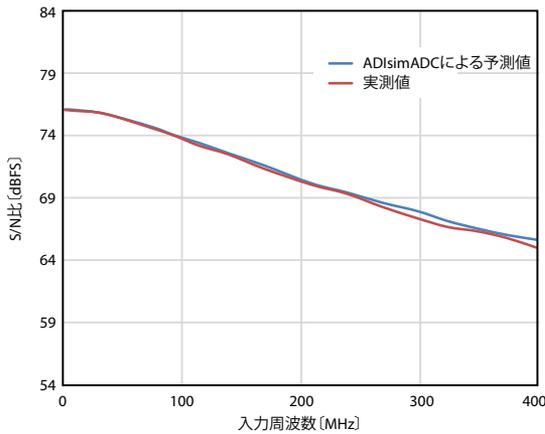


図10. アナログ入力周波数とS/N比の関係
(ADIsimADCによる予測値と実測値を比較している)

一方、図11に示したのはSFDRの結果です。こちらは一致しているとは言えませんが、周波数軸で見た場合のシミュレーション結果と実測結果は全体的に似た傾向になることがわかります。SFDRはプリント回路基板のレイアウトや使用する部品、クロックの振幅に大きく依存します。これらの要因が不一致の原因だと考えられます。

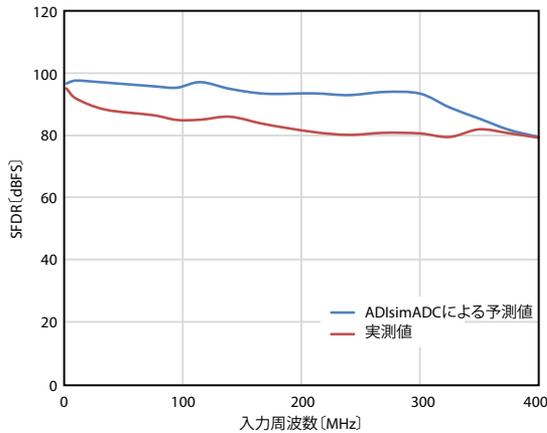


図11. アナログ入力周波数とSFDRの関係
(ADIsimADCによる予測値と実測値を比較している)

歪みについての評価としては、図12、図13に示すように、2次高調波歪み (HD2) と3次高調波歪み (HD3) のシミュレーション結果と実測値を比較するとよいでしょう。HD2のシミュレーション結果と実測結果がよく一致するようにするには、評価用ボードについて注意すべきことがあります。それは、ADCに対する差動入力信号の振幅と位相のバランスに、ボードのレイアウトが影響を及ぼさないようにすることです。

一方、HD3については、シミュレーションにおいて注意すべきことがあります。ADIsimADCのモデルは、特性評価を行う際にADCの性能とDNL (微分非直線性誤差) に焦点を絞って開発されています。このアルゴリズムでは、特定の周波数におけるダイナミック・レンジがインターポレーション/エクストラポレーションの手法を使って予測されますが、すべてのポイントにおけるHD3の性能を正確に予測することはできません。

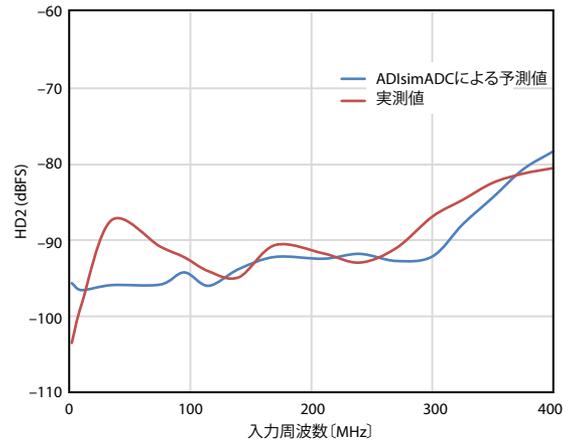


図12. アナログ入力周波数とHD2の関係
(ADIsimADCによる予測値と実測値を比較している)

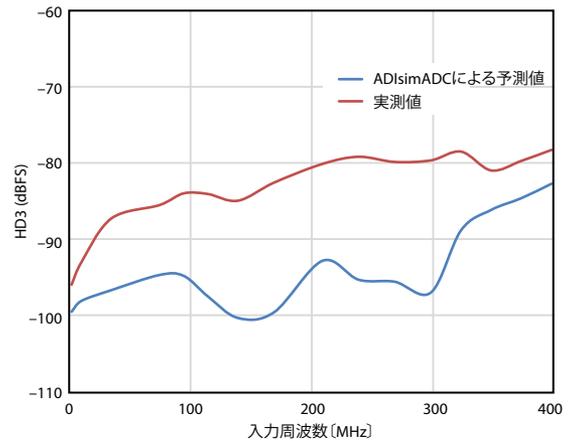


図13. アナログ入力周波数とHD3の関係
(ADIsimADCによる予測値と実測値を比較している)

HD3の性能は、実際には電源電圧、使用する部品、ADC用の入力バッファ、クロックの信号品質といった条件に大きく依存します。HD3の予測値は必ずしも正確であるとは限りません。しかし、周波数軸で見た全体的な傾向としては、シミュレーション結果と実測結果はよい一致を示していると言えます。

システム設計においては、多くの場合S/N比が基本的な性能指標として使用されます。SFDRやダイナミック・レンジは数多くの要因に依存します。S/N比についてはシミュレーション結果と実測結果が非常によく一致するので、システム設計者は自信を持ってADCとクロックICを選定することができます。

まとめ

現在は、設計サイクルをより短くすることが強く求められています。そのため、システム設計者は、自身の設計で使用する新製品の評価を行う際に多大なプレッシャーを感じる状況にあります。もちろんハードウェアを使用した評価は常に必須の作業です。ハードウェアの組み合わせ方を誤ると、結果的に多大な時間とコストがかかってしまう可能性があります。それに対し、ソフトウェアを利用した事前評価であれば、ADC製品を検討する際に、迅速かつ容易に行うことができます。ADIsimADCとADIsimCLKは、システム設計者がADCとクロックIC

を選択するためのシンプルかつ効率的な方法を提供します。これらのソフトウェア・ツールを使用すれば、システム設計者はさまざまなADCとクロックICを組み合わせ、特性を確認することができます。そのため、ハードウェアを使用した評価の際に、自信を持って製品を選択することが可能になります。

謝辞

本稿の執筆にあたり、実測データの収集に関して、Jillian Walsh氏に協力いただきました。また、Kyle Slightom氏からは、AD9523-1の評価用ボードとソフトウェアの設定について支援いただきました。両氏に感謝の意を表します。

関連資料

Brannon, Brad/MacLeod, Tom AN-737 アプリケーション・ノート「ADIsimADCによるADCモデリングの方法」 Analog Devices, 2009年

Brannon, Brad AN-756 アプリケーション・ノート「サンプル化システムに及ぼすクロック位相ノイズとジッタ

の影響」 Analog Devices, 2004年

高速コンバータ事業部 AN-878 アプリケーション・ノート「高速ADC SPIコントロール・ソフトウェア」 Analog Devices, 2007年

AN-905 アプリケーション・ノート「VisualAnalog™コンバータ評価用ツールVer 1.0ユーザ・マニュアル」 Analog Devices

MT-003 チュートリアル「Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor」

Reeder, Rob 「Test High-Speed ADCs for Analog-Input Phase Imbalance」 Test & Measurement World, 2011年

Slightom, Kyle 「ジッタを除去して複数の高周波出力を生成するデュアルループ・クロック・ジェネレータ」 Analog Dialogue Volume 48, Number 1, 2014年



著者

Umesh Jayamohan (umesh.jayamohan@analog.com) は、米ノースカロライナ州グリーンズボロにあるADIの高速コンバータ・グループに所属するアプリケーション・エンジニアです。1998年にインドのケララ大学で学士号を取得し、2002年にアリゾナ州立大学で修士号を取得しています。その後、7年間にわたり、設計エンジニア/アプリケーション・エンジニアとして活動した経験を有しています。



Umesh Jayamohan

この著者が執筆したほかの技術文書

[Understanding How Amplifier Noise Contributes to Total Noise in ADC Signal Chains](#)
Volume 47, Number 1