

出力電圧調整可能なロー・ドロップアウト・レギュレータ用のノイズ低減回路

著者: Glenn Morita

はじめに

高性能アナログ回路、特に高速クロック、A/Dコンバータ(ADC)、D/Aコンバータ(DAC)、電圧制御発振器(VCO)、フェーズ・ロックド・ループ(PLL)の設計者にとって、ノイズは非常に大きな問題です。ロー・ドロップアウト・レギュレータ(LDO)は、このような回路に電源を供給することができます。ノイズ低減で重要なのは、AC性能やDCクローズドループ・ゲインを悪化させることなくLDOのノイズ・ゲインをユニティに近い値に維持することです。

この記事では、単純なRC回路によって出力電圧調整可能なロー・ドロップアウト・レギュレータの出力ノイズを低減する方法を説明します。この単純な方法の有効性は実験データによって示されています。RC回路は主にノイズ低減に優れていますが、電源電圧変動除去や負荷過渡応答性も改善できます。

図1に、代表的な出力調整可能LDOの簡略ブロック図を示します。出力電圧値 V_{OUT} は、リファレンス電圧と誤差アンプのDCクローズドループ・ゲインとの積であり、 $V_{OUT} = V_R \times (1 + R1/R2)$ となります。ここで、 $(1 + R1/R2)$ は誤差アンプのDCクローズドループ・ゲインです。

誤差アンプのノイズ V_N とリファレンス電圧ノイズ V_{RN} は同じ係数を掛けるため、出力ノイズは設定された出力電圧に比例して増大します。このため、出力電圧の出力ノイズは少しだけ増大しますが、リファレンス電圧の2倍以上は増大しません。ただし、このようなわずかなノイズでも、ノイズの影響を受けやすいアプリケーションでは許容できないことがあります。

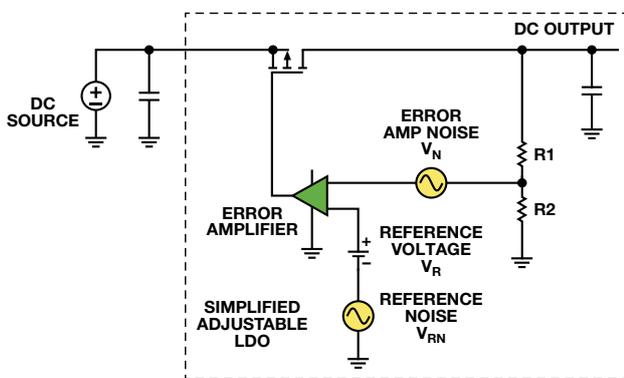


図1. 調整可能LDOの内部ノイズ源を示す簡略ブロック図

LDOノイズ

LDO内の主なノイズ源は、誤差アンプと内部リファレンス電圧です。最新のデバイスは数百ナアンペア以下の内部バイアス電流で動作し、静止電源電流は最大で $15\mu A$ です。このようなわずかな電流には最大 $1G\Omega$ のバイアス抵抗が必要となるため、誤差アンプ/リファレンス電圧回路の方がディスクリート実装よりもノイズが大きくなります。代表的なLDOは抵抗分圧器を使って出力電圧を設定するため、ノイズ・ゲインはACクローズドループ・ゲインと等しくなります。これは、つまりDCクローズドループ・ゲインと同じということになります。

LDOノイズの低減

LDOノイズを低減する方法は主に2つあります。その一つはリファレンスに対してフィルタ処理を行う方法で、もう一つは誤差アンプのノイズ・ゲインを小さくする方法です。一部のLDOでは、外付けコンデンサでリファレンスのフィルタ処理ができます。実際、多くの「超低ノイズLDO」は、ノイズ低減コンデンサを外付けて低ノイズ仕様を実現します。この技術の欠点は、誤差アンプ・ノイズと残留リファレンス・ノイズの両方がACクローズドループ・ゲインで増幅されるという点です。この場合、ノイズは出力電圧に比例します。

誤差アンプのノイズ・ゲインを低減すれば、出力電圧で出力ノイズが大幅に増大しないLDOを実現できます。しかし、固定出力LDOの場合は、帰還ノードにアクセスできないため、これは不可能です。一方、出力調整可能LDOの場合はこのノードに簡単にアクセスできます。

図2に、 $R1$ と $R2$ で出力電圧を設定する出力調整可能LDOを示します。 $R3$ と $C1$ で構成された回路で誤差アンプのACゲインを低減します。位相マージンが小さい(ユニティ・ゲイン安定ではない)LDOで安定性を確保するには、 $R3$ を選択してアンプの高周波ゲインを約1.1に設定する必要があります。また、 $1/f$ 領域のノイズを低減するには、 $C1$ を選択して低周波数ゼロを 10Hz 未満に設定する必要があります。

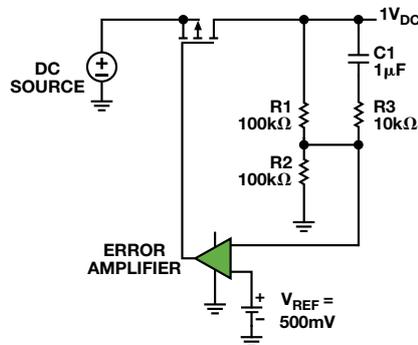


図2. 出力調整可能LDOのノイズ・ゲインを低減するための簡素なRC回路

図3は、適切に設計されたノイズ低減回路のACクローズドループ・ゲインとオープンループ・ゲインや未修正のクローズドループ・ゲインとの比較です。ノイズ低減回路の場合、帯域幅の多くはACゲインがユニティに近い値になるため、リファレンス・ノイズと誤差アンプ・ノイズの増幅はそれほど大きくはありません。

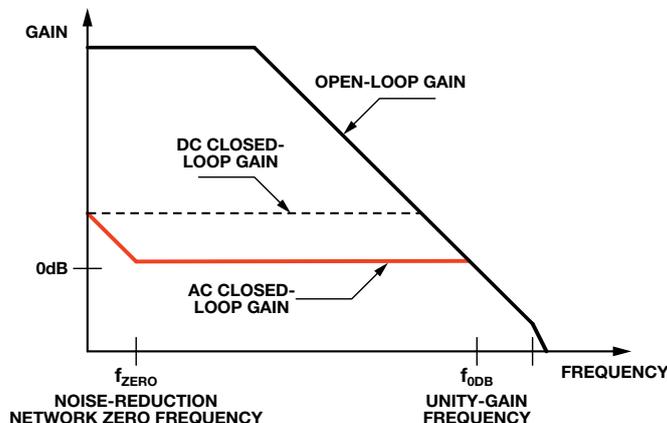


図3. ノイズ低減回路の周波数 対 LDOループ・ゲイン

図4は、ノイズ低減回路がADP125 LDOのノイズ・スペクトル密度にどのように影響するかを示しています。データを比較できるように、ノイズ低減回路を使用した場合と使用しない場合の4V時のノイズ・スペクトル密度と、ユニティ・ゲイン時のノイズ・スペクトル密度を図示しています。

ここでは、20Hz~2kHz間でノイズ性能が大幅に改善されている点に注目してください。R1とC1で生成されたゼロを挿入すると、ノイズ低減回路使用時のノイズ特性はユニティ・ゲイン時のノイズ特性とほぼ同じになります。周波数が20kHzを上回ると、誤差アンプのクロズドループ・ゲインがオープンループ・ゲインと合流するため、ノイズ・スペクトル密度のプロットは1つに収束し、これ以上ノイズ・ゲインを低減できなくなります。

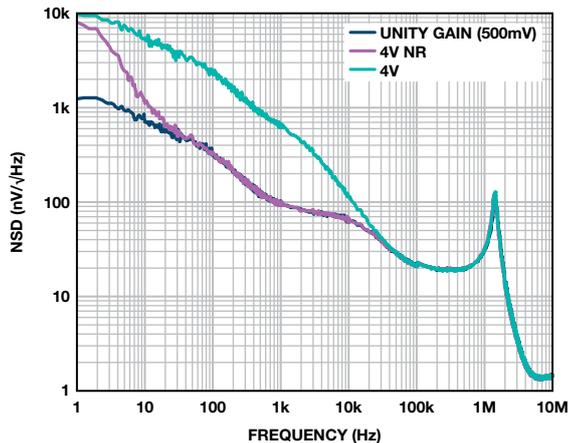


図4. 出力電圧調整可能なLDO [ADP125] のノイズ・スペクトル密度

電源電圧変動除去

この周波数範囲の電源電圧変動除去比 (PSRR) も改善されます。PSRRとは、回路が電源入力に余分な信号 (ノイズとリップル) をどの程度抑圧できるかを示す性能指標です。PSRRは $PSRR = VE_{IN}/VE_{OUT}$ と定義されます。この除去比をデシベル単位で表すと $PSR = 20 \times \log(VE_{IN}/VE_{OUT})$ となります。ここで、 VE_{IN} と VE_{OUT} はそれぞれ入力と出力に現れる外来信号です。

ほとんどのアナログ回路の場合、回路の内部動作のために電源を供給するピンにPSRが適用されます。しかし、LDOの場合、入力ピンが内部回路に電源を供給し、安定化した出力に負荷電流を供給します。

PSRの改善

ノイズ低減回路は出力電圧調整可能LDOの出力ノイズを低減できますが、この回路にはほかにも利点があり、低周波PSRを改善することができます。図2のR1、R3、C1はリードラグネットワークを形成し、約 $1/(R1 \times C1)$ でゼロ、約 $1/(R3 \times C1)$ でポールを発生させます。リードラグネットワークは、補償ループ内でフィードフォワード機能として動作するためPSRを改善できます。改善の度合いをdB単位で表すと、クロズドループ・ゲインとオープンループ・ゲインの収束点を下回る周波数で約 $20 \times \log(1 + R1/R3)$ となります。

図5は、ノイズ低減回路が出力電圧調整可能LDO [ADP7102] のPSRRにどのように影響するかを示しています。9V出力の場合、R1 = 64kΩ、R2 = 10kΩ、R3 = 1kΩ、C1 = 1μFとなります。10Hz超の周波数でPSRRの改善がみられることから、R1とC1により約2.5Hzでゼロが生成されていることがわかります。PSRR全体では、100Hz~1kHz間で約17dB増大します。改善の度合いは、オープンループ・ゲインとクロズドループ・ゲインが一つに収束する約20kHzの位置まで次第に低下します。

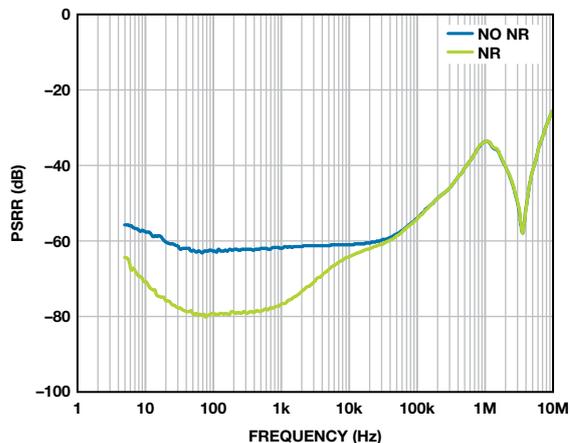


図5. ノイズ低減回路使用時と未使用時の出力調整可能なLDO [ADP7102/ADP7104] のPSRR

過渡負荷の改善

ノイズ低減回路でLDOの過渡負荷応答も改善されます。この場合も、R1、R3、C1は補償ループ内でフィードフォワード機能を実行します。減衰なしに誤差アンプで検出される負荷過渡電圧の高周波成分により、誤差アンプは負荷過渡に迅速に反応することができます。図6は、ノイズ低減回路使用時/未使用時のADP125の負荷過渡応答を示します。ノイズ低減回路を使用した場合、LDOは50μsより短い時間で負荷過渡に反応できますが、この回路を使用しないと500μsもかかります。

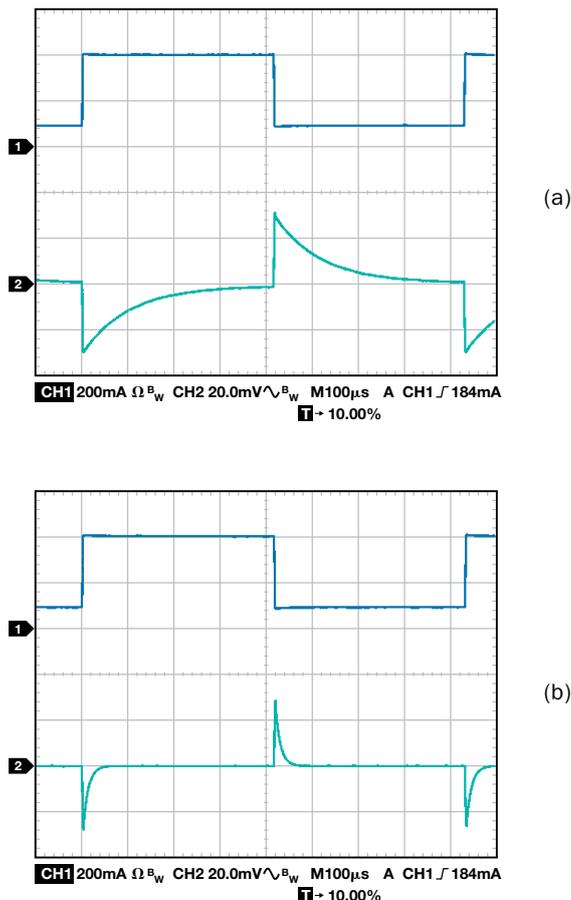


図6. (a) ノイズ低減回路未使用時と (b) 使用時の出力調整可能なLDO [ADP125] の過渡負荷応答

スタートアップ時間への影響

ノイズ低減回路には、その回路でスタートアップ時間が大幅に増大するという欠点があります。図7に、ノイズ低減回路使用時と未使用時のADP125のスタートアップ時間を示します。通常のスタートアップ時間は約600 μ sです。このスタートアップ時間はC1 = 10nFの場合に6ms、C1 = 1 μ Fの場合に600msとなります。回路に十分な電源を供給した後にLDOのオフオンを切り替えないアプリケーションでは、スタートアップ時間が長くなっても問題ありません。

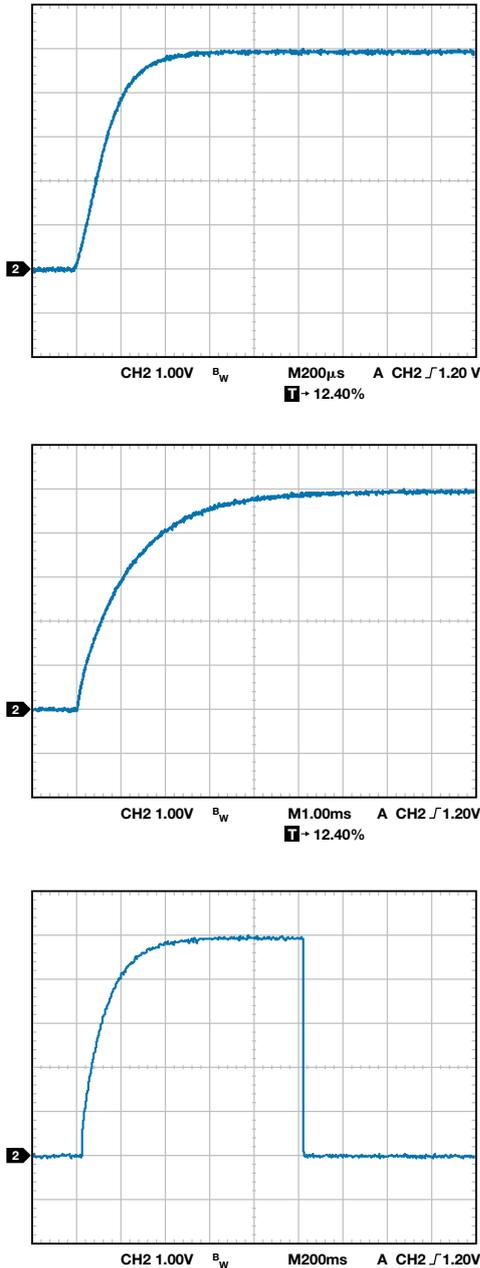


図7. (a) ノイズ低減回路の未使用時、
(b) ノイズ低減回路の使用時でC1 = 10nF、
(c) ノイズ低減回路の使用時でC1 = 1 μ Fの場合の
出力調整可能LDO [ADP125] のスタートアップ時間

結論

出力電圧調整可能LDOのノイズ、電源電圧変動除去、過渡性能は、単純なRCノイズ低減回路を追加することで大幅に改善します。これは、高速クロック、ADC、DAC、電圧制御発振器、フェーズ・ロックド・ループなど、ノイズの影響を受けやすいアプリケーションに大きなメリットをもたらします。

この方法は、図2のようなアーキテクチャのLDOに利用することができます。このアーキテクチャでは、リファレンス電圧ノイズと誤差アンプ・ノイズの両方がDCクロズドループ・ゲインによって増幅され、出力ノイズは出力電圧に比例します。ADP125、ADP171、ADP1741、ADP1753、ADP1755、ADP7102、ADP7104、ADP7105などのLDOはすべてこの汎用アーキテクチャを使用しており、ノイズ低減回路の使用が効果的です。

- (a) ADM7151などの比較的新しい超低ノイズLDOは、ノイズ低減回路を使用しても効果がありません。このアーキテクチャは、LDO誤差アンプをユニティ・ゲインで使用するためリファレンス電圧と出力電圧が等しくなります。また、内部リファレンス・フィルタのポールは1Hzより小さく、リファレンス電圧はフィルタでかなり処理されるため、リファレンスのノイズ寄与分はほぼ除去されます。

参考文献

- Morita, Glenn 「低ドロップアウト・レギュレータ：バイパス・コンデンサの選択が重要である理由」 *Analog Dialogue*, Volume 45, Number 1, 2011年
- (b) Morita, Glenn 「ロー・ドロップアウト (LDO) レギュレータのノイズ源 (AN-1120アプリケーション・ノート)」、アナログ・デバイセス、2011年

著者

Glenn Morita [glenn.morita@analog.com]

は、1976年にてワシントン州立大学を卒業し、BSEE (電気工学士) を取得しました。卒業後、最初はテキサス・インスツルメンツでボイジャー宇宙探査機用の赤外分光計の仕事に携わりました。それ以来、計測器、軍用/航空宇宙用/医用機器分野の設計者として活躍しています。アナログ・デバイセスには、ワシントン州ベルビューにあるパワー・マネジメント製品チームのアプリケーション・エンジニアとして、2007年に入社しました。マイクロワットからキロワットにおよぶパワー・レベルのリニア電源やスイッチモード電源の設計については25年以上の経験があります。また、体熱エネルギーを埋込み型心筋除細動器に供給する方法について2件の特許を取得しています。また、外部心筋除細動器のバッテリー寿命を延長する方法でも特許を取得しています。余暇には、鉱物収集、宝石用原石の加工、写真撮影のほか、国立公園を巡り歩いています。

