

差電圧アンプ回路の

“落とし穴”

著者: Harry Holt

はじめに

昔から良く知られている差電圧アンプ回路は、4つの抵抗を使ってシンプルに構成することができます。しかし、そのようにして実装された回路の多くは高い性能を発揮することはありません。本稿では、実際の製品設計をベースとし、ディスクリートの抵抗、フィルタ、ACの同相ノイズの除去、高いノイズ・ゲイン（アンプ回路でのノイズのゲイン、対：シグナル・ゲイン）に関連するいくつかの“落とし穴”について説明します。

大学の電子工学の講座では、最初に反転アンプや非反転アンプなど、理想的なオペアンプを使った回路が示されます。差電圧アンプ回路は、それらを組み合わせることによって構成できます。図1に、4つの抵抗で構成される従来の差電圧アンプ回路を示します。これは非常に便利なので、40年以上も前から教科書や文献に取り上げられています。

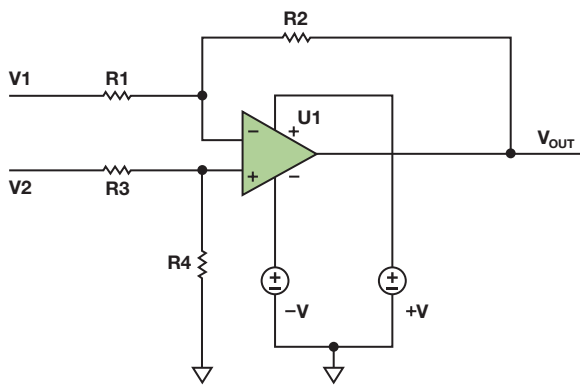


図1. 典型的な差電圧アンプ回路

このアンプ回路の出力 V_{OUT} は、以下の式で表されます。

$$V_{OUT} = \left(\frac{R4}{R3 + R4} \right) \times \left(\frac{R1 + R2}{R1} \right) \times V2 - \frac{R2}{R1} V1 \quad (1)$$

特に $R1=R3$ 、 $R2=R4$ である場合、この式は次のように簡略化できます。

$$V_{OUT} = \left(\frac{R2}{R1} \right) (V2 - V1) \quad (2)$$

この式は教科書にも載っているものですが、現実的にはこの通りにはなりません。 $R1$ と $R3$ 、 $R2$ と $R4$ の抵抗値がまったく同じということがあり得ないからです。また、この基本的な回路に何らかの変更を加えたことで、予期せぬ動作を招く場合があります。以下で示す例は、実際のアプリケーションで生じた疑問を基に解説したものです。ただし、問題の本質をわかりやすく示すために、内容を多少簡略化しています。

CMRR

差電圧アンプ回路の重要な機能は、両方の入力に共通する信号（同相信号、コモンモード信号）成分を除去することです。図1

において、例えば $V2$ が5Vで $V1$ が3Vの場合、コモンモード電圧は4Vになります。すなわち、 $V2$ はコモンモード電圧よりも1V高く、 $V1$ はコモンモード電圧よりも1V低いということです。その差は2Vなので、 $R2/R1$ の“理想的”なゲインが、その2Vに適用されることになります。抵抗が理想的なものでなければ、コモンモード電圧の一部が差電圧アンプによって増幅・出力されることになります。そして、それが $V1$ と $V2$ の差電圧信号の増幅結果の一部として V_{OUT} に現れるということになります。これを、理想的な場合に得られるはずの信号と区別することはできません。

同相信号を除去する差電圧アンプ回路の能力をCMR（Common-mode Rejection：同相除去）と呼びます。この能力は、CMRR（CMR Ratio：同相除去比）というデシベル（dB）単位の指標として表すことができます。

Ramon Pallas-Areny氏とJohn Webster氏は、1991年に発表した論文の中で、オペアンプが理想的なものであると仮定した場合のCMRRを次の式で表しました。

$$CMRR \cong \frac{A_d + 1}{4t} \quad (3)$$

ここで、 A_d は差電圧アンプ回路のゲインで、 t は抵抗値の許容誤差です。自身が無限のコモンモード除去能力を備える完璧なオペアンプがあったとします。それと、許容誤差が1%の抵抗を使ってユニティ・ゲインの差電圧アンプ回路を構成したとします。その場合のCMRRは50V/V（約34dB）になります。また抵抗の許容誤差が0.1%であれば、CMRRは500V/V（約54dB）です。オペアンプのCMRRが十分に高ければ、差電圧アンプ回路全体としてのCMRRは抵抗のマッチングによって決まります。安価なオペアンプの場合、アンプ自身のCMRRが60dB～70dBにとどまるものがあります。その場合、計算はより複雑になります。

抵抗の許容誤差や配線抵抗の影響

図2に、最適とは言えない1つ目の設計例を示します。これは「OP291」を用いたローサイド用の電流検出回路です。 $R1 \sim R4$ としては、許容誤差が0.5%の個別部品抵抗を使用しています。Pallas-Areny氏らの論文によれば、この回路の最大CMRRは64dBとなります。幸い、コモンモード電圧はグラウンドのレベルに非常に近いので、CMRRはこの回路の最大の誤差要因とはなりません。一方で、電流検出抵抗の許容誤差が1%だとすると、それによって測定値に1%の誤差が生じてしまいます。とはいえ、この許容誤差は校正（キャリブレーション）／調整（トリム）で取り除くことが可能です。それにあたっては、この回路の動作温度範囲が80°Cを超えることを踏まえ、抵抗の温度係数についても考慮する必要があります。

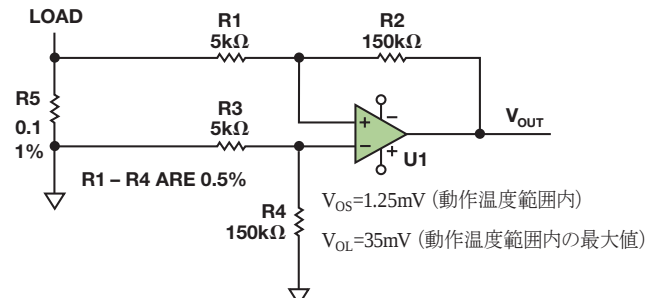


図2. ノイズ・ゲインが高いローサイド用の電流検出回路

シャント電流の値が非常に小さい場合には、4端子を備えるケルビン接続の検出抵抗を使用するとよいでしょう。精度の高い0.1%の抵抗に端子を直接接続します。プリント基板上では、5mmほどの配線を使用するだけで10mΩの抵抗値が追加され、10%を超える誤差が簡単に生じてしまうからです。プリント基板で使用する銅配線の温度係数は3000ppmを超えるので、誤差はさらに大きく

なります。

検出抵抗の値は、慎重に選択する必要があります。値が大きいくほど検出力信号が大きくなります。それ自体は悪いことではありませんが、消費電力 (I^2R) が数Wにも達するほど大きくなる可能性があるのは問題です。逆に検出抵抗の値を数mΩ程度まで小さくすると、ワイヤー配線やプリント基板の配線の寄生抵抗によって大きな誤差が生じる危険性があります。このような誤差を低減するために、通常はケルビン接続を使用します。その場合、この手法に適した4端子抵抗 (Ohmite Manufacturing社の「LVKシリーズ」など) を使用する方法が選択肢として挙げられます。また、プリント基板のレイアウトを最適化すれば標準的な抵抗も使用できます (「Optimize High-Current Sensing Accuracy by Improving Pad Layout of Low-Value Shunt Resistors (値の小さいシャント抵抗のパッド・レイアウトの改善により、大電流の検出精度を最適化する)」を参照してください)。抵抗値が非常に小さい場合でもプリント基板の配線パターンは使用できますが、あまり高い精度は得られません。これについては「The DC Resistance of a PCB Trace (プリント基板配線のDC抵抗)」を参照してください。

Ohmite社やVishay Intertechnology社などが製品化している4端子抵抗は、許容誤差が0.1%で温度係数が非常に小さいものだと、価格が数米ドル以上にもなる場合があります。しかし詳細な誤差解析を行えば、コストの増加を最小限に抑えつつ精度を改善する方法を明確にすることができます

単電源レール to レール出力の問題

オフセットが大きく (31mV)、検出抵抗に電流が流れないという問題に遭遇したことがありました。その原因は、単電源動作のレールtoレールのオペアンプ出力が、グラウンドに接続された負の電源レールまで完全には達していないことでした。レールtoレールという表現には語弊があります。確かに、出力は電源レールに近いレベル (従来のエミッタ・フォロワの出力段よりもかなり電源に近いレベル) になりますが、電源レールに完全に達することはありません。「MT-035: Op Amp Inputs, Outputs, Single-Supply, and Rail-to-Rail Issues (入力、出力、単電源、レールtoレールに関するオペアンプの問題)」にも取り上げられていますが、レールtoレールのオペアンプでは最小出力電圧 V_{OL} か、 $V_{CE(SAT)}$ または $R_{DS(ON)} \times I_{LOAD}$ の値が規定されています。仮にオフセットが $\pm 1.25mV$ 、ノイズ・ゲインが30の場合、これによる出力のオフセットは $\pm 1.25mV \times 30 = \pm 37.5mV$ になる可能性があります。ところがアンプの出力は、 $V_{OL} = +35mV$ が最低値なので、これ以下のオフセット電圧やマイナスの電圧は出力することができません。このためオフセットがマイナス側に振れたアンプでは、正常にフィードバックループが動作しません。アンプを単電源で使用する時、この点に注意した設計が必要です。既知のオフセットを加え、出力をシフトするなどの対策があります。

もう1つのローサイド用検出回路

図3に示す例は、図2の例よりもノイズ・ゲインは低く抑えられます。ただし、オフセット電圧が3mV、オフセット・ドリフトが $10\mu V/^{\circ}C$ 、CMRRが79dBという精度の低いクワッド・オペアンプを使用しています。このアプリケーションでは、図3の回路に対して0~3.6Aの範囲で $\pm 5mA$ ($\pm 0.14\%$) の精度が求められていました。 $\pm 0.5\%$ の検出抵抗を使用したのでは、求められる $\pm 0.14\%$ の精度は達成できません。検出抵抗の値が $100m\Omega$ なので、 $\pm 5mA$ の電流によって $\pm 500\mu V$ の電圧降下が生じます。残念ながら、動作温度範囲内におけるオペアンプのオフセット電圧は、その値よりも10倍以上になります。 V_{OS} をゼロに調整したとしても、温度が $50^{\circ}C$ 変化すると、許容範囲を超える誤差が生じてしまいます。ノイズ・ゲインが13である図の例では、 V_{OS} の変化は13倍になって現れます。この回路の性能を改善するには、「AD8638」、「ADA4051」、「ADA4528」などのゼロ・ドリフト・アンプと、薄膜抵抗アレイ、高精度の検出抵抗を使用するとよいでしょう。

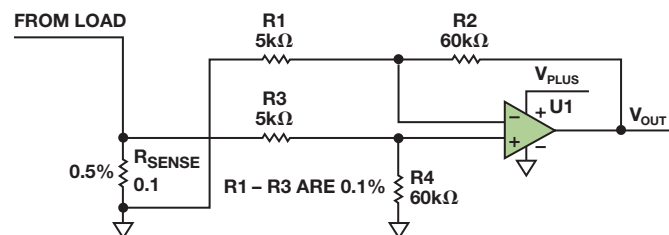


図3. ローサイド用検出回路のもう1つの例

高すぎるノイズ・ゲイン

図4の回路は、ハイサイドの電流を検出するためのものです。ノイズ・ゲインは250です。オペアンプ「OP07C」の V_{OS} は最大で $150\mu V$ と規定されています。そのため、最大誤差は $150\mu V \times 250 = 37.5mV$ となります。これを改善するためには、 $-40^{\circ}C \sim 125^{\circ}C$ の温度範囲でオフセット電圧が $12.5\mu V$ のゼロ・ドリフト・オペアンプ「ADA4638」を使用するとよいでしょう。ノイズ・ゲインが高い場合、共通モード電圧は検出抵抗の両端の電圧に非常に近くなります。OP07Cの入力電圧範囲 (IVR) は電源より2Vです。つまり、入力電圧は正の電源レールよりも2V以上低くなければなりません。ADA4638の場合、IVRは正電源より3Vです。

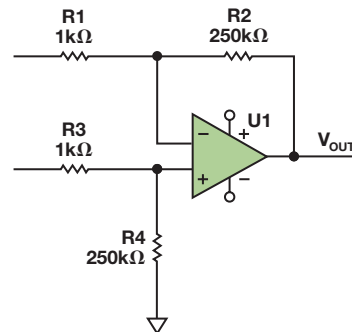


図4. ハイサイド用の電流検出回路

コンデンサの影響の回避

図5に示したのは、もう少し微妙な例です。ここまで挙げた例では、基本的に抵抗に着目していました。しかし、より正確に言えば着目すべき対象はインピーダンスです。コンデンサを追加すると (意図的に追加したか、寄生容量によって追加されたような状態になったかに関わらず)、AC信号に対するCMRRは、対象とする周波数におけるインピーダンスの比に依存します。この例では、周波数応答をロールオフさせるために、帰還抵抗と並列にコンデンサC2を追加しています。これは、反転増幅型のオペアンプ回路でよく使われる手法です。

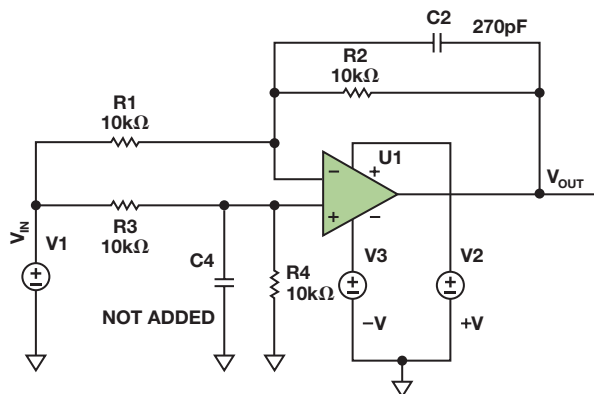


図5. ローパス特性の実現を試みた回路

ここで、 $Z1=Z3$ 、 $Z2=Z4$ というインピーダンス比にするためには、コンデンサC4を追加する必要があります。0.1%未満といった高精度な抵抗も入手可能ですが、価格に注目すると0.5%の抵抗でも1米ドル以上になる場合があります。また非常に低い周波数ではインピーダンスは問題にならないかもしれませんが、しかし、コンデンサの許容誤差やプリント基板のレイアウトの影響によりオペアンプの2つの入力の間で0.5pFの入力容量の差が生じると、AC信号に対するCMRRは10kHzにおいて6dBも低下する可能性があります。このことは、スイッチング・レギュレータを使用している場合には重要な問題になり得ます。

「AD8271」、「AD8274」、「AD8276」といったモノリシックの差電圧アンプの場合、2つの入力が入力ダイオードの制御された環境内にあるのでAC信号に対するCMRRは非常に優れています。多くの場合、ディスクリートのオペアンプと4個の高精度の抵抗を購入するよりもコストを抑えられます。

オペアンプの入力間のコンデンサ

差動アンプ回路の応答をロールオフするために、図6に示すような回路を考える設計者がいます。オペアンプの2つの入力間にコンデンサC1を追加して差動フィルタを構成しようという意図です。これは、計装アンプには適用できますが、オペアンプには適用できません。 V_{OUT} は、R2の帰還ループを閉じるために上昇/下降します。このことはDCでは問題にはならず、回路は式(2)のように安定動作します。しかし、周波数が高くなると、C1のリアクタンスが低下します。すると、オペアンプの入力への負帰還の量が少なくなるため、ゲインが増加します。最終的には、高い周波数でオペアンプの入力がコンデンサによって短絡されるため、オペアンプは開ループで動作してしまいます。

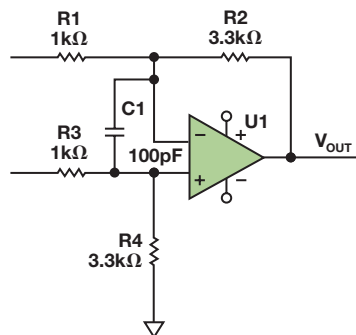


図6. 高周波信号のフィードバックを阻害する入力コンデンサ

ボード線図で見ると、オペアンプの開ループ・ゲインは-20dB/dec (-6dB/oct)で減少します。それに対し、ノイズ・ゲインは+20dB/dec (+6dB/oct)で増加します。結果として、両者は-40dB/dec (-12dB/oct)で近付いていきます。制御システムの講義で教わることですが、これは間違いなく発振/不安定につながります。一般的な指針として、オペアンプの入力の間には決してコンデンサを接続してはなりません（ごくまれに例外がありますが、本稿では説明を割愛します）。

まとめ

4つの抵抗を使用して構成された差電圧アンプ回路は、個別部品を使用したディスクリート型、IC化されたモノリシック型にかかわらず広く使用されています。製品として提供できるだけの堅牢な回路を設計するには、ノイズ・ゲイン、入力電圧範囲、インピーダンス比、オフセット電圧の仕様について慎重に検討する必要があります。

参考文献

Kitchin, Charles and Lew Counts. 「A Designer's Guide to Instrumentation Amplifiers, 3rd edition (計装アンプの設計ガイド第3版)」 Analog Devices, Inc., 2006年、2-1ページ

Miller, Eric M. 「The DC Resistance of a PCB Trace (プリント基板配線のDC抵抗)」

O'Sullivan, Marcus. 「Optimize High-Current Sensing Accuracy by Improving Pad Layout of Low-Value Shunt Resistors (値の小さいシャント抵抗のパッド・レイアウトの改善により、大電流の検出精度を最適化する)」 Analog Dialogue, Volume 46, Number 2, 2012年

Pallas-Areny, Ramon and Webster, John G. 「Common Mode Rejection Ratio in Differential Amplifiers (差動アンプ回路のCMRR)」 IEEE Transactions On Instrumentation and Measurement, Volume 40, Number 4, 1991年8月、669-676ページ

MT-035 チュートリアル「Op Amp Inputs, Outputs, Single-Supply, and Rail-to-Rail Issues (入力、出力、単電源、レールtoレールに関するオペアンプの問題)」

著者

Harry Holt (harry.holt@analog.com) は、アナログ・デバイセズのセントラル・アプリケーション・グループに所属するシニア・アプリケーション・エンジニアです。以前は、高精度アンプ・グループに5年間在籍していました。その前はNational Semiconductor社で、フィールド・アプリケーション/ファクトリ・アプリケーションの分野に27年間従事し、データ・コンバータ、オペアンプ、リファレンスIC、オーディオ用コーデック、FPGAなど、さまざまな製品を担当していました。サンノゼ州立大学でBSEEの学位を取得しています。Tau Beta Piの終身会員、IEEEのシニア会員でもあります。

