

# ADCを含むシグナル・チェーンに、アンプがもたらすノイズの問題

著者：Umesh Jayamohan

## はじめに

A/Dコンバータ（ADC）では、仕様で規定されたフルスケールに等しいアナログ入力電圧が印加されたときに最高の性能が得られます。しかし、規定されたフルスケール電圧と個々のアプリケーションにおける信号の最大電圧が一致しているとは限りません。その場合、おそらくはADCに入力される信号レベルの調整が必要になるでしょう。そのような場合に役に立つのが可変ゲイン・アンプ（VGA）です。では、ADCを含むシグナル・チェーン全体の性能を最適化する上で、VGAはどのような影響を及ぼすのでしょうか。

アナログ・デバイセズは、分解能が16ビット、サンプリング・レートが125MSPS/105MSPS/80MSPS、パイプライン型のデュアルADC [AD9268] を提供しています。また、IF帯に適した低歪みのVGAとしては [AD8375] を製品化しています。本稿では、これらを組み合わせた回路におけるノイズの解析結果を示します。シグナル・チェーンとしては、AD9268に加え、ゲインを6dBに設定したAD8375、100MHzにおいて-3dBにロールオフする5次のバターワース・ローパス・フィルタ（LPF）で構成される回路を考えます。VGAとLPFは、ADCが対象とする帯域全体における動的性能を決定づけます。そこで、本稿では、VGAとLPFのノイズを計算する方法を紹介することにします。

## アプリケーションにおいて問題になる事柄

高速ADCを使用する多くのアプリケーションでは、最適なS/N比、スプリアスフリー・ダイナミック・レンジ（SFDR）を保証するために、ADCのフルスケールのアナログ入力範囲に適合するよう入力信号を調整する必要があります<sup>1</sup>。そのためには、ゲインの調整に対応できるドライバや、アンプ回路、ゲイン・ブロックなどが使用されます。また、場合によっては、ADCを駆動するために、シングルエンドの信号を差動信号に変換するための差動アンプが必要になるケースもあります。これらのコンポーネントはいずれも能動

素子です。その結果、ADCを含むフロント・エンド部にノイズが加わることになります。より詳しく言えば、動作帯域にわたる積分ノイズによって、A/D変換の精度が低下するということです。

アプリケーションに適したADCを選択するためには、以下の項目を含む多くの事柄について検討する必要があります。

- アナログ入力範囲
- 入力周波数、帯域幅
- 必要な分解能、S/N比
- 必要なSFDR

アプリケーションによっては、高い分解能と広いダイナミック・レンジの両方を必要とするものがあります。そうしたアプリケーションに対し、AD9268は非常に適した選択肢となります。同ADCは、IFが70MHzの場合で78.2dBFS（フルスケールに対するdB値）のS/N比と88dBcのSFDRを実現します。

システムのレベルで見ると、ADCを含むフロント・エンドでは、アンプ、トランスまたはバランなどが使用されることになるでしょう。それらのうち、アンプを使用する構成が最も一般的です。実際、以下に挙げる1つ以上の理由から、アンプが選択されることになるはずで

- ADCの分解能を活かすためには、入力信号にゲインを加える必要がある
- 入力源とADCの間でバッファリングまたはインピーダンスの変換を行う必要がある
- シングルエンドの入力信号を差動信号に変換する必要がある

AD8375は、ゲインを様々な値に設定しつつ、直線性と均一のノイズ性能を維持することが可能なVGAです。また、この製品を使えば、シングルエンドの信号を差動信号に変換することもできます。こうした特徴を備えることから、同VGAは高いIFでADCを駆動したい場合に適した製品だと言えます。問題なのは、シグナル・チェーンでは能動素子であるアンプの存在によって、ADCの性能が制限される可能性があることです。

## 具体的な回路の例

図1に示したのは、本稿でノイズの計算の対象とする回路のトポロジです。AD8375が備える差動出力のインピーダンスは高く、 $16k\Omega \parallel 0.8pF$ となっています。また、5次のLPFはアンチエイリアシング（折返し誤差防止）フィルタ（AAF）として使用します。同AAFは、100MHzの帯域幅と150Ωの入力/出力インピーダンスを備えています。これが、アンプとADCのインターフェースになります。図1の回路の周波数応答は、図2のようになります。

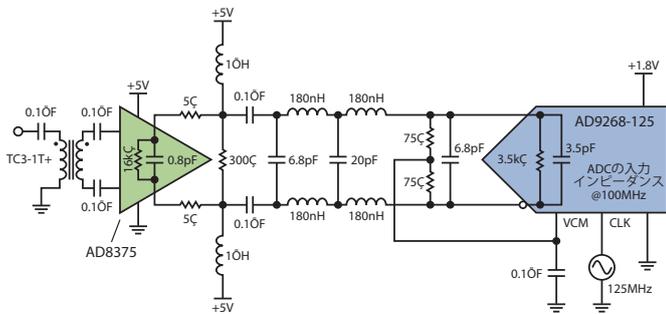


図1. AD8375、AAF、AD9268で構成したシグナル・チェーン

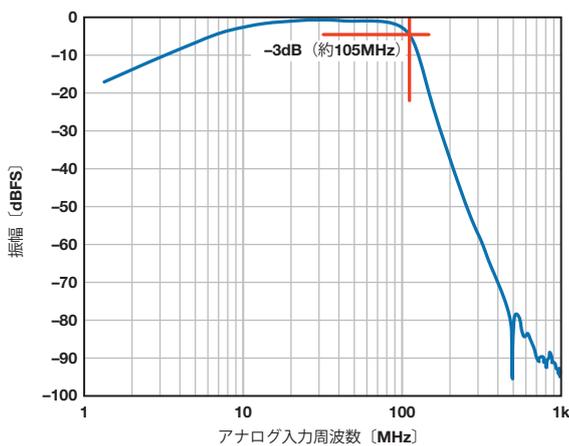


図2. 図1の回路の周波数応答

## 回路の性能

ADCの入力を駆動するアンプがシステム全体の動的性能を低下させる可能性があるということを、システム設計者が認識していないというケースもあるでしょう。また、あるアプリケーション向けに選択したドライバとADCの組み合わせが、別のアプリケーションにおいても同様に優れた性能を提供するとは限りません。アンプを選択する前に、本稿で紹介する手法によって性能を概算することが推奨されます。

図3に、異なる2つの回路構成を示しました。図3(a)では、ADCの駆動に向けて受動カップリングを使用しています。この構成（以下、受動型のフロント・エンド）は、アナログ・デバイゼスが提供する評価用ボードではデフォルトのオプションとして使われ

ています。この受動型のフロント・エンドでは、トランスまたはバランを、約200MHzでロールオフする受動型LPFと共に使用することで、シングルエンドの信号を差動信号に変換します。一方、図3(b)の回路はオプションのアンプ（VGA）を追加したものです。以下、この回路を能動型のフロント・エンドと呼ぶことにします。これら2つの回路を対象とし、それぞれのノイズについて比較してみましょう。低いIF（10MHz）のシングルトーンの信号を入力するという条件で、アンプによって加わるノイズの影響を確認してみます。ノイズの量はFFT（高速フーリエ変換）を使って算出することになります。

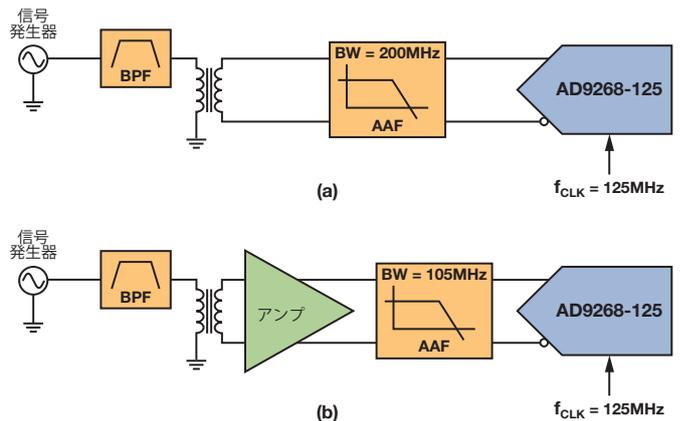


図3. ADCを含む一般的なフロント・エンド。  
(a)は受動素子、(b)は能動素子をベースとして構成しています。

ノイズの解析に使用する代表的な指標は2つあります。ただ、いずれも扱いにくいものかもしれません。1つは、単位帯域幅あたりのノイズのパワーを規定する指標として、ノイズ・スペクトル密度（NSD：Noise Spectral Density）を使う方法です。ADCの場合、NSDは平均二乗値をdBm/Hz単位またはdBFS/Hz単位で表します。一方、VGAを含むアンプでは、RMS（二乗平均平方根）値を $nV/\sqrt{Hz}$ の単位で表します。このように、異なる単位が使われていることが、ADCをアンプで駆動するシステムのノイズ量を算出する上での支障になります。

もう1つよく使われる指標はノイズ指数（NF：Noise Figure）です。NFは入力S/N比と出力S/N比の対数比であり、dB単位で表されます。RF技術者は、この指標をよく使用します。実際、純粋なRF分野においてNFを使用するのは理に適っています。しかし、ADCを含むシグナル・チェーンについてNFを計算しようとする、誤った判断を招きかねない結果が得られることがあります<sup>2</sup>。

ここでは、より効果的な手法を紹介します。それは、ノイズ密度を「非正規化」し、平均二乗電圧ではなくRMSノイズ電圧として表す方法です。この直接的な方法を使えば、システムのノイズを明快に解析することができます。

図4、図5に示したのは、受動型、能動型のフロント・エンドに周波数の低いシングルトーンを入力した場合のFFT結果です。受動型のフロント・エンドでは、S/N比が77.7dBFSとなっています。一方、能動型のフロント・エンドのS/N比は72.5dBFSです。つまり、後者の方が5.2dBFSも劣化しています。

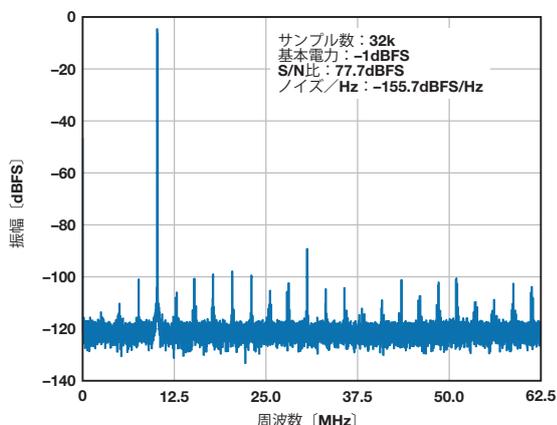


図4. 図3 (a) の受動型フロント・エンドの応答。10MHzのシングルトーンを入力した場合のADCの出力にFFTを適用した結果です。

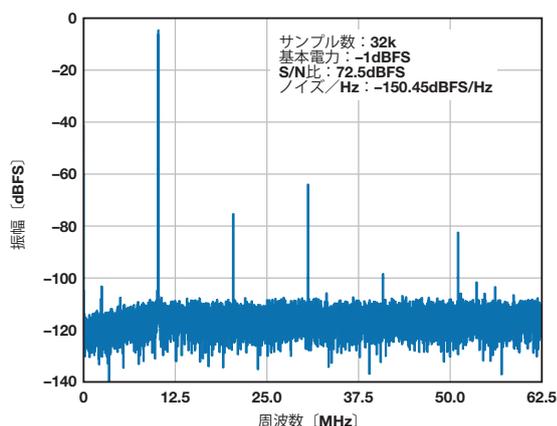


図5. 図3 (b) の能動型フロント・エンドの応答。10MHzのシングルトーンを入力した場合のADCの出力にFFTを適用した結果です。

## 解析方法の詳細

図3 (a)、図3 (b) の構成の違いは、シグナル・チェーンにアンプが存在するか否かだけです。したがって、S/N比の差はアンプのノイズに起因すると考えてよいでしょう。以下で示す一連の計算は、アンプがもたらす追加のノイズについて理解するために活用できます。

まず、ADCのデータシートで規定されたフルスケールの差動入力電圧について考えます。以下の式のように、ピークtoピークの電圧を $2\sqrt{2}$ で割ることによってRMS値に変換すると、0.707V rmsという結果が得られます。

$$V_{RMS} = \frac{V_{pp}}{2\sqrt{2}} \quad (1)$$

ADCに10MHzの信号を入力した場合のS/N比 (SNR) の代表値を基にすると、ADCによるノイズの追加分は以下のように計算できます。

$$SNR = 20 \log \left( \frac{V_{FS, RMS}}{V_{NOISE, RMS}} \right) dBFS \quad (2)$$

$$V_{NOISE, RMS} = \frac{V_{FS, RMS}}{10^{\left(\frac{SNR}{20}\right)}} \quad (3)$$

$$V_{NOISE, ADC} = 92.2 \mu V_{RMS}$$

$V_{NOISE, ADC} = 92.2 \mu V$  rmsという値と、アンプを含む能動型フロント・エンドのS/N比である72.5dBFSという値を使用すると、システムのノイズは式 (3) によって168 $\mu V$  rmsと求まります (以下参照)。

$$V_{NOISE, TOTAL} = \frac{0.707}{10^{\left(\frac{72.5}{20}\right)}} = 168 \mu V_{RMS} \quad (4)$$

$$V_{NOISE, TOTAL} = \sqrt{(V_{NOISE, AMP})^2 + (V_{NOISE, ADC})^2} \quad (5)$$

$$V_{NOISE, AMP} = 140 \mu V_{RMS}$$

式 (4) から得られるのは、ADCとVGAを含むシステムのノイズです。アンプによるノイズは式 (5) を使うことで求めることができ、140 $\mu V$  rmsになります。この計算結果からは、アンプによるノイズはADCによるノイズと比べて少なくとも50%は大きく、システムのAC性能を決める制約要因になっていることがわかります。

ただ、上式で求めた $V_{NOISE, AMP}$ の値が、アンプのデータシートに記載された値と比較して妥当なものであるか否かを確認しなければなりません。AD8375のデータシートを見ると、差動出力インピーダンスが150 $\Omega$ の場合、NSDは約20nV/ $\sqrt{Hz}$ になることがわかります。

データシートでは、AD8375のノイズはゲインによらずほぼ一定だとされています。ただ、このノイズは負荷に依存して変化します。そのため、NSDの見積もり値は、アンプの出力によって駆動するトータルのインピーダンスに応じて調整する必要があります。AD8375の差動出力インピーダンスは大きく (16k $\Omega$ ||0.8pF)、アンプから見たインピーダンス (図1を参照) は次のように算出されます。

$$[10 \Omega + (300 \Omega || 150 \Omega || 3.5 \text{ k}\Omega)] = 107 \Omega.$$

上記の値を用いると、このアプリケーションにおけるAD8375のNSDの低下は、以下のような式で表されることがわかります。

$$AmplifierNSD = 20 \frac{nV}{\sqrt{Hz}} \times \frac{107}{150} = 14.3 \frac{nV}{\sqrt{Hz}}$$

$$V_{NOISE, AMP}(Calculated) = NSD \left( \frac{nV}{\sqrt{Hz}} \right) \times \sqrt{BW \times ShapeFactor} \quad (6)$$

現実のフィルタを使用してシステムのノイズを求める場合、ノイズ帯域幅は理想フィルタとは異なる形になることに注意してください。その周波数応答の偏差は、ロールオフ領域におけるノイズの項、シェープ・ファクタ、アカウントによって特徴づけられます。シェープ・ファクタはフィルタの次数によって決まるものであり、ノイズの帯域幅と-3dB帯域幅の比で表されます<sup>3</sup>。フィルタの極が多いほど、シェープ・ファクタは1に近くなります（表1）。

表1. システムの次数とシェープ・ファクタの関係

システムの次数	シェープ・ファクタ
1	1.57
2	1.11
3	1.05
4	1.03
5	1.02

図1の例におけるシェープ・ファクタは1.02です。式(6)を用いると、アンプによって加わるノイズは以下のように計算できます。

$$V_{NOISE, AMP}(Calculated) = 14.3 \frac{nV}{\sqrt{Hz}} \times \sqrt{105 MHz} \times 1.02 = 149 \mu V_{RMS}$$

$$V_{NOISE, AMP}(Calculated) = 149 \mu V_{RMS}$$

VGAによってシステムに加わるノイズの概算値は、式(5)を用いて測定結果から得た値と非常によく一致しています。AD8375とAD9268を含むシグナル・チェーンの性能は、アンプのノイズに大きく依存していることがわかります。

## まとめ

多くのシグナル・チェーンでは、ADCにフルスケールの信号を入力できるようにするためにアンプ（VGAまたはゲイン・ブロック）を使用することになります。システム設計者は、アンプの選択によってはADCの最適な性能を引き出せなくなることを理解しておかなければなりません。選択したアンプとADCを用いて設計を行う前に、本稿で示した方法を用いてアンプによって加わるノイズを概算してみるべきです。それにより、期待するS/N比を達成可能なシステムの実現に向けて、動的性能を見積もることが可能になります。

## 参考資料

<sup>1</sup> MT-006, ADC Noise Figure -- An Often Misunderstood and Misinterpreted Specification (ADCのノイズ指数 -- 誤った解釈を招きがちなの指標を正しく理解する)

<sup>2</sup> The Data Conversion Handbook (データ変換ハンドブック)

<sup>3</sup> Rob Reeder, Jim Caserta 「アプリケーション・エンジニアに尋ねる -- 36 広帯域A/Dコンバータ・フロントエンド設計についてII: ADCにはアンプ駆動かトランス駆動か?」 Analog Dialogue 41-02, 2007年

## 著者について

Umesh Jayamohan ([umesh.jayamohan@analog.com](mailto:umesh.jayamohan@analog.com)) は、アナログ・デバイセズのアプリケーション・エンジニアです。所属は高速コンバータ・グループ（ノースカロライナ州グリーンズボロ）で、2010年に入社しました。設計エンジニア／アプリケーション・エンジニアとして、7年以上の経験を有しています。1998年にインドのケララ大学で学士号、2002年にアリゾナ州立大学で修士号を取得しています。

