

正しいグラウンディングを守る

著者：Hank Zumbahlen

グラウンディングは、システム設計のなかで最もむずかしいものであることは確かです。基本的なコンセプトは比較的簡単でも、実装となると非常に複雑です。残念ながら、よい結果を保証する「レシピ」のようなものはありません。うまく行わないと、相当な悩みを引き起こすことがいくつかあります。

線形システムの場合、グラウンドは信号のベースとなるリファレンスです。やっかいなことに、ユニポーラ電源システムでは、グラウンドは電源電流のリターン・パスにもなっています。グラウンディングの方策を正しく行わないと、高精度の線形システムでは性能を損なうことがあります。

グラウンディングはすべてのアナログ設計の課題であり、プリント基板ベースの回路では、適切な実装がまさに不可欠であることは事実です。幸いにも、プリント基板環境には高品質のグラウンディング（特に、グラウンド・プレーンの使用）がもともと原則となっています。これがプリント基板ベースのアナログ設計の大きな利点であるため、本稿ではこれについて主に論じることにします。

グラウンディングについて注意しなければならないその他の点としては、性能を損なう可能性があるスプリアス・グラウンド電圧や信号帰還電圧の制御があります。これらの電圧は、外部信号の結合、コモン電流、または単にグラウンド線での過剰なIR電圧降下などに起因します。このような寄生電圧を制御するには、差動信号の処理やグラウンドの絶縁技術に加えて、導体の適切なルーティングとサイジングも必要です。

ここで論じる重要な問題は、ミックスド・シグナルのアナログ／デジタル環境に適したグラウンディング技術です。実際に、高品質のグラウンディングという課題だけが、高性能なミックスド・シグナル基板設計のレイアウトの方針全体に影響を与えるものであり、またそうである必要があります。

今日の信号処理システムは、高速のデジタル・シグナル・プロセッサ（DSP）だけでなく、A/Dコンバータ（ADC）やD/Aコンバータ（DAC）などのミックスド・シグナル・デバイスも使用するのが一般的です。広いダイナミック・レンジを持つアナログ信号を処理するには、高性能なADCとDACを使用する必要があります。苛酷なデジタル環境において低ノイズで広いダイナミック・レンジを維持するには、適切な信号ルーティング、デカップリング、グラウンディングなど、優れた高速回路設計技法を用いる必要があります。

これまで、「高精度の低速」回路は、いわゆる「高速」回路とは別物と見なされるのが一般的でした。ADCとDACに関しては、速度を識別する基準として、一般にサンプリング（または更新）周波数が使用されてきました。しかし、次の2つの例が示すように、実際には、今日の信号処理ICの大部分は本当に「高速」であるため、高性能を維持するには高速ICとして扱う必要があります。これは、DSPについてはもちろん、ADCやDACについても当てはまります。

信号処理アプリケーションに適したすべてのサンプリングADC（内部サンプル＆ホールド回路を使用しているもの）は、短い立上がり／立下がり時間（一般に数ナノ秒）を持つ比較的高速なクロックで動作します。したがって、たとえスループット・レートが低いように見えても、高速デバイスとして扱う必要があります。たとえば、中速の12ビット逐次比較（SAR）ADCは、サンプリング・レートはわずか500kSPSでも、10MHzの内部クロックで動作するものがあります。

シグマ・デルタ（ $\Sigma\Delta$ ）ADCも、オーバーサンプリング比が高いため、高速クロックを必要とします。高分解能の、いわゆる「低

周波」の工業計測ADC（AD77xxシリーズなど）でさえ、10Hz～7.5kHzのスループットを持ち、5MHz以上のクロックで動作し、24ビットまでの分解能を提供します。

問題をさらに面倒なものにするのは、ミックスド・シグナルICにはアナログとデジタルの両方のポートがあることです。このため、適切なグラウンディング技法に関してますます混乱が大きくなります。さらに、ミックスド・シグナルICには、デジタル電流が比較的低いものと、高いものがあります。多くの場合、この2つのタイプでは、最適なグラウンディングに必要な処置が異なります。

デジタルとアナログの設計技術者では、ミックスド・シグナル・デバイスに対して異なる観点をとる傾向があります。したがって、ここでは内部回路の詳細に関わらず、大部分のミックスド・シグナル・デバイスに役に立つ、一般的なグラウンディングの原則を説明しましょう。

要するに、グラウンディングの問題は「レシピ」で対応できないことはお分かりになったと思います。残念ながら、これを行ってあげば絶対成功するといった必勝リストを提供することはできません。しかし、これをしておかなければ、おそらく問題が生じるだろうということは言えます。しかも、ある周波数範囲でそれが有効であっても、別の周波数範囲でも必ず有効とは限りません。さらに、一方を改善すれば、他方が悪化するという競合条件が存在することもあります。グラウンディングに対処する鍵は、電流の流れを理解することです。

スター・グラウンド

スター・グラウンドの設計原則は、回路内のすべての電圧がスター・グラウンド・ポイントと呼ばれる1つのグラウンド・ポイントを基準にするという理論に基づいています。これは、複数の導体が回路図の共通のグラウンドから星のように放射状に広がっているというイメージから考えると、わかりやすくなります。スター・ポイントが星のように見える必要はありません。グラウンド・プレーン上のポイントでもかまいません。スター・グラウンド・システムの重要な特長は、すべての電圧がグラウンド・ネットワーク内の特定のポイントを基準にして測定されるということであり、単に未定義の「グラウンド」（どこでもプローブをクリップしたところ）を基準にするのではないということです。

スター・グラウンドの設計原則は、理論的には合理的であっても、実際に実装するのは大変です。たとえば、スター・グラウンド・システムを設計する場合、信号の相互作用や、高インピーダンス信号やグラウンド・パスの影響を最小限に抑えるようにすべての信号パスを描くと、実装上の問題が発生します。回路図に電源を追加すると、不要なグラウンド・パスができたり、既存のグラウンド・パスに流れる電源電流が大きすぎるかノイズが大きすぎて（あるいはその両方によって）、信号の伝送が損なわれます。この問題は、一般には回路のそれぞれの部分に別個の電源（したがって、別個のグラウンド・リターン）を用意することによって防ぐことができます。たとえば、ミックスド・シグナル・アプリケーションにおいては、それぞれ別のアナログ／デジタル・グラウンドを持つ別個のアナログ／デジタル電源をスター・ポイントで結合する方法が一般的です。

アナログ／デジタル・グラウンドの分離

デジタル回路には、どうしてもノイズが多くなります。TTLやCMOSなどの飽和ロジックは、スイッチング時に電源から高速の大電流スパイクを引き込みます。数百ミリボルト（あるいは、それ以上）のノイズ耐性を持つロジック段の場合、一般に、ハイレベルの電源デカップリングはほぼ不要です。一方、アナログ回路の場合は、電源レールのものでグラウンドのものでノイズにきわめて脆弱です。したがって、アナログ回路とデジタル回路を分離してデジタル・ノイズによってアナログ性能が低下しないようにすることが賢明です。このような分離にはグラウンド・リターンと電源レールを分離する必要があるため、ミックスド・シグナル・システムにおいてはうまくいかない場合があります。

それでも、高精度ミックスド・シグナル・システムがその性能を最大限発揮するには、別個のアナログ／デジタル・グラウンドと別個の電源を持つことが不可欠です。一部のアナログ回路が+5V単電源で動作（機能）するからといって、マイクロプロセッサ、ダイナミックRAM、ファン、その他の高電流デバイスと同じノイズの多い+5V電源で最適に動作するわけではありません。アナログ部分は、単に機能すればよいのではなく、このような電源で十分な性能で動作しなければなりません。必然的に、この区別をするためには、電源レールとグラウンド・インターフェースの両方に十二分な注意を払う必要があります。

なお、システム内のアナログとデジタルのそれぞれのグラウンドはどこかで結合させ、それぞれの信号が共通の電位を基準とするように設計する必要があります。このスター・ポイント、つまりアナログ／デジタルの共通ポイントを選ぶときは、システムのアナログ部分のグラウンドにデジタル電流を流さないように注意します。多くの場合、電源を接続のポイントとすると便利です。

多くのADCとDACでは、アナログ・グラウンド（AGND）ピンとデジタル・グラウンド（DGND）ピンが別々になっています。デバイスのデータシートは、これらのピンをパッケージで相互に接続するよう推奨していることがあります。これは、アナログとデジタルのグラウンドを電源で接続するとよいということ、そして複数のコンバータを備えたシステムでは、アナログ／デジタル・グラウンドをシングル・ポイントで結合するとよいということと矛盾するように思われます。

ところが、これは矛盾しません。これらのピンの「アナログ・グラウンド」および「デジタル・グラウンド」というラベルは、信号の行き先であるシステムのグラウンドではなく、ピンを接続するコンバータの内部部品を表しています。ADCの場合、一般にこれら2本のピンは、一緒にしてシステムのアナログ・グラウンドに結合してください。ICパッケージ内ではこれらのピンを接続することはできません。コンバータのアナログ部分は、デジタル電流がボンディング・ワイヤからチップに流れることによって生じる電圧降下に耐えられないからです。しかし、これらを外部的に接続することはできます。

図1は、ADCのこのようなグラウンド接続のコンセプトを示しています。ピンをこのように接続すると、コンバータのデジタル・ノイズ耐性は、デジタルとアナログのシステム・グラウンド間の同相ノイズの量だけいくぶん減少します。しかし、デジタル・ノイズ耐性は一般に数百または数千ミリボルトのオーダーであるため、これが重要な問題となる可能性はあまりありません。

アナログ・ノイズ耐性は、コンバータ自体の外部デジタル電流がアナログ・グラウンドに流れることによってのみ減少します。このような電流はきわめて小さい値に抑えるべきですが、これはコンバータ出力に大きな負荷が生じないようにすることで可能です。そのための優れた方法は、ADC出力にCMOSバッファ・レジスタICなどの低入力電流のバッファを使用することです。

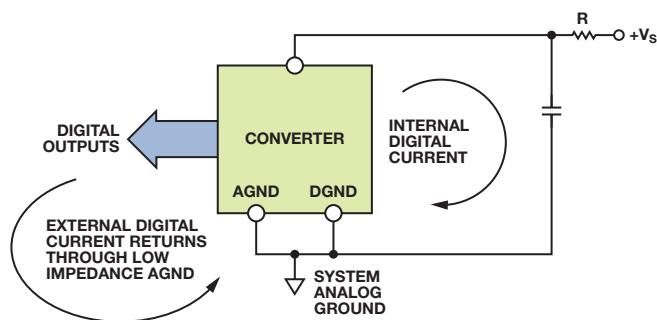


図1. データ・コンバータのアナログ・グラウンド（AGND）ピンとデジタル・グラウンド（DGND）ピンは、システムのアナログ・グラウンドに戻してください。

コンバータのロジック電源が小さな抵抗で絶縁されており、ローカルな0.1μF（100nF）コンデンサでアナログ・グラウンドにデカップリングされている場合、コンバータのすべての高速エッジ・デジタル電流はコンデンサを通してグラウンドに戻り、外部のグラウンド回路に出ることはありません。アナログ・グラウンドの低インピーダンス（十分なアナログ性能を発揮するために必要）を維持すれば、外部のデジタル・グラウンド電流に起因するノイズが問題になることはほとんどありません。

グラウンド・プレーン

前述のスター・グラウンド・システムに関連して使われるのが、グラウンド・プレーンです。グラウンド・プレーンを実装するため、両面基板の片側（あるいは、多層基板ボードの1つの層）を連続した銅で作成し、これをグラウンドとして使用します。この方法は、大量の金属は可能な限り低い抵抗を持つという理論に基づいています。太くて平坦な導体パターンは、インダクタンスを可能な限り低い値にします。これによって、スプリアスのグラウンド差分電圧が最小になるため、導電プレーンの全体で最良の導通が得られます。

なお、グラウンド・プレーンのコンセプトを拡張して、電圧プレーンを含むものとすることもできます。電圧プレーンにはグラウンド・プレーンと同様の利点（非常にインピーダンスが低い導体）がありますが、いずれか1つ（または複数）のシステム電源電圧専用となります。このため、システムは、1つのグラウンド・プレーンに加えて、複数の電圧プレーンを持つことがあります。

グラウンド・プレーンは多くのグラウンド・インピーダンス問題を解決しますが、万能薬ではありません。銅箔の連続シートでさえ、残留抵抗とインダクタンスを持ち、状況によっては、これだけで適切な回路機能が妨げられることもあります。設計者は、グラウンド・プレーンに非常に高い電流が注入されることに対して注意しなければなりません。電圧降下が生じて、敏感な回路に干渉する可能性があるからです。

現代のどのアナログ回路でも、低インピーダンスで大きな面積のグラウンド・プレーンは、きわめて重要です。グラウンド・プレーンは、高速デジタル・ロジックによって生じる高周波電流をデカップリングするための低インピーダンスのリターン・パスになるだけでなく、EMI/RFI放出を最小限に抑えます。グラウンド・プレーンのシールディング作用によって、外部EMI/RFIに対する回路の感受性も低下します。

インピーダンスの制御が必要な場合、グラウンド・プレーンにより、伝送ライン技術（マイクロストリップまたはストリップライン）を使用した高速デジタル／アナログ信号の伝送も可能になります。

グラウンドの代わりにバス・ワイヤを使用することは、大部分のロジック遷移の等価周波数におけるインピーダンスの面からまったく容認できません。たとえば、#22のゲージ・ワイヤには、約20nH/inのインダクタンスがあります。ロジック信号によって生じる10mA/nsのスルーレートを持つ過渡電流は、このワイヤを1インチ流れるときに、200mVの不要な電圧降下を発生させます。

$$\Delta v = L \frac{\Delta i}{\Delta t} = 20 \text{ nH} \times \frac{10 \text{ mA}}{\text{ns}} = 200 \text{ mV} \quad (1)$$

2Vのピークtoピーク範囲を持つ信号の場合、これは約200mV、つまり10%（約3.5ビット精度）の誤差が生じることを意味します。オール・デジタルの回路であっても、この誤差によってロジックのノイズ・マージンが大幅に低下します。

図2は、デジタル・リターン電流がアナログ・リターン電流（上側の図）を変調する状況を示しています。グラウンド帰線のインダクタンスと抵抗は、アナログ回路とデジタル回路の両方に影響します。これは、相互作用とその結果生じる誤差を引き起こします。

1つのソリューションとして、下側の図に示すように、GND REFへの直接のデジタル・リターン電流パスを作成することが考えられます。これは、「スター」、つまりシングルポイント・グラウンド・システムの基本的なコンセプトを表しています。複数の高周波リターン・パスを含むシステムに真のシングルポイント・グラウンドを実装することは困難です。個々のリターン電流ワイヤの物理的な長さによって寄生性の抵抗とインダクタンスが発生するため、高周波数において低インピーダンスのグラウンドを実現することはなかなかできません。高周波電流で低インピーダンスを実現するには、実際、電流リターンを面積の大きいグラウンド・プレーンで構成する必要があります。低インピーダンスのグラウンド・プレーンなしでは、特に高周波数において、このような共有インピーダンスを防ぐことはほとんどできません。

直列インダクタンスと抵抗を最小限に抑えるため、すべての集積回路のグラウンド・ピンは低インピーダンスのグラウンド・プレーンに直接ハンダ付けしてください。高速デバイスの場合、従来のICソケットの使用は推奨できません。たとえ薄型と称するソケットでも、そのインダクタンスと容量によって不要な共有パスが生じて、デバイス性能を損なうことがあります。プロトタイプングの場合のようにDIPパッケージでソケットを使用する必要がある場合は、個々の「ピン・ソケット」や「ケージ・ジャック」を使用しても問題ありません。これらのピン・ソケットには、キャップ付きとキャップなしの両方のタイプがあります。これらはバネ式の金接触を用いているため、ICピンへの電気的、機械的な接続が優れています。ただし、複数のピン・ソケットを挿入すると、性能に悪影響を与えることがあります。

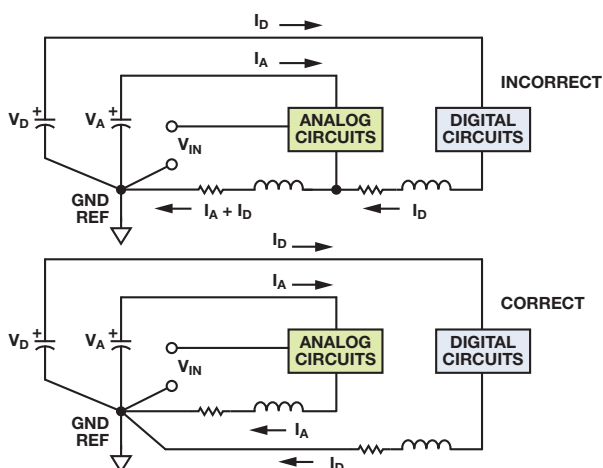


図2. アナログ・リターン・パスに流れるデジタル電流によって誤差電圧が生じます。

電源ピンは、低インダクタンスのセラミック型表面実装コンデンサを使用して、グラウンド・プレーンに直接デカップリングしてください。スルーホール取り付け型のセラミック・コンデンサを使用する必要がある場合、そのリード長さは1mm未満にしてください。セラミック・コンデンサは、IC電源ピンのできるだけ近くに置いてください。ノイズ・フィルタリング用にフェライト・ビーズが必要になることもあります。

では、グラウンドは多いほどよいのでしょうか？ グラウンド・プレーンは、多くのグラウンド・インピーダンスの問題を解決しますが、すべての問題を解決するわけではありません。銅箔の連続シートでさえ残留抵抗とインダクタンスを持ち、状況によっては、適切な回路機能を妨げることもあります。図3はこのような問題と、それに対して考えられるソリューションを示します。

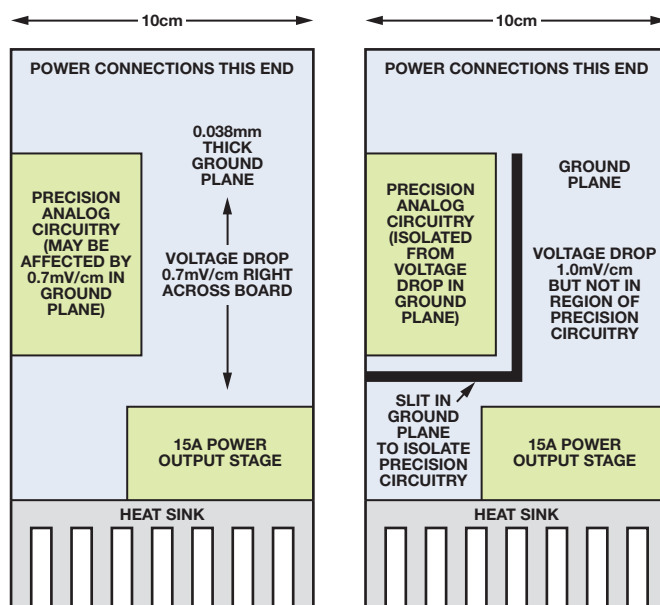


図3. グラウンド・プレーンのスリットによって電流フローを再構成し、精度を向上させることができます。

現実の機械設計では、電力入力コネクタはボードの一方の側にあり、ヒート・シンクの近くに配置しなければならない電力出力セクションは他方の側にあります。ボードには、100mm幅のグラウンド・プレーンと15Aを消費するパワーアンプがあります。グラウンド・プレーンの厚さが0.038mmであり、15Aが流れる場合、68μV/mmの電圧降下が生じます。この電圧降下は、ボードを共有しているグラウンド基準の高精度アナログ回路に深刻な影響を与えます。高精度回路領域に大電流が流れないように、グラウンド・プレーンにスリットを使用することができます。こうすると、大電流はスリットの周りを流れます。これによって、たとえグラウンド・プレーンの電流が流れる部分では電圧傾斜が増大するとしても、グラウンディングの問題を防ぐことができます（この場合は確実に防ぎます）。

複数のグラウンド・プレーンのシステムにおいて絶対に避けるべきことは、グラウンド・プレーン（特にアナログ/デジタル・グラウンド）のオーバーラップです。これは、グラウンド（おそらくデジタル・グラウンド）間でノイズの容量結合を引き起こします。コンデンサが絶縁体（PCボード材料）によって区切られた2つの導体（2つのグラウンド・プレーン）で構成されていることを忘れないでください。

低デジタル電流のミックスド・シグナルICの接地とデカップリング

アンプや電圧リファレンスなどのデリケートなアナログ部品は、常にアナログ・グラウンド・プレーンを基準としデカップリングします。低デジタル電流のADCとDAC（および、その他のミックスド・シグナルIC）は一般にアナログ部品として扱う必要があります。アナログ・グラウンド・プレーンに対して接地とデカップリングを行います。コンバータにはアナログとデジタルのインターフェースがあり、通常、アナログ・グラウンド（AGND）およびデジタル・グラウンド（DGND）と呼ばれるピンがあるため、一見したところ、これは少し矛盾しているように思えるかもしれません。図4は、この見かけのジレンマの説明に役立ちます。

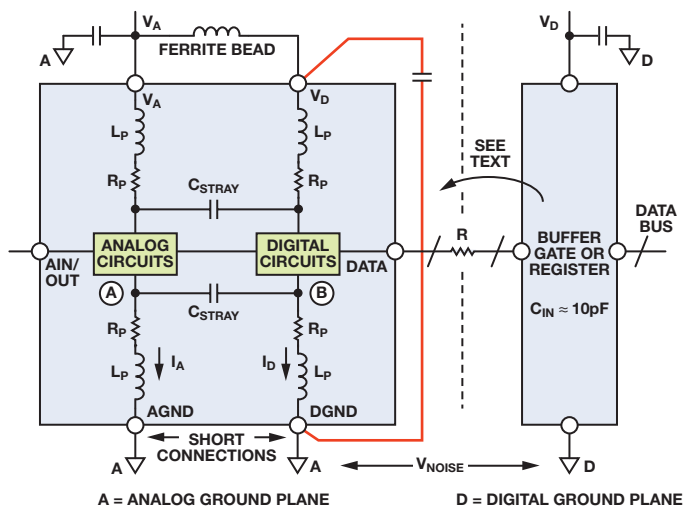


図4. 内部に低いデジタル電流のあるミックスド・シグナルICの適切なグラウンディング

アナログとデジタルの両方の回路を持つIC（たとえば、ADCやDAC）の内部では、デジタル信号がアナログ回路に混入しないように、通常、グラウンドは切り離されています。図4は、コンバータの簡単なモデルを示しています。チップ上のボンディングパッドをパッケージ・ピンに接続することで生じるワイヤ・ボンドのインダクタンスと抵抗については、IC設計者はそれについて認識しておく以外できることは何もありません。急速に変化するデジタル電流がポイントBに生成する電圧は、浮遊容量（ C_{STRAY} ）を通じてアナログ回路のポイントAに必然的に結合します。さらに、ICパッケージの隣接したベアとなっているあらゆるピン間には、約0.2pFの浮遊容量がどうしても生じます。それにもかかわらずチップを動作させることがIC設計者の使命です。しかし、それ以上の結合を防ぐには、AGNDピンとDGNDピンは、最小のリード長で外部的にアナログ・グラウンド・プレーンに結合する必要があります。DGND接続のインピーダンスが加わると、ポイントBで発生するデジタル・ノイズが増え、浮遊容量を通じてアナログ回路に混入するデジタル・ノイズが増えることになります。なお、DGNDをデジタル・グラウンド・プレーンに接続すると、AGNDピンとDGNDピンの間に V_{NOISE} が生じ、大失敗を招きます。

「DGND」という名前は、このピンをICのデジタル・グラウンドに接続することを意味しています。これは、システムのデジタル・グラウンドに接続する必要があるという意味ではありません。ICの内部「デジタル・リターン」と呼ぶ方が適切かもしれません。

前述のグラウンディングのレイアウトでは、少量のデジタル・ノイズがアナログ・グラウンド・プレーンに混入することがあるのは事実です。しかし、このような電流はきわめて小さく、コンバータの出力によって大きなファンアウトを駆動しないようにすれば（通常、設計によって阻止します）、最小限に抑えることができます。コンバータのデジタル・ポートでのファンアウトを最小限に抑えると（これは低電流を意味します）、コンバータのロジック遷移波形をリングングが比較的にない状態に保ち、デジタル・スイッチング電流を最小限に抑え、それによってコンバータのアナログ・ポートへの結合を減らすことにもなります。図4に示すように、ロジック電源ピン（ V_D ）は、損失を付加する小さいフェライト・ビーズを挿入することによって、アナログ電源からさらに絶縁することができます。コンバータの内部デジタル過渡電流は、 V_D から小さなループに流れ、デカップリング・コンデンサを通じてDGNDに流れます（このパスは図の中で赤色で示されています）。したがって、デジタル過渡電流は、外部のアナログ・グラウンド・プレーンには現れず、ループ内に閉じ込められます。 V_D ピンのデカップリング・コンデンサは、寄生インダクタンス

を最小限に抑えるため、できるだけコンバータの近くに取り付けてください。デカップリング・コンデンサは、一般には0.01 μ F（10nF）～0.1 μ F（100nF）の低インダクタンスのセラミック型としてください。

この場合も、1つのグラウンディング方式ですべてのアプリケーションに対応できるわけではありません。しかし、さまざまな方法を理解し、前もって計画することで、問題を最小限に抑えることができます。

ADCデジタル出力の取り扱いに注意

デジタル出力をデータ・バスのノイズから絶縁するために、データ・バッファをコンバータに隣接して配置するのはよい方法です（図4）。データ・バッファは、コンバータのデジタル出力の負荷を最小限に抑えるのにも役立ち、デジタル出力とデータ・バスの間のファラデー・シールドの役割を果たします（図5）。多くのコンバータにはスリーステートの出力／入力があるにもかかわらず、これらのレジスタはダイ上にあり、データ・ピンの信号が敏感な領域に混入することがあります。したがって、絶縁バッファもやはり優れた設計手法といえます。場合によっては、絶縁を強化するため、アナログ・グラウンド・プレーン上でコンバータ出力の隣にデータ・バッファを追加するとさらにより結果が得られるでしょう。

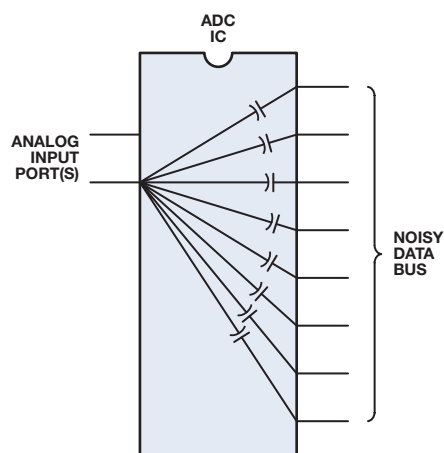


図5. 出力にバッファ／ラッチを使用した高速ADCは、デジタル・データ・バスのノイズに対して高い耐性を示します。

ADC出力とバッファ・レジスタ入力の間にある直列抵抗（図4では「R」というラベル）は、コンバータ性能に影響を与えることのあるデジタル過渡電流を最小限に抑えるのに役立ちます。抵抗は、デジタル出力ドライバをバッファ・レジスタ入力の容量から絶縁します。さらに、直列抵抗とバッファ・レジスタの入力容量によって形成されるRCネットワークは、ローパス・フィルタとして機能して高速エッジを減速させます。

基板パターンとスルーホールを組み合わせた代表的なCMOSゲートは、約10pFの負荷を形成します。絶縁抵抗がない場合、1V/nsのロジック出力スルーレートによって10mAの動的電流が生じます。

$$\Delta i = C \frac{\Delta v}{\Delta t} = 10 \text{ pF} \times \frac{1 \text{ V}}{\text{ns}} = 10 \text{ mA} \quad (2)$$

10pFの入力容量のレジスタを駆動するとき、500 Ω の直列抵抗は過渡出力電流を最小限に抑え、約11nsの立上がり／立下がり時間が得られます。

$$t_r = 2.2 \times t = 2.2 \times R \times C = 2.2 \times 500 \Omega \times 10 \text{ pF} = 11 \text{ ns} \quad (3)$$

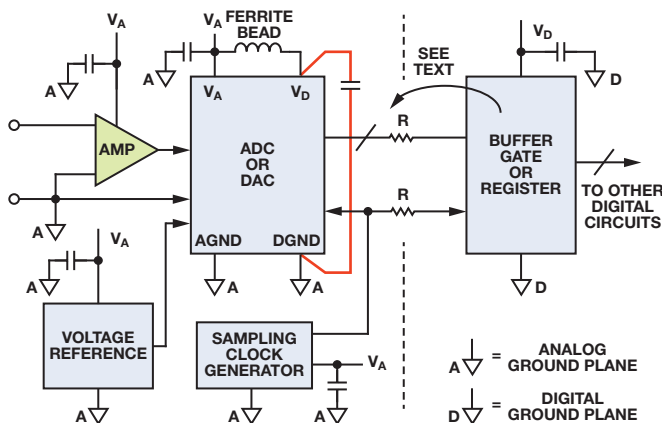


図6. グラウンディング/デカップリング・ポイント

TTLレジスタは使用しないでください。入力容量が高いため、ダイナミックなスイッチング電流がかなり増加することがあります。

バッファ・レジスタとその他のデジタル回路は、基板のデジタル・グラウンド・プレーンに接地し、デカップリングしてください。アナログ/デジタル・グラウンド・プレーン間にノイズがあると、コンバータのデジタル・インターフェースのノイズ・マージンが減少します。デジタル・ノイズ耐性は数百または数千ミリボルトのオーダーであるため、これが問題になることはありません。アナログ・グラウンド・プレーンは、通常、あまりノイズが多くはありません。しかし、デジタル・グラウンド・プレーン上のノイズが(アナログ・グラウンド・プレーンに比べて)数百ミリボルトを上回る場合、デジタル・ノイズ・マージンを許容可能なレベルに維持するためにデジタル・グラウンド・プレーンのインピーダンスを低減する対策を講じてください。どんな場合でも、2つのグラウンド・プレーン間の電圧が300mVを上回らないようにしてください。さもないと、ICが損傷することがあります。

アナログ/デジタル回路で電源を別にすることも強くお勧めします。コンバータの駆動にはアナログ電源を使用してください。コンバータのピンがデジタル電源ピン(V_D)と指定されている場合、図6に示すように、そのピンは別のアナログ電源から駆動するか、またはフィルタ処理してください。すべてのコンバータ電源ピンはアナログ・グラウンド・プレーンにデカップリングし、すべてのデジタル回路電源ピンはデジタル・グラウンド・プレーンにデカップリングしてください(図6を参照)。デジタル電源のノイズが比較的少ない場合は、アナログ回路の電源にも使用できますが、十分な注意が必要です。

場合によっては、アナログ電源に V_D を接続できないこともあります。一部の高速ICではアナログ回路を+5Vで駆動しますが、デジタル・インターフェースは外部ロジックの接続のために+3.3V以下で駆動します。この場合、ICの+3.3Vピンは、アナログ・グラウンド・プレーンに直接デカップリングしてください。また、ピンと+3.3Vデジタル・ロジック電源を接続する電源パターンと直列に、フェライト・ビーズを接続することもお勧めします。

サンプリング・クロックの生成回路は、アナログ回路のように取り扱い、アナログ・グラウンド・プレーンに接地し、十分にデカップリングしてください。サンプリング・クロック上の位相ノイズは、システムのS/N比を低下させます。これについては、次に説明します。

サンプリング・クロックの問題点

高性能サンプリング・データ・システムでは、低位相ノイズの水晶発振器を用いてADC(またはDAC)のサンプリング・クロックを生成してください。これは、サンプリング・クロックのジッタがアナログの入力/出力信号を変調し、ノイズ&歪みフロアを上昇させるためです。サンプリング・クロック・ジェネレータは、オペアンプやADCとともに、ノイズの多いデジタル回路から絶

縁し、アナログ・グラウンド・プレーンに接地し、デカップリングしてください。

サンプリング・クロックのジッタがADCのS/N比に与える影響は、式4によってほぼ表すことができます。

$$SNR = 20 \log_{10} \left[\frac{1}{2\pi f t_j} \right] \quad (4)$$

ここで、 f はアナログ入力周波数、SNR(S/N比)は無限の分解能を持つ完全なADCの場合です。唯一のノイズ源はrmsサンプリング・クロック・ジッタ(t_j)です。簡単な例として、 $t_j = 50\text{ps}$ (rms)、 $f = 100\text{kHz}$ の場合、 $SNR = 90\text{dB}$ となり、約15ビットのダイナミック・レンジに相当します。

上の例で、 t_j は、実際には外部クロック・ジッタと内部ADCクロック・ジッタ(アパーチャ・ジッタと呼ばれます)との2乗和の平方根(rss)値になります。しかし、大部分の高性能ADCでは、サンプリング・クロックのジッタに比べて内部アパーチャ・ジッタはごくわずかです。

S/N比の低下は主に外部クロック・ジッタが原因であるため、位相ジッタをできるだけ抑えて、サンプリング・クロックをできるだけノイズフリーにする措置を講じる必要があります。そのためには、水晶発振器が必要です。複数のメーカーが、低ジッタ(5ps rms未満)のCMOS互換出力を持つ小型水晶発振器を提供しています。

理想的には、サンプリング・クロックの水晶発振器はスプリット・アース・システムのアナログ・グラウンド・プレーンを基準にしてください。しかし、システムの制約によってそうできないこともあります。多くの場合、サンプリング・クロックは、デジタル・グラウンド・プレーン上で生成する高周波数の多目的システム・クロックから生成する必要があります。その後、デジタル・グラウンド・プレーン上のその信号源から、アナログ・グラウンド・プレーン上のADCに進みます。2つのプレーン間のグラウンド・ノイズがクロック信号に直接付加され、余分なジッタが生じます。ジッタは、S/N比を悪化させ、不要な高調波を生成することがあります。

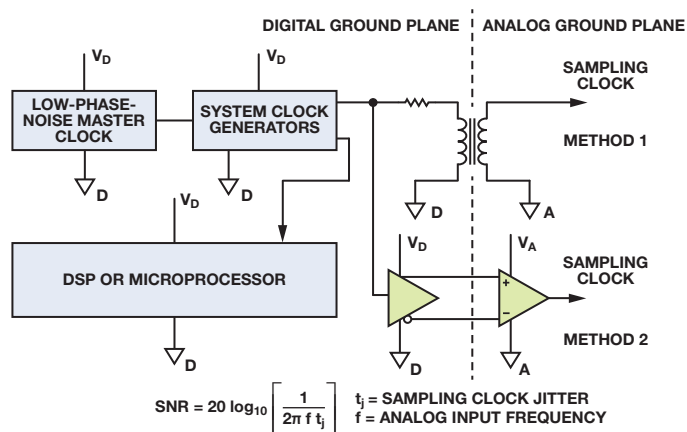


図7. デジタル・グラウンド・プレーンからアナログ・グラウンド・プレーンへのサンプリング・クロックの分配

これは、図7に示すような小型のRFトランスまたは高速の差動ドライバ/レシーバを用いてサンプリング・クロック信号を差動信号として送信することによって、いくぶん軽減することができます。高速の差動ドライバ/レシーバを使用する場合、位相ジッタを最小限に抑えるためにECLを使用してください。+5V単電源システムでは、グラウンドと+5V(PECL)の間にECLロジックを接続し、出力をADCサンプリング・クロック入力にAC結合することができます。いずれの場合も、オリジナルのマスター・システムのクロックを生成するには、低位相ノイズの水晶発振器を使用する必要があります。

ミックスド・シグナルのグラウンディングについての混乱の起源

ADC、DAC、その他のミックスド・シグナル・デバイスのデータシートの大部分は、単一の基板（通常はメーカーの提供する評価用ボード）を基準にしてグラウンディングを説明しています。このため、マルチカードやマルチADC/DACシステムにこれらの原理を適用しようとする、さまざまな混乱が生じました。一般的に、ボードのグラウンド・プレーンはアナログ・プレーンとデジタル・プレーンに分離するように推奨されています。さらに、コンバータのAGNDピンとDGNDピンを相互に接続し、図8に示すように、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンをその同じポイントで接続するとよいとされています。これで、ミックスド・シグナル・デバイスのスター・グラウンドが基本的に出来上がります。ノイズの多いすべてのデジタル電流は、デジタル電源を通じてデジタル・グラウンド・プレーンに流れ、デジタル電源に戻ります。これらの電流は、ボード上の影響を受けやすいアナログ部分から絶縁します。システムのスター・グラウンドは、ミックスド・シグナル・デバイスでアナログとデジタルのグラウンド・プレーンが結合するところになります。

この方法は1枚のボードと1個のADC/DACを持つ簡単なシステムでは一般に適用できますが、マルチカードのミックスド・シグナル・システムには当てはまりません。異なるボード（あるいは、同じボード）上に複数のADCやDACを持つシステムでは、アナログ/デジタル・グラウンド・プレーンが複数のポイントで接続されるため、グラウンド・ループが生じる可能性があり、シングル・ポイントのスター・グラウンド・システムは不可能になります。このような理由から、このグラウンディング方式は、マルチカード・システムには推奨できません。低いデジタル電流のミックスド・シグナルICには、前述の方式をご使用ください。

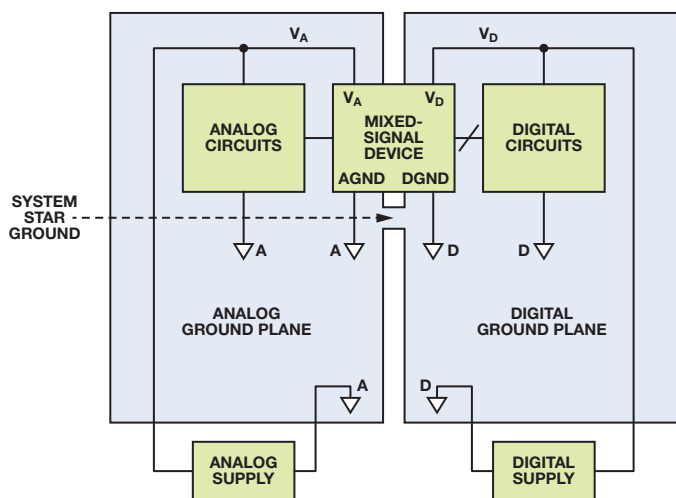


図8. ミックスド・シグナルICのグラウンディング: 単一のボード (代表的な評価/テスト・ボード)

高周波動作のグラウンディング

グラウンド・プレーンの層は、電源および信号電流に最高のリターンとしてよく推奨される一方で、コンバータ、リファレンス、その他のサブサーキットの基準ノードにもなります。しかし、たとえグラウンド・プレーンを大いに利用しても、AC回路用の高品質なグラウンド・リファレンスを保証できるわけではありません。2層プリント回路基板上に作成した図9の簡単な回路では、最上層のAC + DC電流源が一方でビア1に接続し、他方はU字形の1本の銅パターンを介してビア2に接続します。両方のビアが、回路ボードを通りグラウンド・プレーンに接続します。理想的に

は、上部コネクタのインピーダンスと、ビア1およびビア2の間のグラウンド・リターンのインピーダンスはゼロになり、電流源の両端の電圧もゼロになります。

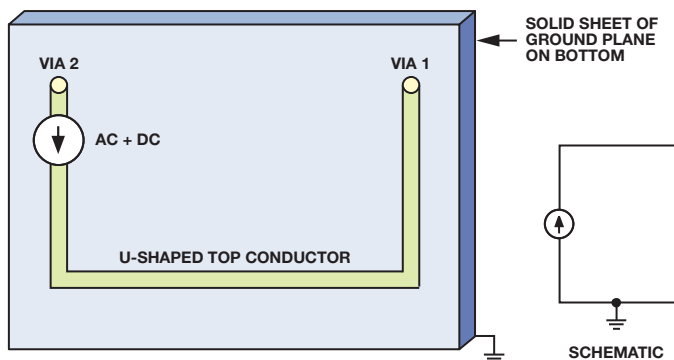


図9. ボード上にU字形のパターンを持ち、グラウンド・プレーンを通るリターンがある電流源の回路図とレイアウト

この簡単な回路図では、ひそかに存在する微妙な問題ははっきりと表れていません。しかし、電流がグラウンド・プレーン内をビア1からビア2までどう流れるかを理解すれば、実際にどうなっているかが明らかになり、高周波レイアウトでグラウンド・ノイズを防止する方法がわかります。

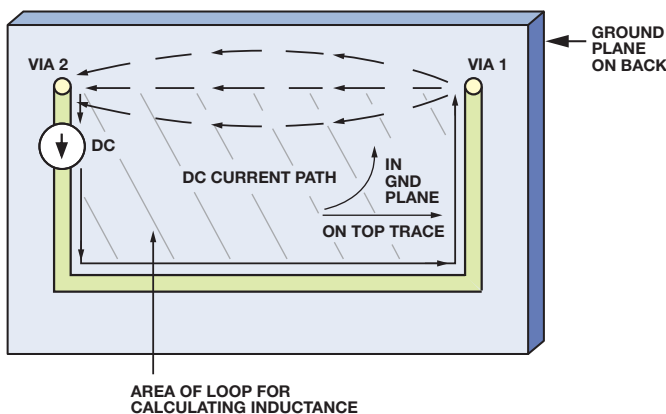


図10. 図9のボードのDC電流フロー

DC電流は、図10に示すように、グラウンド・プレーン内をビア1からビア2まで最小抵抗のパスを選んで流れます。若干の電流拡散は発生しますが、このパスから相当離れた場所を流れる電流はほとんどありません。これに対して、AC電流の場合は、インダクタンスに依存する最小インピーダンスのパスを選びます。

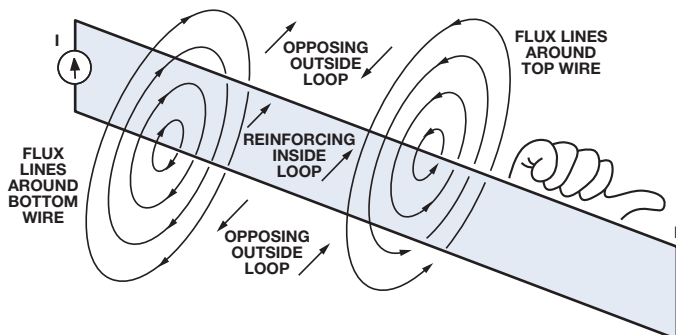


図11. 磁力線と誘導ループ (右手の法則)

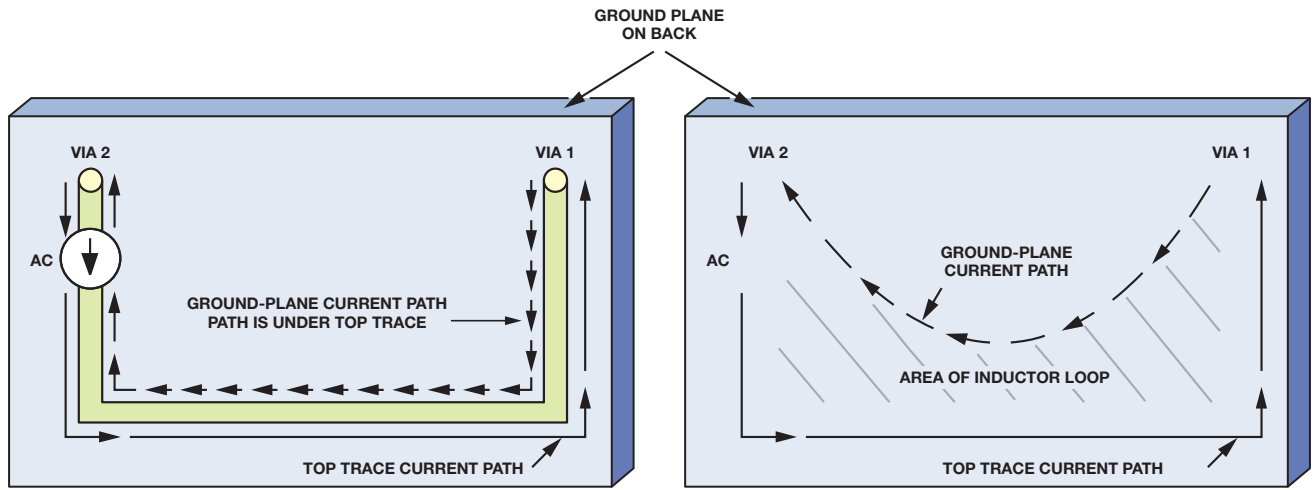


図12. AC電流パス:グラウンド・プレーンに抵抗がない場合(左)と抵抗がある場合(右)

インダクタンスは、電流フローによって形成されるループの面積に比例します。この関係は、図11に示す右手の法則と磁界によって示すことができます。ループの内側では、ループのあらゆる部分に沿った電流が構造的に加算される磁力線ができます。しかし、ループから離れると、さまざまなデバイスからの磁力線が打ち消しあうように加算されます。このように、磁場は主にループの内部に閉じ込められます。ループが大きくなるほど、インダクタンスも大きくなります。つまり、所定の電流レベルの場合、大きなループでは蓄積される磁気エネルギー ($L i^2$) が大きくなり、インピーダンス ($X_L = j\omega L$) も大きくなります。そのため、所定の周波数で発生する電圧が増えます。

電流はグラウンド・プレーン内のどのパスを選ぶでしょうか？当然、インピーダンスが最低のパスです。U字形の表面リードとグラウンド・プレーンによって形成されるループを想定し、抵抗を無視すると、高周波AC電流は最小インダクタンス（したがって、最小面積）のパスに沿って流れます。

ここに示した例では、最小面積のループは、明らかにU字形の上部配線とその直下のグラウンド・プレーン部分によって形成されています。そこで、図10はDC電流パスを示していますが、図12のほうは大部分のAC電流がグラウンド・プレーン内で選ぶパス、すなわち、最小面積になる、U字形の上部配線の直下を示しています。実際には、グラウンド・プレーン内の抵抗によって、低～中周波数の電流はまっすぐなリターン・パスと上部導体の直下とのほぼ中間を流れます。しかし、1MHzや2MHzの低周波数ではリターン・パスは上部配線のほぼ下にあります。

グラウンド・プレーンのブレイクに注意

導体の下側のグラウンド・プレーンに切れ目がある場合、グラウンド・プレーンのリターン電流は必然的に切れ目の周りを流れます。その結果、回路のインダクタンスと外部電界に対する脆弱性の両方が増加します。この状況を図13に示します。この図で、導体AとBは互いに交差させる必要があります。

直角をなす2つの導体の交差のためにこのような切れ目が生じる場合、ワイヤを使用して、2番目の信号を最初の信号とグラウンド・プレーンを通して伝送したほうがはるかによかったです。このようにすれば、グラウンド・プレーンは2つの信号導体

間でシールドとして機能し、表皮効果のためにグラウンド・プレーンの反対側に流れる2つのグラウンド・リターン電流が互いに影響することはありません。

多層基板の場合、クロスオーバーと連続グラウンド・プレーンはワイヤ・リンクを使用しなくても構成することができます。多層基板は、簡単な両面ボードに比べて高価で、トラブルシューティングもむずかしいのですが、シールドリングと信号ルーティングの面で優れています。適用される原理は同じですが、さまざまなレイアウトが可能になります。

少なくとも1枚の連続グラウンド・プレーンとともに、両面または多層の基板を使用することは、高性能ミックスド・シグナル回路を実現するための設計方式としてまぎれもなく最も成功を収めているものの1つでしょう。通常、このようなグラウンド・プレーンのインピーダンスは十分に低く、システムのアナログ部とデジタル部の両方に1つのグラウンド・プレーンを使用できます。しかし、これが可能かどうかは、要求される分解能と帯域幅、およびシステムに存在するデジタル・ノイズの量に依存します。

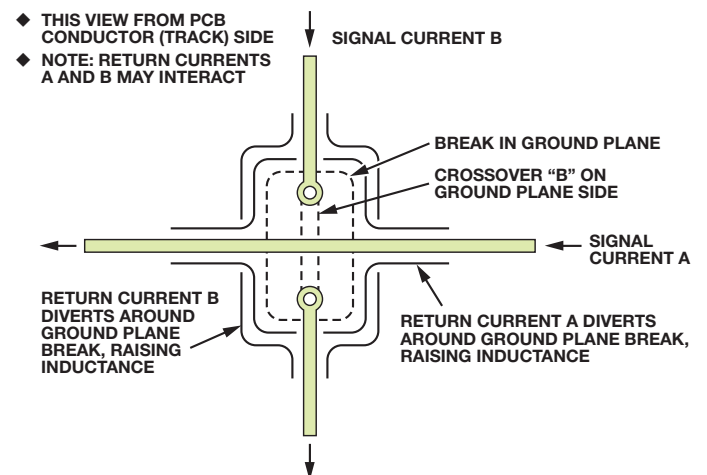


図13. 回路のインダクタンスと外部電界に対する脆弱性を増加させるグラウンド・プレーンのブレイク

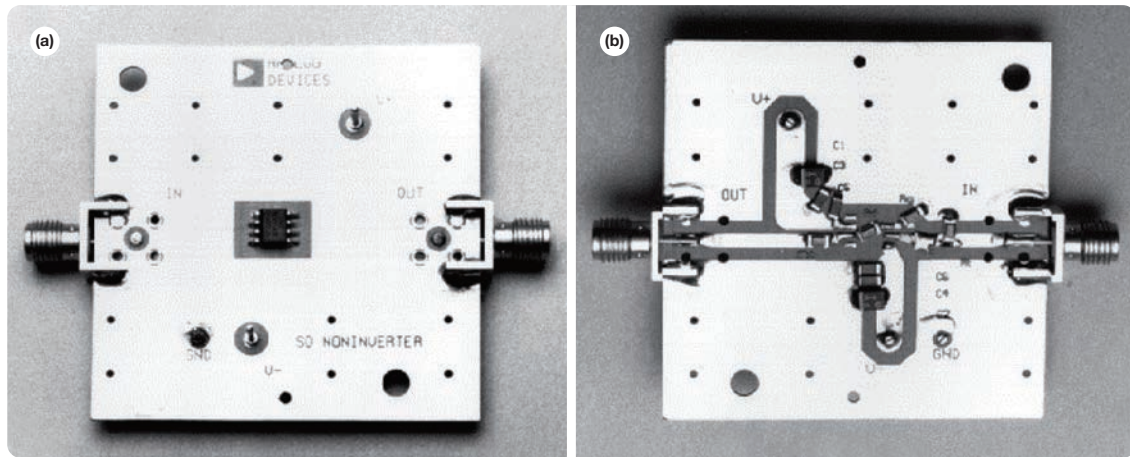


図14. AD8001AR評価用ボード：上面図 (a) と底面図 (b)

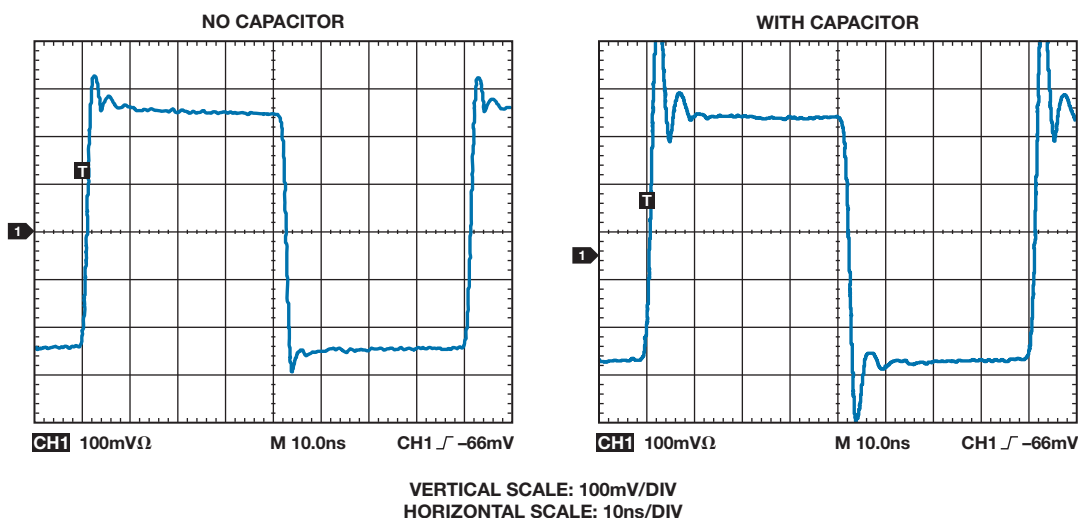


図15. 10pFの浮遊容量がアンプ (AD8001) のパルス応答の反転入力に与える影響

場合によっては、少ないほうがよい場合があります。高周波の電流検出アンプは、反転入力の周りの容量にきわめて敏感です。グラウンド・プレーンの隣に配線された入力パターンは、問題を引き起こす原因となるような、性質の静電容量を持つことがあります。コンデンサは、絶縁体（ボードのほか、ハンダ・マスクも）によって分離された2つの導体（パターンとグラウンド・プレーン）で構成されることを思い出してください。そのため、図14に示す高速電流検出アンプAD8001用の評価用ボードのように、グラウンド・プレーンは入力ピンの部分から削除してください。図15は、小さな容量が電流検出アンプの入力に与える影響を示しています。出力のリングングに注目してください。

グラウンディングのまとめ

どんな場合も最適な性能を保証する、万能のグラウンディング方法は存在しません。本稿は、問題となる特定のミックスド・シグナル・デバイスの特性に応じていくつかの可能なオプションを提示しました。最初の基板レイアウトでは、できるだけ多くの選択肢があると助かります。

ボードの少なくとも1つの層は、必ずグラウンド・プレーン専用に使ってください。最初の基板レイアウトでは、アナログ／デジ

タル・グラウンド・プレーンは重ならないようにしますが、パッドとビアは複数の場所に用意してください。これは、バックツープのショットキーダイオードやフェライト・ビーズ（必要に応じて）を取り付けるためです。また、アナログ／デジタル・グラウンド・プレーンを、必要に応じてジャンパで接続することもできます。

ミックスド・シグナル・デバイスのAGNDピンは、一般に、必ずアナログ・グラウンド・プレーンに接続してください。例外は、ADSP-21160 SHARC®プロセッサなど、内部フェーズ・ロックド・ループ (PLL) を備えたDSPの場合だけです。PLL用のグラウンド・ピンにはAGNDというラベルがありますが、DSP用のデジタル・グラウンド・プレーンに直接接続してください。

謝辞

本稿に掲載した資料については、James Bryant、Mike Byrne、Walt Jung、Walt Kester、Ray Stata、およびアナログ・デバイセズのエンジニアリング・スタッフなど多くの方のご協力によって使用させていただきました。ここに感謝いたします。

参考文献

- Barrow, Jeff. "Avoiding Ground Problems in High Speed Circuits." *RF Design*, July 1989.
- Barrow, Jeff. "Reducing Ground Bounce in DC-to-DC Converters—Some Grounding Essentials." *Analog Dialogue*. Vol. 41, No. 2, pp. 3-7, 2007.
- Bleaney, B & B.I. *Electricity and Magnetism*. Oxford at the Clarendon Press, 1957: pp. 23, 24, and 52.
- Brokaw, Paul. AN-202 Application Note. *An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change*. Analog Devices, 2000.
- Brokaw, Paul and Jeff Barrow. AN-345 Application Note. *Grounding for Low- and High-Frequency Circuits*. Analog Devices.
- The Data Conversion Handbook*. Edited by Walt Kester. Newnes, 2005. ISBN 0-7506-7841-0.
- Johnson, Howard W. and Martin Graham. *High-Speed Digital Design*. PTR Prentice Hall, 1993. ISBN: 0133957241.
- Kester, Walt. "A Grounding Philosophy for Mixed-Signal Systems." *Electronic Design Analog Applications Issue*, June 23, 1997: pp. 29.
- Kester, Walt and James Bryant. "Grounding in High Speed Systems." *High Speed Design Techniques*. Analog Devices, 1996: Chapter 7, pp. 7-27.
- Linear Circuit Design Handbook*. Edited by Hank Zumbahlen. Newnes, February 2008. ISBN 978-0-7506-8703-4.
- Montrose, Mark. *EMC and the Printed Circuit Board*. IEEE Press, 1999 (IEEE Order Number PC5756).
- Morrison, Ralph. *Grounding and Shielding Techniques*. 4th Edition. John Wiley & Sons, Inc., 1998. ISBN: 0471245186.
- Morrison, Ralph. *Solving Interference Problems in Electronics*. John Wiley & Sons, Inc., 1995.
- Motchenbacher, C. D. and J. A. Connelly. *Low Noise Electronic System Design*. John Wiley & Sons, Inc., 1993.
- Op Amp Applications Handbook*. Edited by Walt Jung. Newnes, 2005. ISBN 0-7506-7844-5.
- Ott, Henry W. *Noise Reduction Techniques in Electronic Systems*. 2nd Edition. John Wiley & Sons, Inc., 1988. ISBN: 0-471-85068-3.
- Rempfer, William C. "Get All the Fast ADC Bits You Pay For." *Electronic Design*. Special Analog Issue, June 24, 1996: pp. 44.
- Rich, Alan. "Shielding and Guarding." *Analog Dialogue*. Vol. 17, No. 1, pp. 8, 1983.
- Sauerwald, Mark. "Keeping Analog Signals Pure in a Hostile Digital World." *Electronic Design*. Special Analog Issue, June 24, 1996: pp. 57.

著者

Louis "Hank" Zumbahlen [hank.zumbahlen@analog.com] は、もともとカリフォルニアを拠点とするフィールド・アプリケーション・エンジニアとして、1989年からアナログ・デバイスで働いています。近年は、アプリケーション・エンジニアのベテランとして教育やセミナー開発の仕事に従事しています。入社前はシグネティックス（フィリップス）社で同じような仕事をしていたほか、数社で主に試験・測定分野の設計エンジニアとして活躍していました。Hankはイリノイ州立大学でBSEEを取得しています。著書には『*Linear Circuit Design Handbook*』Newnes-Elsevier（2008年）があります。

