

過電圧保護機能を集積化した ロバストなオペアンプ

著者: Eric Modica、Michael Arkin

オペアンプの入力電圧が仕様で規定された入力電圧範囲（極端な場合は、アンプの電源電圧）を上回ると、性能不良が発生するだけでなく損傷することさえあります。この記事では、過電圧状態の一般的な原因と影響、過電圧保護機能を普通のアンプに外付けで追加することがいかに厄介か、そして最新アンプに集積化されている過電圧保護が設計者にいかにコンパクトで、強力、扱いやすく、かつ費用効果の高いソリューションを提供するかについてご説明します。

すべての電子部品には、許容できる印加電圧に上限があります。こうした上限のいずれかを上回った場合、動作の瞬時的な中断から、システムのラッチアップや恒久的な損傷にいたるまでさまざまな影響が生じます。ある部品が許容できる過電圧の量は、その部品が実装されているのか、あるいは実装されていない状態で偶然に接触したのか、過電圧状況の規模と継続時間、デバイスの堅牢性など、いくつかの要因に依存します。

高精度アンプは、センサー計測シグナル・チェーンの初段に使われる部品であることが多く、過電圧障害の被害を最も受けやすい要素です。高精度アンプを選択する場合、システム設計者は、アンプのコモンモード入力範囲を調べる必要があります。データシートでは、コモンモード入力範囲は、入力電圧範囲（IVR）によって指定されていたり、コモンモード除去比（CMRR）のテスト条件で指定されていたり、その両方を使用して指定されていることがあります。

過電圧状態が起きる原因の実際

アンプに必要な保護には、電源シーケンシング、スリープ状態への遷移と復帰、スパイク電圧に起因する障害に対する過電圧保護と、動作時も含め、静電放電（ESD）に起因する障害に対するESD保護があります。実装されたデバイスはシステムの電源シーケンス条件の影響を受けることがあり、繰り返し過電圧のストレスを受けます。システム設計者は、障害を起こす電流の経路を損傷しやすい部品から遠くに配置したり、損傷が起きないようにこれらの障害となる電流を抑えたりするための対策を講じます。

複数の電源電圧を持つ複雑な分散型電源アーキテクチャ（DPA）システムでは、電源シーケンシングによって、システム回路のさまざまな部分を駆動する電源を異なるタイミングでオン/オフします。シーケンシングが不適切な場合は、いずれかのデバイスのどこかのピンに過電圧状態やラッチアップ状態が発生する可能性があります。

エネルギー効率への関心が高まるなか、多くのシステムには複雑なスリープ・モードやスタンバイ・モードが実装されています。つまり、システムの一部がパワーダウンされる時、ほかの部分は電源がオンとなっていることを意味します。電源シーケンシングの場合と同様、このような状況でも、主に入力ピンで予測できない過電圧イベントが生じることがあります。

多くのタイプのセンサーは、測定対象の物理的な現象とは無関係の予想外の出力スパイクを生成することがあります。この種の過電圧状態の影響は、一般に入力ピンのみにかかります。

静電放電は、部品が実装される前によく発生する過電圧状況としてよく知られています。静電放電による損傷があまりにも多く発生しているため、[JESD22-A114D](#)などの業界の仕様でさまざまなESDに対する半導体の耐久性を試験し、指定する方法が定められています。ほぼすべての半導体製品は、何らかの保護デバイスが集積化されています。このテーマの詳細については、アプリケーション・ノートAN-397『標準リニア集積回路に電氣的に導入される損傷：最も一般的な原因と再発防止策』

をご覧ください。ESDセルは、高エネルギー・パルスの後で低インピーダンス状態に入るように設計されています。この場合、入力電流の制限はありませんが、電源レールに対する低インピーダンスの経路が用意されています。

簡単な事例研究：電源シーケンシング

ミックスド・シグナル回路が広く普及するにつれて、1枚の回路基板上に複数の電源が必要になることが多くなっています。新規に設計する際に、特に複数の相互に関連していない電源が必要な場合に考慮すべきいくつかの繊細な課題については、アプリケーション・ノートAN-932『電源シーケンシング』をご覧ください。

高精度アンプは、この条件の犠牲になることがあります。図1は、差動アンプとして構成されたオペアンプです。このアンプは R_{SENSE} を介して電流を感知し、結果として生じる電圧降下に比例した電圧を出力します。 R_3 と R_4 によって形成されたデバイダが、入力をバイアスして仕様規定にあるIVRの範囲内に収まるようにしていることに注意してください。アンプの電源電圧が V_{SY} から供給されず、 V_{SY} の後で V_{CC} が立ち上がる場合、オペアンプA1の反転入力での電圧は次のようになります。

$$V_- = V_{SY} - (I_L \times R_1) \quad (1)$$

ここで、 I_L は電源なしのA1の入力インピーダンスに依存します。アンプが過電圧状態に対応できるように設計されていない場合、電流の経路に最もなりそうなルートは、ESDダイオード、クランプ・ダイオード、または寄生ダイオードから電源またはグラウンドへと至る経路です。この電圧がIVRの範囲を超えて低下した場合、または電流がデータシートの最大定格を上回った場合は、損傷する可能性があります。

[ADA4091](#)や[ADA4096](#)など過電圧保護のあるアンプで使用されているESD構造は、ダイオードではなく、**ダイアック**（双方向の「交流電流向けダイオード」）デバイスであるため、これらのアンプは電源がなくても過電圧状態に対する耐性があります。

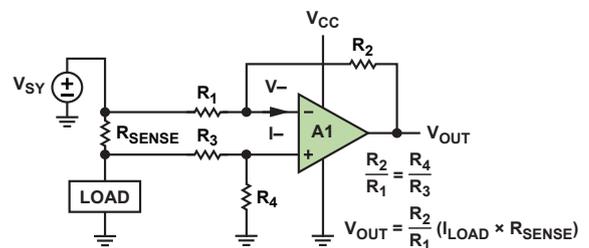


図1. 差動アンプのハイサイド電流センサー。 V_{SY} が V_{CC} よりも前にパワーアップした場合、アンプの入力電圧または電流がデータシートの最大値を上回ることがあります。

オペアンプの障害状態

図2は、NチャンネルのJFET入力段（ J_1 、 J_2 、 R_1 、 R_2 ）と、その後続く2次ゲイン段と出力バッファ（A1）を示します。オープンループ・アンプが仕様規定のIVRの範囲内にあるとき、差動入力信号（ V_{IN+} — V_{IN-} ）は V_{DIFF} に対して 180° 位相がずれています。図に示すように、ユニティ・ゲイン・バッファとして接続されていると、 V_{IN+} での同相電圧がアンプのIVRを上回った場合、 J_1 のゲートドレインがピンチオフして、この段の $200\mu A$ の電流全体が導通します。 J_1 のゲートドレイン電圧が逆方向にバイアスされている限り、 V_{IN+} での電圧がさらに上昇しても、 V_{DIFF} は変化しません（ V_{OUT} は正側レールのまま）。しかし、 J_1 のゲートドレインが順方向にバイアスされると、 V_{IN+} での電圧上昇はA1の反転入力電圧を上げるため、入力信号と V_{DIFF} の間の位相反転というまづい状態が生じます。

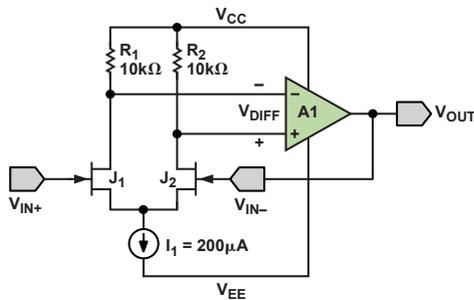


図2. Nチャンネル、JFET入力オペアンプの概念

図3は、A1の出力での位相反転の例です。バイポーラ入力アンプとは異なり、JFETアンプは、入力がクランプされていないために位相反転が起こりやすい傾向があります。CMOSアンプの場合、ゲートがドレインに対して電気的に絶縁されているため、一般的に位相反転の心配はありません。位相反転が発生しない場合、オペアンプ・メーカーは普通、そのようにデータシートに記載します。位相反転の可能性があるのは、アンプ入力がCMOSではなく、最大差動入力 V_{SY} であり、位相反転に対する耐性がデータシートに記載されていない場合です。位相反転そのものは破壊的なものではありませんが、正の帰還が生じてサーボ・ループが不安定になることがあります。

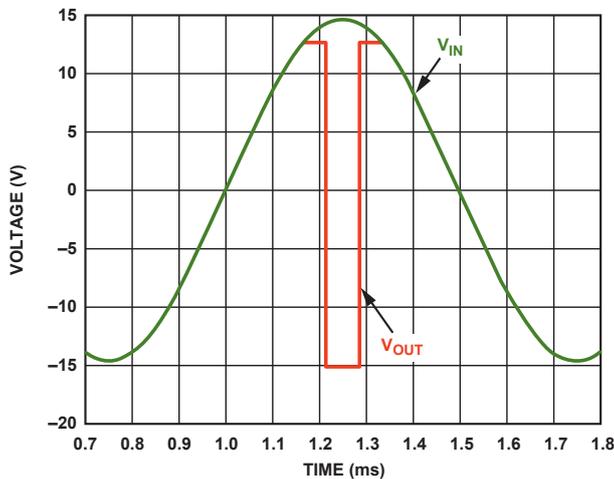


図3. V_{IN} が仕様規定のIVRを上回ると、入力位相反転によってアンプの出力が負になります。

システム設計者は、アンプ入力が電源電圧の範囲を超えた場合にどうなるかについても考えておく必要があります。ほとんどの場合この障害状態になるのは、アンプ電源がオンする前に電源シーケンシングによってソース信号がアクティブになったとき、あるいは電源オン、電源オフ、または動作中に電源がスパイクしたときです。この状態により、特に過電圧がダイオード・ドロップより大きい場合に、大部分のアンプは損傷する可能性があります。

図4は、ESD保護ダイオードとクランプ・ダイオードを備えた代表的なバイポーラ入力段を示しています。バッファ構成では、 V_{IN+} がいずれかのレールを上回ると、ESDダイオードとクランプ・ダイオードが順方向にバイアスされます。きわめて低いソース・インピーダンスの場合、これらのダイオードは、ソースが許容できる限りの電流を導通します。AD8622などの高精度アンプは、差動電圧が印加されたときの入力電流を制限するために、入力と直列に500Ω抵抗を組み込むことである程度の差動保護ができます。ただし、最大の入力電流仕様を上回らないことが保護の条件です。最大の入力電流が5mAである場合、最大許容差動電圧は5Vになります。なお、これらの抵抗はESDダイオードと直列ではないため、レールへの電流を制限することはできません（たとえば、過電圧状態のとき）。

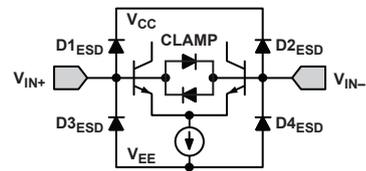
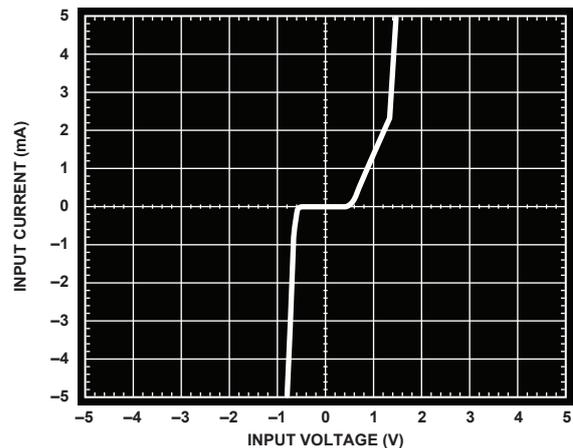


図4. ESDを示しているバイポーラ入力段、および差動保護ダイオード

図5は、差動入力と過電圧が同時発生した状態で、保護されていないバイポーラ・オペアンプの入力電流と電圧の関係を示しています。印加電圧がダイオード・ドロップを上回ると、電流が破壊的なレベルになり、オペアンプに悪影響を与えたり、破壊したりすることがあります。



OVERVOLTAGE CURVE TRACER TEST SETUP

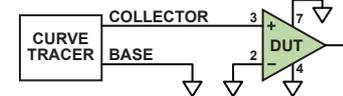


図5. 差動入力電圧がダイオード・ドロップを上回ったときのオペアンプ入力電流

外部入力過電圧保護

半導体オペアンプの初期の頃から、IC設計者は、チップ・アーキテクチャとその弱点克服に必要な外付け回路との間のトレードオフを考えなければなりません。障害保護は最も困難な問題領域の1つでした（たとえば、MT-036「Op Amp Output Phase-Reversal and Input Over-Voltage Protection」とMT-069「In-Amp Input Overvoltage Protection」を参照）。

システム設計者が高精度オペアンプに求める2つの特性は、低いオフセット電圧 (V_{OS}) と高いコモンモード・ノイズ除去比 (CMRR) であり、いずれもキャリブレーションを簡素化し、動的誤差を最小限に抑えるものです。電気的オーバーストレス (EOS) がある状態でこれらの仕様を維持するため、バイポーラ・オペアンプには通常、内部クランプ・ダイオードと、入力と直列に配置した小さい制限抵抗を組み込みます。しかし、このような方法では、入力がレールを上回ったときに生じる障害状態には対処できません。保護を強化するには、図6に示すような回路を実装します。

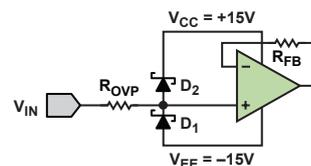


図6. 電流制限抵抗と2個のショットキー・ダイオードを使用する外部保護付きの高精度オペアンプ。入力バイアス電流に起因するオフセットのバランスをとるため、 R_{FB} と R_{OVP} は等しい値に設定します。

V_{IN} の信号源が最初にパワーアップすると、 R_{OVP} はオペアンプへの電流を制限します。ショットキー・ダイオードの順方向電圧は代表的な小信号ダイオードより200mV低いため、すべての過電圧電流は外付けダイオード D_1 と D_2 によって分流されます。しかし、これらのダイオードは、オペアンプの仕様に悪影響を与えることがあります。たとえば、1N5711からの逆漏れ電流のプロット（図7を参照）を使用して、任意のOVP抵抗のCMRR損失を調べることができます。1N5711の逆漏れ電流は、0Vで0nA、30Vで60nAです。コモンモードが0Vの場合、 D_1 と D_2 によって追加される I_{OS} は、これらの漏れ電流の一致具合に依存します。 V_{IN} が+15Vになると、 D_1 は30V逆バイアスされ、 D_2 のバイアスは0Vになります。したがって、追加の60nAは R_{OVP} に流れます。入力が-15Vになると、 D_1 と D_2 は電気的に位置を交換し、 R_{OVP} から60nAが出ます。任意のコモンモードで保護ダイオードに起因する追加の I_{OS} は、以下のような簡単な式で表すことができます。

$$I_{OSaddr} = I_{D1} - I_{D2} \quad (2)$$

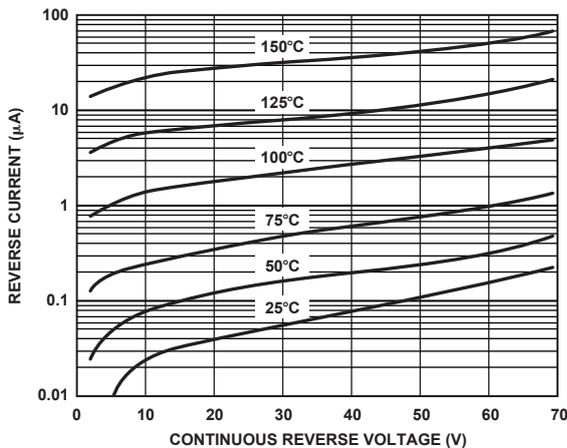


図7. 1N5711の逆電流と直流逆電圧の関係

式2により、次のようにコモンモード範囲の両極端から V_{OS} 損失を計算することができます。

$$V_{OSpenalty} = I_{OSaddr} \times R_{OVP} \quad (3)$$

30Vでの1N5711の漏れ電流として60nAを使用し、5kΩの保護抵抗を使用した場合、各上下限での V_{OS} は300µV増加するため、入力電圧範囲の全体で600µVの ΔV_{OS} が新たに生じます。データシートで言えば、110dBのCMRRを持つオペアンプは17dB低減することになります。ソース・インピーダンスを等しくするために帰還抵抗を挿入することは、コモンモードが0Vのときだけ有効であり、コモンモード範囲の全体にわたって追加の I_{OS} を防止するためには役に立ちません。表1は、高精度アンプの保護に一般に使用されるダイオードについて同じ計算を行った結果です。CMRR損失の計算では、5kΩの保護抵抗を想定しています。すべてのコストはwww.mouser.comからの最近の引用（2011年）であり、単位は米国ドルです。

図6に示す方法のもう1つの欠点は、保護ダイオードによって過電圧電流が電源に分流される可能性があることです。たとえ

ば、正側電源が大量の電流を吸収できない場合、過電圧電流によって正電源電圧が増えることがあります。

これを防ぐ1つの方法は、図8に示すように、正側入力とグラウンドの間にツェナー・ダイオードを背中合わせで使用することです。 D_1 または D_2 のツェナー電圧を上回ると、ダイオードは過電圧電流をグラウンドに分流して電源を保護します。この構成は、過電圧状態でのチャージ・ポンピングを防ぎます。しかし、ツェナー・ダイオードには、小信号ダイオードよりも高い漏れ電流と容量があります。さらに、ツェナー・ダイオードの漏れ電流プロファイルには、ソフトニー特性があります。前述のように、これによって、アンプのコモンモード範囲の全域でさらにCMRR損失が追加されます。たとえば、BZB84-C24は、使用電圧が22.8V～25.6Vの背中合わせで使用するペアのツェナー・ダイオードです。逆電流の仕様規定は16.8Vで50nA (max)です。しかし、メーカーは、ツェナー電圧に近い漏れ電流が何かを指定していません。また、急激なブレークダウン特性を実現するため、ツェナー・ダイオードは一般に小信号ダイオードより高いドーピング/拡散で作られています。これによって寄生容量が相対的に増加し、それが歪みの増加（特に、高い振幅の場合）と不安定性の増大につながります。

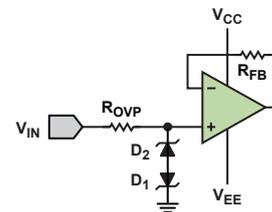


図8. 電流制限抵抗と2個のツェナー・ダイオードを使用した外部保護付きの高精度オペアンプ

初期の集積化された過電圧保護

前項では、一般的に用いられているアンプの外付け保護方式の欠点について説明しました。アンプ自体が大きな入力過電圧を受け付けるように設計されている場合、これらの欠点の一部を回避することができます。図9は、差動入力ペアで使用する一般的な集積化保護方式を示しています。

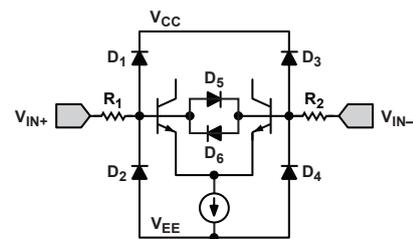


図9. 抵抗性の過電圧保護を備えた差動入力ペア (ESD保護は図示せず)

この回路は、2つのアンプ入力に入力保護抵抗があります。過電圧保護が必要なのは一般的に1つの入力のみですが、各入力に寄生容量と漏れ電流を等しくすると歪みとオフセット電流が減少します。さらに、ダイオードはESD対策に使用しないため、比較的小さいものにすることができます。

表1. 110dB CMRRの高精度オペアンプに一般的に用いられる保護ダイオードとその効果

	1N5711	BAV99	PAD5	BAS70-04	1N914	BZB84-C24
I_{OSaddr} (nA)	60	10	<<0.005	8	40	50
$V_{OSpenalty}$ (µV)	600	100	0	80	400	500
CMRR損失 (dB)	17	6	0	5	14	16
1,000個受注時の単価	\$0.07	\$0.015	\$3.52	\$0.095	\$0.01	\$0.034

外付けまたは内部の抵抗を追加すると、アンプの2乗和の平方根 (RSS) で熱ノイズが増加します (式4)。

$$E_{n,total} = \sqrt{(e_{n,op amp})^2 + (e_{n,Rovp})^2 + (R_S \times i_{n,op amp})^2} \quad (4)$$

4nV/ \sqrt{Hz} のノイズを持つオペアンプを保護するのに1k Ω の抵抗を用いた場合、合計電圧ノイズは $\sqrt{2}$ 増加します。保護抵抗を集積しても、過電圧保護によって入力換算の電圧ノイズが増大するという事実が変わりありません。しかし、 R_1 と R_2 がオペアンプに集積されていれば、データシートのノイズ仕様は保護回路も含んだものになります。

ノイズと過電圧のトレードオフを回避するには、アンプ入力仕様規定の範囲内の場合には低い抵抗を示し、アンプ入力レールを上回るときわめて高い抵抗となる保護回路が必要です。この特性によって、改善された過電圧保護がオンデマンドで得られるため、通常の動作条件下で全体的なノイズを増加させる影響を低減することができます。図10は、このように動作する回路の実装例です。

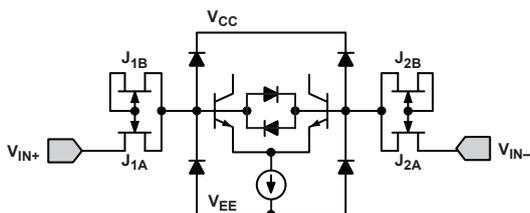


図10. アクティブな過電圧保護を持つ入力差動ペア

J_{xy} は、オールPチャンネルのJFETであり、空乏モードのデバイスであるため、チャンネルはソースやドレインと同じ極性です。入力バイアス電流は十分に小さく、チャンネルとゲート間に電位差があってもチャンネルがピンチオフされることはありません。したがって、アンプの入力レベルがレール間にあるとき、 J_{1A} と J_{2A} は R_{DSON} に等しい抵抗値を持つ簡単な抵抗として機能します。 V_{IN+} が負電源のダイオード・ドロップよりも上回った場合、 J_{1A} から電流が流れ始め、ドレインがピンチオフされます。実際には J_{1A} が三極管から直線領域に移動することで、この遷移が行われます。 V_{IN+} が正の電源電圧のダイオード・ドロップより上回った場合、 J_{1A} はラテラルPNPとして機能します。 V_{IN+} からゲートまでは順方向バイアスのエミッタ・ベース接合として機能し、その他の接合はベース・コレクタとして機能することで過電圧を防止します。

図11の電流-電圧プロットは、FET保護のあるオペアンプにおける過電圧で掃引されたときの入力インピーダンスの変化を示します。保護FETの R_{DSON} は4.5k Ω です。アンプの正側入力レールより上に引き上げられるにつれて、保護FETの抵抗は30Vで22k Ω まで急増し、入力電流を1.5mAに制限します。

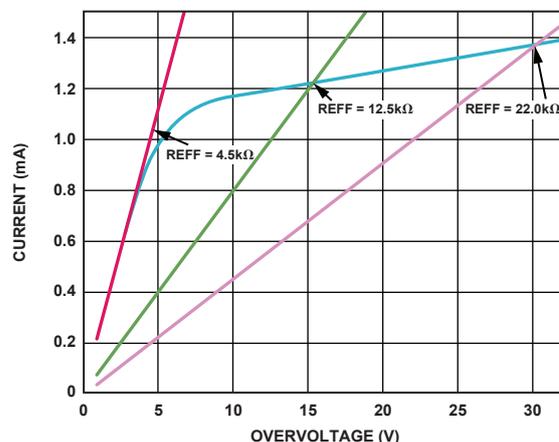


図11. 過電圧でDCが掃引されたときのFET保護のあるオペアンプの実効入力インピーダンス

集積化のメリット

ADA4091やADA4096などのアンプは、図10に示すように精度への影響を最小限に抑えながら、過電圧に対する耐性を持った堅牢なオペアンプ入力を実現できる性能を保持しています。ADA4096は、電源電圧レベルにかかわらず32Vの保護を提供することができます。安価な外付け部品でアンプの精度に大きな悪影響を与えたり、精度が高くてもアンプ自体より値段が高い外付け部品が不要になります。

図12は、2mm \times 2mmのLFCSPパッケージのADA4096-2と、外部入力保護によく使用される2つのディスクリート部品を示しています。ADA4096-2の保護機能の集積化によって基板のフットプリントが大幅に低減します。その効果は、オペアンプの仕様で規定されています。また、電源が投入されていなくても、アンプを保護します (図13を参照)。さらに、ADA4091とADA4096にはレールtoレールの入出力 (RRIO) があり、過電圧保護範囲の全域にわたって位相反転がありません (図14を参照)。これらのメリットによって、電源シーケンシングとラッチアップを考えるシステム設計者の悩みが少し楽になるはずです。

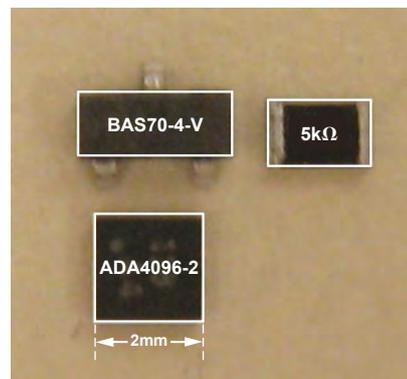


図12. 2mm \times 2mmパッケージのADA4096-2は、外部電圧保護用に一般に使用される2つの部品よりも小さいスペースで済みます。

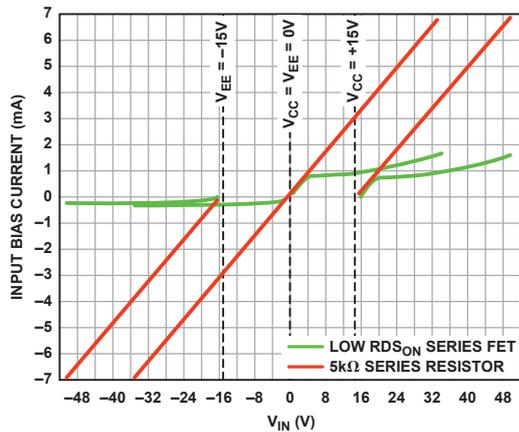


図13. ADA4096-2の入力OVP電流制限（電源オンの場合とオフの場合）

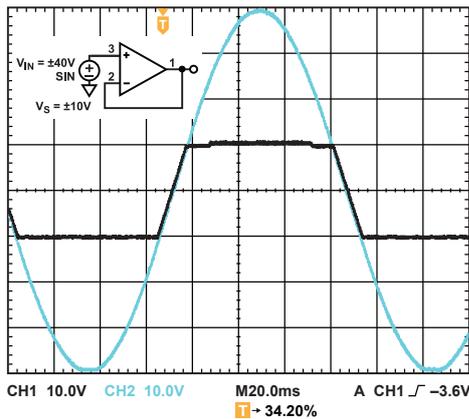


図14. ±10V電源のADA4096-2で入力がレールより30V上回った場合と下回った場合

結論

要約すると、過電圧保護を集積化することで以下のような多くのメリットが得られます。

1. アナログ・シグナル・チェーンの堅牢性と精度の向上。
2. 製品化までの時間（TTM）と設計時間の短縮、テスト条件の緩和。
3. BOMコストの低減。
4. 承認部品リストに記載しなければならない部品数の低減。
5. 基板フットプリントの縮小／高集積化。
6. 故障率の低下

参考文献

1N914のデータシート (www.fairchildsemi.com)。
 1N5711のデータシート (www.st.com)。
 BAV99、BAS70-04、BZB84-C24のデータシート (www.nxp.com)。
 PAD5のデータシート (www.vishay.com)。
 JESD22-A114D規格 (www.jedec.org)。

著者

Eric Modica [eric.modica@analog.com] は、2002年にBSEEを取得してサンノゼ州立大学を卒業。アナログ・デバイスで働くこと9年、プロセス・モデルと高精度アンプの設計を担当しています。



Michael Arkin [michael.arkin@analog.com] は、高精度オペアンプ・グループの製品マーケティング・マネジャーです。ウエスト・コースト大学でBSEE、テキサス大学でMBAを取得。アナログ・デバイス、TI、Pulse、Lineage Powerなどで、エレクトロニクス製品のマーケティングに15年以上携わっています。



著者らは、本稿の執筆にあたり専門的なご支援をくださったDerek Bowers氏とHarry Holt氏に対してここに感謝の意を表します。