

# RFトランシーバ設計において性能を高める差動インターフェース

Mingming Zhao著

## はじめに

従来のトランシーバ設計では、RF回路とIF回路に50Ωのシングルエンド・インターフェースが広く使われています。そのため、回路間の接続では、常に出入力インピーダンスを50Ωで整合を取らなければなりません。これに対し、最新のトランシーバ設計では、IF回路の性能を高めるために差動インターフェースを使用することが多くなっていますが、その実装においてはどの設計者もインピーダンス整合、コモンモード電圧の整合、難解なゲイン計算など、共通の課題に直面します。送信機や受信機の差動回路を理解することは、適切なゲイン調整やシステム性能の最適化を行うために有効です。

## 差動インターフェースの利点

差動インターフェースには主に次の3つの利点があります。

- (1) 差動インターフェースは外部干渉やグラウンド・ノイズを抑制することができます。
- (2) 偶数次の出力歪み成分を抑えることができます。低周波数信号の偶数次高調波成分を除去することは難しいため、ゼロ中間周波数 (ZIF) レシーバではこれが非常に重要です。
- (3) 出力信号の振幅をシングルエンド出力の2倍にすることができるため、所定の電源条件下で出力直線性が6dBも改善されます。

この記事では、ZIFレシーバ、スーパーヘテロダイン・レシーバ、トランスミッタの3つの事例の接続方法について述べます。これらの3つのアーキテクチャは、遠隔無線装置 (RRU)、デジタル・リピータ、その他の無線機器で広く使われています。

## ZIFレシーバのインターフェース設計とゲイン計算

ゼロIF (ZIF) レシーバの設計では、IF信号が、DC成分を含み、必要な信号が非常に低い周波数に現れる、複素形式となります。代表的な復調器は200 ~ 450Ω負荷の駆動時に最も良好な性能を発揮することや、ADCドライバの入力インピーダンスは一般に50Ωではないことから、DC結合で回路接続をすることは必須であるものの、設計は難しくなります。

図1はZIFレシーバです。ここでは、低ノイズ・アンプ (LNA) のADL5523を2個、400 ~ 6000MHzの直交I/Q復調器のADL5380を1個、局部発振器 (LO) としてワイドバンド・シンセサイザのADF4350を1個、そしてデジタル設定可能な2チャンネルの可変ゲイン・アンプ (VGA) であるAD8366を1個使用しています。表1に、ADL5380の関連するインターフェースとゲインのパラメータを示します。

表1. ADL5380: インターフェースとゲインのパラメータ

Test Condition	$V_S = 5V, T_A = 25^\circ C, f_{LO} = 900\text{ MHz}, f_{IF} = 4.5\text{ MHz}, P_{LO} = 0\text{ dBm}, Z_{IN} = 50\ \Omega$	
Parameters	Values	Comments
Voltage Conversion Gain	6.9 dB	450-Ω differential load on I and Q outputs
	5.9 dB	200-Ω differential load on I and Q outputs
Common-Mode Output Voltage	2.5 V	ADJ connected to $V_S$
I/Q Differential Output Impedance	50 Ω	

217Ωの差動入力インピーダンスを持つAD8366に接続すると、ADL5380の電圧ゲインは5.9dB、パワー・ゲインは-0.5dB [5.9dB - 10log(217/50)] になります。良好な性能を得るためには、ADL5380のADJピンを $V_S$ に接続して、ADL5380とAD8366の間の同相電圧を2.5Vに設定します。ADL5380とAD8366の間に、0.5dBの挿入損失を持つ4次のパターワース・ローパス・フィルタを配置し、ノイズや不要な高周波成分を抑制します。フィルタによって若干の不整合が生じますが、ベースバンド周波数においては許容範囲です。

表2. AD8366: インターフェースとゲインのパラメータ

Test Condition	$V_S = 5V, T_A = 25^\circ C, Z_S = 200\ \Omega, Z_L = 200\ \Omega, f = 10\text{ MHz}$	
Parameters	Values	Comments
Voltage Conversion Gain	4.5 dB	Minimum digital gain setting
	20.25 dB	Maximum digital gain setting
Common-Mode Input Voltage	1.5 V	Minimum
	2.5 V	Maximum or input self-bias
Differential Input Impedance	217 Ω	
Common-Mode Output Voltage	1.6 V	Minimum
	3 V	Maximum
	2.5 V	VCMA and VCMB left floating
Differential Output Impedance	28 Ω	
Linear Output Swing	6 V p-p	1-dB gain compression

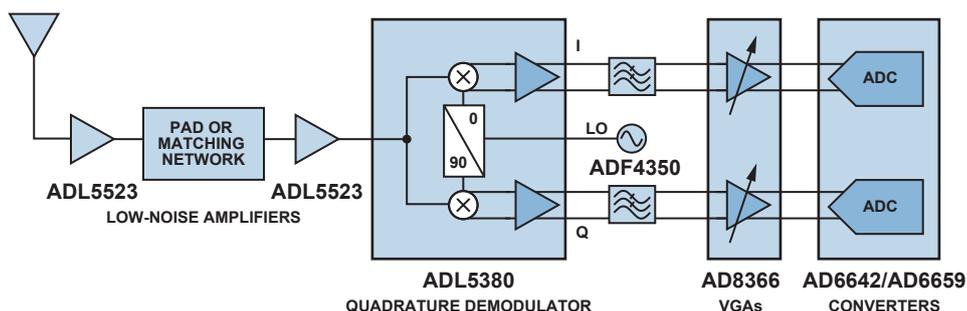


図1. ZIFレシーバのブロック図

AD8366のコモンモード出力電圧は2.5Vに設定することができ、VCMがフローティング状態のときに良好な直線性が得られます。ところが、AD6642が性能を発揮するのは0.9Vのコモンモード入力電圧(0.5×AVDD)のときです。AD8366のコモンモード出力電圧は1.6～3Vの範囲内にする必要があるため、AD6642のVCM端子とAD8366のVCM端子を直接接続することはできません。抵抗を使用してAD8366のコモンモード出力電圧を0.9Vまで分圧しなければなりません。

良好な性能を得るには、AD8366は200Ω駆動でなければなりません。必要なコモンモードレベルとインピーダンス整合を実現するために、AD8366の後に63Ωの直列抵抗と39Ωのシャント抵抗を追加します。この抵抗ネットワークによって、パワー・ゲインが4dB減衰します。

AD8366は6Vp-pの振幅を出力可能ですが、抵抗ネットワークによる4dBの減衰によって、AD6642の入力での振幅は2.3Vp-pに制限されます。これによりAD6642が大きな干渉スパイクや制御されていないゲインに起因する損傷を受けることを防ぐことができます。

1.5dBの挿入損失を持つ6次のバターワース・ローパス・フィルタをAD8366とAD6642の間に置くことで、不要な高周波成分が除去されます。図2は、Iチャンネルの差動インタフェースの全体構成です。

温度に伴うゲイン変動を考慮して十分な余裕を持たせるために、AD8366のゲインは通常モードで16dBに設定します。

この構成の場合、シグナル・チェーン全体のゲインは次のようになります。

$$5.9 \text{ dB} - 10 \log(217/50) - 0.5 \text{ dB} + 16 \text{ dB} - 10 \log(200/217) - 1.5 \text{ dB} - 4 \text{ dB} = 9.9 \text{ dB}$$

ADL5380の前段にカスケード挿入された2個のLNAのゲインは合計32dBになります。A/Dコンバータの入力を78Ωの等

価インピーダンスで2Vp-pの振幅となるように設計すれば、-34dBmのシングルトーンをRF入力信号として入力することができます。ピーク対平均電力比(PAR)が10dBの変調信号を入力する場合、レシーバがVGAの設定を変更することなく受信できる最大の入力信号レベルは-41dBmになります。

つまり、電圧ゲインを用いて、シグナル・チェーンのリンク・バジェットを計算することができます。入力ポートのインピーダンスが出力ポートのインピーダンスと等しいとき、電圧ゲインはパワー・ゲインと等しくなります。シグナル・チェーン全体の電圧ゲインは次のようになります。

$$32 \text{ dB} + 5.9 \text{ dB} - 0.5 \text{ dB} + 16 \text{ dB} - 1.5 \text{ dB} - 8 \text{ dB} = 43.9 \text{ dB}$$

シングルトーン信号入力の場合、2Vp-pの振幅を得るための適切な入力パワーは次のようになります。

$$8 \text{ dBm} - 43.9 \text{ dB} + 10 \log(78/50) = -34 \text{ dBm}$$

この結果は、パワー・ゲインの計算値に近い値です。

アプリケーションによっては、ADL5380をAD6642に直接接続する必要があります。その場合、AD6642の差動入力に500Ω抵抗を追加することでインピーダンス整合を改善することができます。ADL5380の電圧ゲインは6.9dBになり、AD8366の場合と同じコモンモードの問題が生じます。500Ωの負荷と必要なコモンモード電圧を実現するには、160Ωの直列抵抗と100Ωのシャント抵抗を使用します。この場合も、抵抗ネットワークによって電圧が8dB(パワーは4dB)減衰します。

ADL5380とAD6642の間に1.5dBの挿入損失を持つローパス・フィルタを置くことで、不要な周波数成分を除去することができます。入力インピーダンスは50Ω、出力インピーダンスは500Ωです。この構成の場合、シグナル・チェーン全体のゲインは次のようになります。

$$6.9 \text{ dB} - 10 \log(500/50) - 1.5 \text{ dB} - 4 \text{ dB} = -8.6 \text{ dB}$$

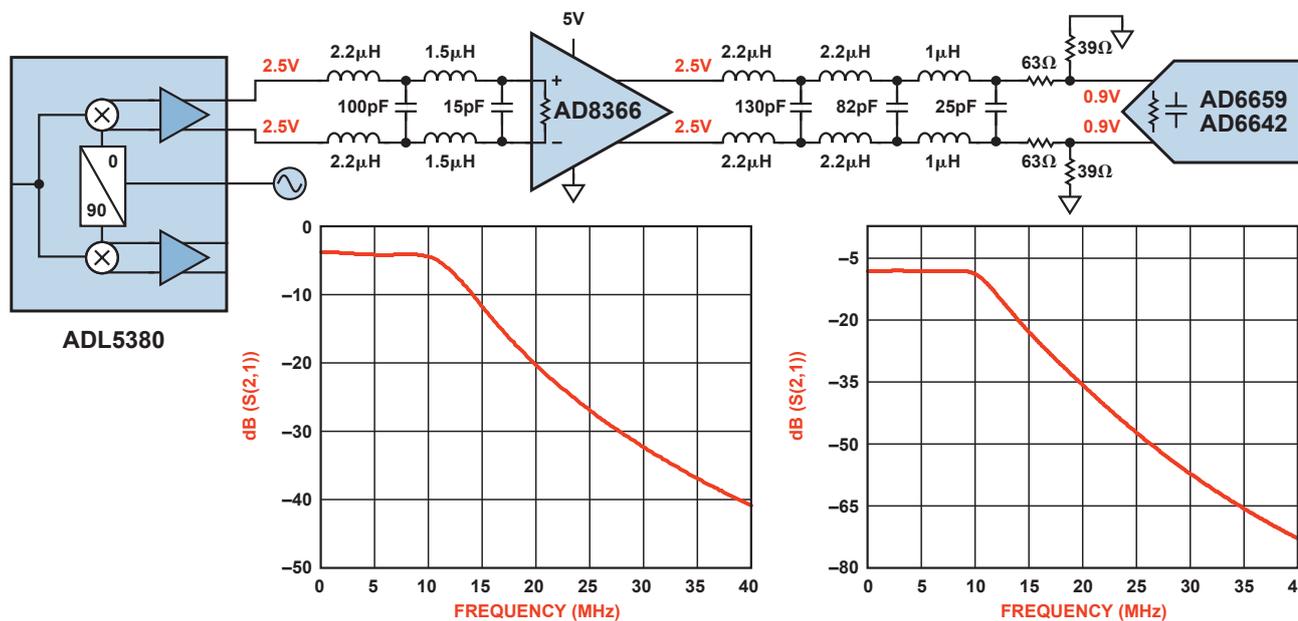


図2. ZIFレシーバのインターフェースとフィルタ特性のシミュレーション

## スーパーヘテロダイン・レシーバのインターフェース設計とゲイン計算

スーパーヘテロダイン・レシーバでは、AC結合でシステムを構成するため、これらの回路接続においてはDC成分である共通モード電圧を考慮する必要はありません。

ADL535xやADL580xなど多くのミキサの出力は作動インピーダンスが200Ωであるため、パワー・ゲインと電圧ゲインは、出力インピーダンスごとに異なる値になります。

図3はスーパーヘテロダイン・レシーバの1チャンネルを図示しています。低ノイズ・アンプのADL5523、デュアル・バランスド・ミキサ（LOバッファ、IFアンプ、RFバラン付き）のADL5356、ローパス・フィルタ、デュアル超低歪みIF VGAのAD8376、もう1つのローパス・フィルタ、そしてデュアルIFレシーバのAD6642で構成されています。

この設計では140MHzのIFで20MHzの帯域幅を使用するため、デバイス間をAC結合で接続できます。

AD5356は200Ω負荷で性能を発揮しますが、AD8376の入力インピーダンスは150Ωです。したがって、ミキサの出力スプリアスを抑制してインピーダンス整合を高めるには、差動LCフィルタの入力インピーダンスを200Ω、出力インピーダンスを150Ωとする必要があります。急峻なフィルタによって出力帯域信号を抑制しなければならないアプリケーションでは、差動SAWフィルタを使用できますが、レシーバ・シグナル・チェーンで信号損失と群遅延を増やしてしまいます。多くの無線レシーバでは、4次のバンドパス・パワース・フィルタが妥当です。これは、RFフィルタによって帯域外干渉を十分に抑圧できるためです。

表3. ADL5356およびAD8376：インターフェースとゲインのパラメータ

ADL5356 Test Conditions		
$V_S = 5\text{ V}, T_A = 25^\circ\text{C}, f_{RF} = 1900\text{ MHz}, f_{LO} = 1760\text{ MHz}, LO\text{ power} = 0\text{ dBm}.$		
Parameters	Values	Comments
Voltage Conversion Gain	14.5 dB	$Z_{SOURCE} = 50\ \Omega,$ differential $Z_{LOAD} = 200\ \Omega$ differential
Power Conversion Gain	8.2 dB	Including 4:1 IF port transformer and PCB loss
AD8376 Test Conditions		
$V_S = 5\text{ V}, T_A = 25^\circ\text{C}, R_S = R_L = 150\ \Omega$ at 140 MHz		
Parameters	Values	Comments
Differential Input Resistance	150 Ω	
Voltage Conversion Gain	-4 dB	Minimum digital setting
	20 dB	Maximum digital setting
Output Impedance	16 kΩ    0.8 pF	

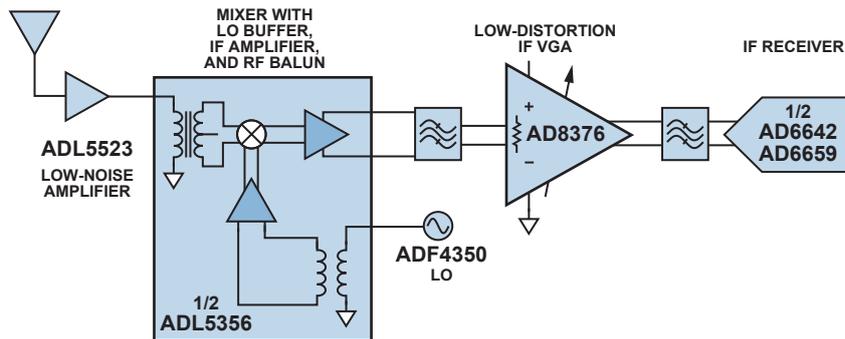


図3. スーパーヘテロダイン・レシーバのブロック図：1チャンネルを図示

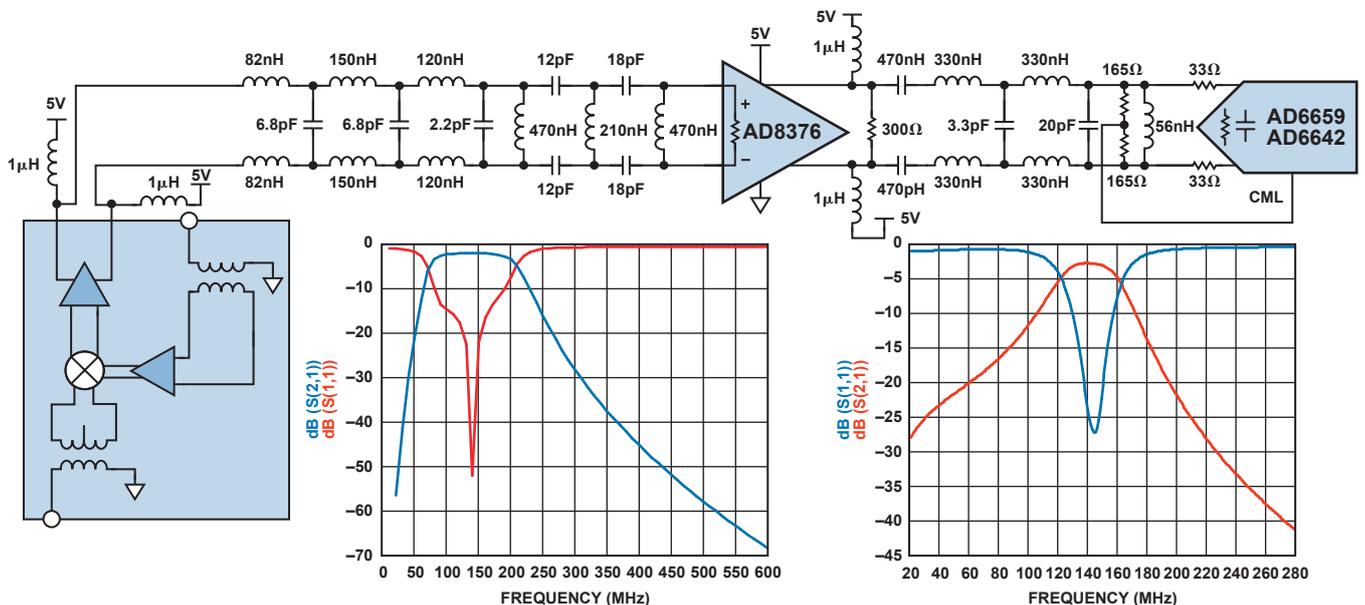


図4. スーパーヘテロダイン・レシーバのインターフェースとフィルタのシミュレーション結果

AD8376の電流出力回路は出力インピーダンスが高いため、差動出力間に150Ωが必要です。差動フィルタによって2次と3次の高調波歪み成分を減衰させなければならないため、この150Ω負荷を2か所に分割します。まず、AD8376の出力に300Ωの抵抗を配置します。もう1つの300Ωの抵抗は、2個の165Ωの抵抗と3kΩのADC入力インピーダンスとの合成により得られます。また、この2個の165Ωの抵抗はADC入力にコモンモード電圧も提供します。LCフィルタの入出力インピーダンスはいずれも300Ωです。高IFのアプリケーションでは、ソースと負荷の完全な整合がきわめて重要です。図4はインターフェースの全体構成です。

レシーバでは、ミキサーの前にゲイン20dBのLNAを配置します。ミキサーの後のフィルタには、2dBの挿入損失があります。AD8376とADCの間のフィルタには、1.2dBの挿入損失があります。温度変動を考慮して十分な余裕を与えるため、AD8376のゲインは14dBに設定します。レシーバの全体的なゲインは次のようになります。

$$20 \text{ dB} + 8.2 \text{ dB} - 2 \text{ dB} + 14 \text{ dB} - 1.2 \text{ dB} = 39 \text{ dB}$$

ADCの入力電圧を2Vp-p未満に制限するには、150Ωの抵抗(300Ω || (165Ω × 2) || 3kΩ)に送られるパワーを+5.2dBm未満にしなければなりません。したがって、シングルトーン信号の場合、レシーバの最大入力パワーは-33.8dBmです。

PARが10dBの変調信号を入力する場合、このゲイン設定で可能な最大入力信号は-40.8dBmになります。

### トランスミッタのインターフェース設計とゲイン計算

Txチャンネル設計では、ZIF、スーパーヘテロダインのいずれのアーキテクチャでも、同様のインターフェースの特徴があり、TxDAC<sup>®</sup>とモジュレータの間にDC結合が必要です。多くのモジュレータのIF入力回路は、DC電圧によって外部からバイアスをかける必要があります。TxDAC出力をDC結合にすることでモジュレータにDCバイアスを与えることができます。多くの高速DACは電流出力であるため、モジュレータ用の出力電圧を得るためには出力抵抗が必要です。

図5は、スーパーヘテロダインまたはZIFのトランスミッタです。ここでは、TxDACのAD9122、ローパス・フィルタ、直

交変調器のADL537x、もう1つのRFフィルタ、シンセサイザのADF4350、デジタル制御VGAのADL5243、パワーアンプ、そしてパワーアンプ (PA) のゲート電圧を制御するDACのAD562xで構成されています。

AD9122はフルスケール出力電流を8.66 ~ 31.66mAの間に設定することができます。20mAを超えるフルスケール電流ではスプリアス・フリー・ダイナミック・レンジ (SFDR) が減少しますが、DACのACPRと出力パワーはフルスケール電流の設定値が小さいほど低くなります。10mAのDCレベルに20mAのAC電流を重ねた0 ~ 20mAの電流出力が妥当な設定です。

表4. AD9122およびADL5372 :  
インターフェースとゲインのパラメータ

AD9122 Test Conditions	AVDD33 = 3.3 V, DVDD33 = 3.3 V, DVDD18 = 1.8 V, CVDD18 = 1.8 V	
Parameters	Values	Comments
Full-Scale Output Current	8.66 mA	Minimum digital full scale setting
	31.66 mA	Maximum digital full scale setting
Output Resistance	10 MΩ	

ADL5372 Test Conditions	V <sub>S</sub> = 5 V, T <sub>A</sub> = 25°C, f <sub>LO</sub> = 1900 MHz, f <sub>IF</sub> = 140 MHz	
Parameters	Values	Comments
Output Power	7.1 dBm	V <sub>IQ</sub> = 1.4 V p-p differential
I and Q Input Bias Level	0.5 V	Recommended
Differential Input Impedance	2900 kΩ	

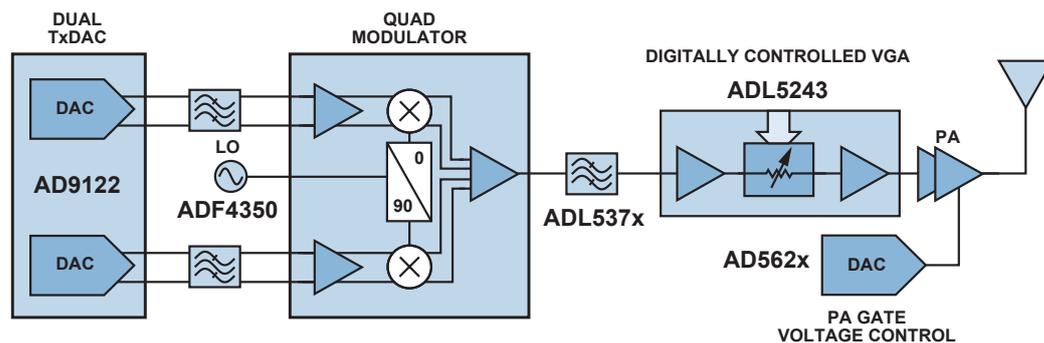


図5. トランスミッタのブロック図

ADL5372の入力回路には、50Ω抵抗を流れる10mAのDC電流によって得られる0.5Vのコモンモード電圧が必要です。0～20mAのAC電流は、2個の50Ω抵抗と1個の100Ω抵抗が共有します。したがって、モジュレータ入力間のAC電圧は、 $20\text{mA} \times ((50 \times 2) \parallel 100) = 1\text{Vp-p}$ になります。TxDACとモジュレータの間のフィルタによって、不要な周波数成分が除去されます。フィルタの入出力インピーダンスは100Ωです。図6にインターフェースの全体構成を示します。

50Ω出力の場合、ADL5372の電圧変換ゲインは0.2dBです。PARが13dBの変調信号では、デジタル・プリディストーションを行うために、平均パワーを少なくとも15dB減らす必要があります。ADL5372に1Vp-pのシングルトーンを入力すると、モジュレータの平均出力パワーは、 $+7.1\text{dBm} - 2.9\text{dB}^{*1} = +4.2\text{dBm}$ です。ローパス・フィルタの挿入損失2.2dBを考慮すると、ピーク出力パワーは、 $+4.2\text{dBm} - 2.2\text{dB} = +2\text{dBm}$ になります。この状態で、モジュレータの出力で-10dBmの平均出力パワーが得られます。

平均パワーが+11dBmの信号の場合、Txシグナル・チェーンにはP1dBが+26dBmのPAドライバが必要です。モジュレータのサイドバンド出力とLOフィードスルーを抑えるために挿入損失が2dBのRFフィルタが必要な場合、ゲイン・ブロックとPAドライバで合計21dBのゲインを提供しなければなりません。このようなアプリケーションには、ゲイン・ブロック、デジタル制御減衰器、PAドライバを内蔵したVGAであるADL5243を使用することをお勧めします。

\*1ADL5372の出力が+7.1dBmのとき、IQ入力の振幅は1.4Vppであるため、1Vpp入力時の出力信号の低下分は $20\log(1.0/1.4) = -2.9\text{dB}$ となります。

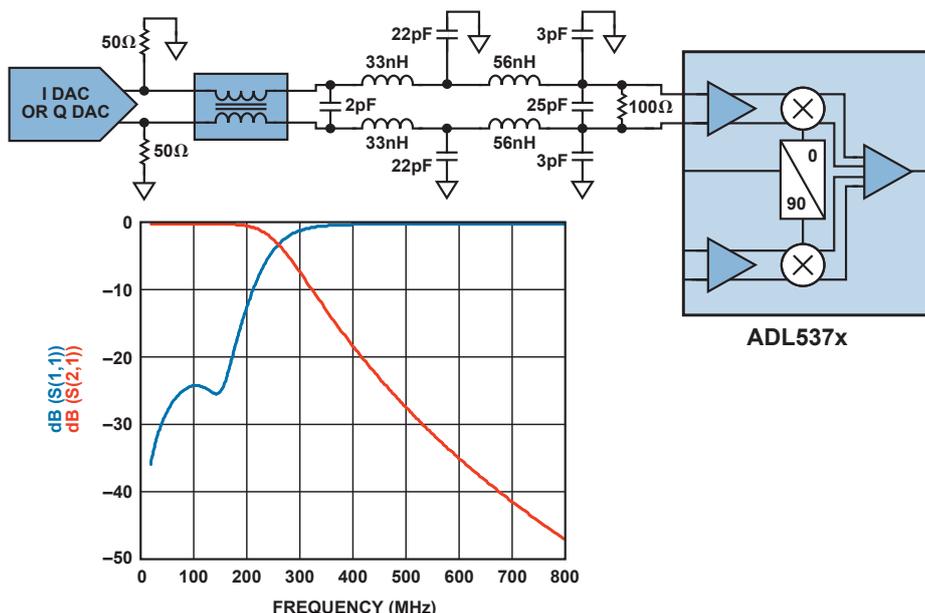


図6. DC結合トランスミッタのIFインターフェースとフィルタのシミュレーションの結果

## 結論

この記事では、シグナル・チェーンのアクティブ素子部分にアナログ・デバイセズの製品を使用して、ZIFおよびスーパーヘテロダイン・レシーバにおける、復調器、IF VGA、ミキサー、およびADCのアナログ入力ポート間の、差動インターフェースのほか、トランスミッタにおけるTxDACとFMOD間の差動インターフェースについても説明しました。各回路例で使用したフィルタについては、ゲイン計算とシミュレーション結果を示しました。詳細については、以下の文献を参照してください。

## 参考文献

CN-0018回路ノート「I/QモジュレータADL5372と、デュアル・チャンネル、1GSPS高速D/AコンバータAD9779Aとのインターフェース回路」

CN-0134回路ノート「ブロードバンド、低誤差のベクトル・マグニチュード (EVM) ダイレクト・コンバージョン・トランスミッタ」

Calvo, Carlos,「The differential-signal advantage for communications system design」EE Times

## 著者

Mingming Zhao [mingming.zhao@analog.com] は、北京 (中国) にあるADI北中国に勤務するフィールド・アプリケーション・エンジニアです。主にRFおよび高速コンバータ製品のアプリケーションを担当しています。中国科学院で電磁波およびマイクロ波技術の修士号を取得しました。Datang Mobile Telecommunication Equipment社でRF技術者として2年以上の経験を積み、2010年にアナログ・デバイセズに入社しました。

