

# ADCの入力ノイズ： 良いノイズと悪いノイズと 厄介なノイズ 良いノイズとはノイズ・ゼロ のこと？

Walt Kester 著 (walt.kester@analog.com)

## はじめに

あらゆる A/D コンバータ (ADC) はある程度の入力換算ノイズを持っており、ノイズフリーの ADC の入力にノイズ源が直列に接続されているようにモデル化することができます。入力換算ノイズを量子化ノイズと混同しないことが必要です。量子化ノイズとは、ADC が時間と共に変化している信号を処理している時のみに発生するノイズです。ほとんどの場合、入力ノイズは少なければ少ないほど良いのですが、入力ノイズがあるおかげで分解能が高くなることもあります。今は納得できないかもしれませんが、以下をお読みいただければ、どのようなノイズが良いノイズになることがあるのかが理解できます。

## 入力換算ノイズ (コード遷移ノイズ)

実際の ADC は、多くの点で理想の ADC から外れています。入力換算ノイズも理想的な ADC にはないものでしょう。入力換算ノイズが ADC の伝達関数全体に及ぼす影響を図 1 に示します。アナログ入力電圧が増大するとき、理想的な ADC (図 1a) は遷移領域に来るまで一定の出力コードを維持します。遷移領域に達すると、そこで直ちに次の値にジャンプし、次の遷移領域に来るまでその状態のままになります。理論上完全な ADC にはコード遷移ノイズがまったく存在せず、遷移領域幅はゼロになります。実際の ADC の場合は、ある程度のコード遷移ノイズがあるため、何らかの遷移領域幅が存在することになります。図 1b は、コード遷移ノイズの幅が約 1LSB (最下位ビット) ピーク to ピークの場合を示しています。

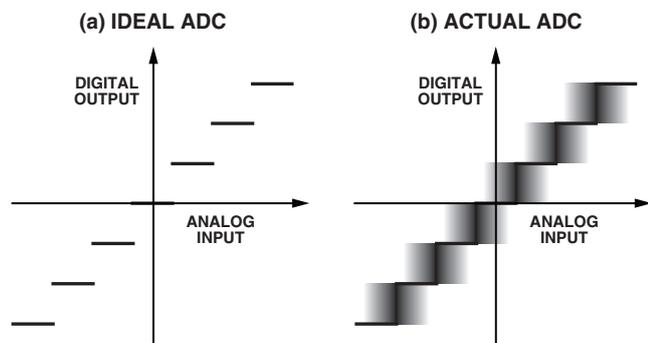


図 1. コード遷移ノイズ (入力換算ノイズ) と ADC 伝達関数への影響

あらゆる ADC 回路は、抵抗ノイズと「kT/C」ノイズのために内部的にある程度の rms ノイズを生じます。DC 入力信号にも見られるこのノイズはコード遷移ノイズであり、現在では一般に「入力換算ノイズ」と呼ばれています。入力換算ノイズは、ADC への入力を一定の DC 値に保ちながら、いくつかの出力サンプルのヒストグラムを調べることでその特性を明らかにできます。一般に、最高速または最高分解能で動作させた ADC の出力は、DC 入力の公称値を中心としたコード分布になります (図 2 参照)。

入力換算ノイズの量を測定するには、ADC の入力を接地するか、十分にデカップリングした電圧源に接続したうえで大量の出力サンプルを収集し、そのヒストグラムを作成します (入力が公称 0V の場合は、「グラウンド入力ヒストグラム」といいます)。ノイズがほぼガウス分布であることから、ヒストグラムの標準偏差

$\sigma$  を計算できますが、これが実効入力 rms ノイズになります。ヒストグラムのデータから  $\sigma$  の値を計算する方法については、「参考文献」の 6 を参照してください。一般に、この rms ノイズは LSB rms で表しますが、これは ADC のフルスケール入力レンジを基準にした rms 電圧に対応するものです。アナログ入力レンジをデジタル数値のカウンタで表す場合は、 $\sigma$  などの入力値も LSB 数のカウンタとして表すことができます。

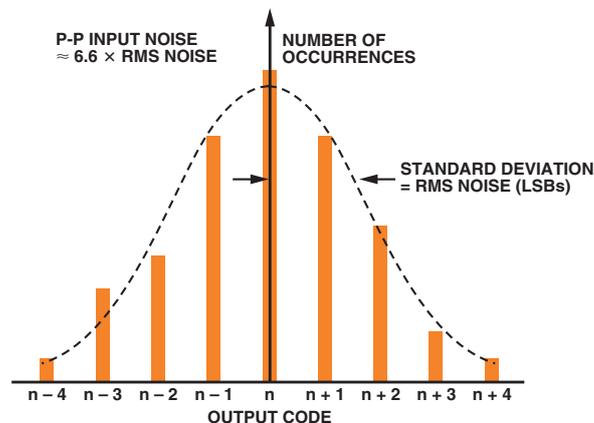


図 2. わずかな DNL がある ADC におけるグラウンド入力ヒストグラムに対する入力換算ノイズの影響

ADC 固有の微分非直線性 (DNL) のために理想のガウス分布からの逸脱 (たとえば、図 2 でもある程度の DNL が確認できます) が生じますが、少なくともおおよそはガウス分布になります。DNL が著しい場合は、複数の異なる DC 入力電圧について  $\sigma$  の値を計算し、その結果を平均します。コード分布が著しく、ガウス分布から逸脱している、たとえば大きな「山」と「谷」がはっきり見られる場合などは、ADC の設計が悪い、あるいは、むしろ PC ボードのレイアウトの不良、グラウンディングの問題、または電源の不適切なデカップリングなどがあると考えられます (図 3 参照)。また、ADC の入力電圧範囲にわたり、DC 入力がいびきられるときに分布の幅が急激に変化するのも、問題があることを示しています。

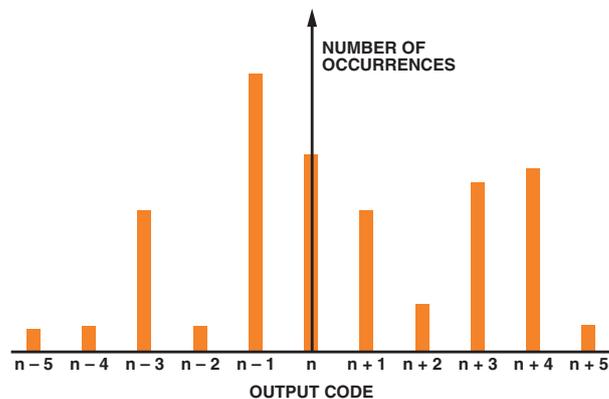


図 3. ADC の設計が悪い場合および/またはレイアウト、グラウンディング、またはデカップリングが不適切な場合の接地された入力ヒストグラム

## ノイズフリー (フリッカーフリー) のコード分解能

ADC のノイズフリー・コード分解能とは、これ以上各コードを明確に分解することが不可能な分解能のビット数のことです。この限界は、あらゆる ADC に伴う実効入力ノイズ (すなわち入力換算ノイズ) によるもので、前述のように、通常は LSB rms 単位による rms 量として表します。係数 6.6 を掛けることによって、rms ノイズを LSB ピーク to ピーク単位のピーク to ピーク・ノイズ (コードを識別する際の事実上の不確実性) という実用的な数値に換算できます。

Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 1)

Peak-to-Peak Resolution in Counts (Bits)

Output Data Rate	-3 dB Frequency	SF Word	Settling Time Normal Mode	Settling Time Fast Mode	Input Range = ±80 mV	Input Range = ±40 mV	Input Range = ±20 mV	Input Range = ±10 mV
50 Hz	1.97 Hz	2048	460 ms	60 ms	230k (18)	175k (17.5)	120k (17)	80k (16.5)
100 Hz	3.95 Hz	1024	230 ms	30 ms	170k (17.5)	125k (17)	90k (16.5)	55k (16)
150 Hz	5.92 Hz	683	153 ms	20 ms	130k (17)	100k (16.5)	70k (16)	45k (15.5)
200 Hz*	7.9 Hz	512	115 ms	15 ms	120k (17)	90k (16.5)	65k (16)	40k (15.5)
400 Hz	15.8 Hz	256	57.5 ms	7.5 ms	80k (16.5)	55k (16)	40k (15.5)	30k (15)

\*Power-On Default

図4. シグマ・デルタ ADC 「AD7730」 のノイズフリー・コード分解能

NビットADCの全レンジ(すなわちスパン)は $2^N$ LSBになるため、ノイズフリー・カウントの合計は次式の値になります。

$$\text{Noise-free counts} = \frac{2^N}{\text{peak-to-peak input noise (LSBs)}} \quad (1)$$

ノイズフリー・カウントの数は、次式で示すように、底が2の対数を計算することによってノイズフリー(バイナリ)コードに換算できます。

$$\text{Noise-free code resolution} = \log_2 \left( \frac{2^N}{\text{peak-to-peak input noise (LSBs)}} \right) \quad (2)$$

ノイズフリー・コード分解能の仕様は、一般に高分解能のシグマ・デルタ測定ADCに関係します。これは、ほとんどの場合サンプリング・レート、デジタル・フィルタの帯域幅、プログラマブル・ゲイン・アンプ(PGA)のゲイン(したがって入力レンジ)の関数です。図4に代表的な表を示します。これは、シグマ・デルタADC<sup>1</sup>「AD7730」のデータシートからの抜粋です。

出力データレートが50Hzで入力レンジが±10mVの場合、ノイズフリー・コード分解能は16.5ビット(80,000ノイズフリー・カウント)になります。この条件でセトリング時間が460msになるため、このADCは精密計量器アプリケーション向けに最適です。この種のデータは、精密測定アプリケーションに適した高分解能シグマ・デルタADCのデータシートからたいてい得られます。

rms入力ノイズ(ピークtoピーク・ノイズではありません)に対するフルスケール・レンジの比率は、分解能の計算にときどき使用します。この場合、「実効分解能」という用語を使用します。同一の条件下で、実効分解能はノイズフリー・コード分解能よりも $\log_2(6.6)$ 、すなわち約2.7ビットほど大きくなります。

$$\text{Effective resolution} = \log_2 \left( \frac{2^N}{\text{rms input noise (LSBs)}} \right) \quad (3)$$

$$\text{Effective resolution} = \text{Noise-free code resolution} + 2.7 \text{ bits} \quad (4)$$

メーカーによっては、実効分解能のほうがビット数が大きくなるため、ノイズフリー・コード分解能よりも実効分解能を使って規定しています。データシートに注意し、どちらで規定されているか確認する必要があります。

デジタル平均は分解能を高め、ノイズを減少させる

入力換算ノイズの影響は、デジタル平均によって小さくすることができます。サンプリング・レートが100kSPSで、ノイズフリー・ビットが15の16ビットADCについて考えてみましょう。出力サンプルごとに変化しない信号の2つの測定値を平均すると、実効サンプリング・レートが50kSPSに減少します。このため、SNRは3dB増加し、ノイズフリー・ビット数は15.5になります。出力サンプルごとに4つの測定値を平均すると、サンプリング・レートが25kSPSに減少し、SNRは6dB増加し、ノイズフリー・ビット数は16になります。

さらに進んで、出力ごとに16の測定値を平均することもできます。これにより、出力サンプリング・レートは6.25kSPSにまで減少するため、SNRはさらに6dB増加し、ノイズフリー・ビット数は17になります。平均化では、「分解能」をかせぐために大きな数の有効ビットまで正確に計算する必要があります。

平均化処理には、ADC伝達関数のDNL誤差をならす効果もあります。これについては、量子化レベルkでADCにミッシング・コードが生じる場合の単純な例で説明できます。大きなDNL誤差のためにコードkが欠落しても、2つの隣接するコードk-1とk+1の平均はkに等しくなります。

この手法を使用すると、全体的な出力サンプリング・レートが落ち、特別なデジタル・ハードウェアが必要になりますが、ADCのダイナミック・レンジをかなり上げることができます。ただし、平均化してもADC固有の積分非直線性が補正されるわけではありません。

ここで、入力換算ノイズがきわめて低く、またサンプルをいくつとってもヒストグラムがシングル・コードを示すADCの例を考えてみましょう。デジタル平均はこのADCにどのような効果があるのでしょうか。答えは簡単で、何の効果もないのです。どれほど多くのサンプルを平均しても答えは同じです。ところが、入力信号に相当なノイズが入ってきてヒストグラムに2つ以上のコードが現れるようになると、直ちに平均化が効力を発揮し始めます。このようにわけで、面白いことに(少なくとも平均化に関しては)少しばかりノイズがあるのは良いことなのです。ただし、入力に現れるノイズが多くなれば、それだけ多く平均化しないと同じ分解能を得ることはできません。

有効ビット数(ENOB)と実効分解能またはノイズフリー・コード分解能とを混同しないこと

有効ビット数と実効分解能は、言葉が似ているためにしばしば同じと思われるかもしれませんが、これは間違いです。

有効ビット数(ENOB)は、ADCにフルスケールのサイン波入力信号を入力したときのADC出力をFFT解析することによって得られます。ノイズと歪みのすべての項の2乗和平方根(RSS)の値を算出し、信号/ノイズ&歪み比をSINADまたは $S/(N+D)$ とします。完全なNビットADCの理論上のSNR値は、次式で得られます。

$$\text{SNR} = 6.02N + 1.76 \text{ dB} \quad (5)$$

ENOBは、算出したADCのSINADを式5のSNRに代入し、Nについて式を解くことで得られます。

$$\text{ENOB} = \frac{\text{SINAD} - 1.76 \text{ dB}}{6.02} \quad (6)$$

SINADとENOBの計算に使用したノイズと歪みには、入力換算ノイズだけでなく量子化ノイズや歪みの項が含まれています。SINADとENOBはADCのダイナミック性能の測定に使用しますが、実効分解能とノイズフリー・コード分解能は、基本的にDC入力の条件下でのADCのノイズの測定に使用します。この場合、量子化ノイズは問題になりません。

### SFDRを増大するためにノイズ・ディザを使用する

スプリアスフリー・ダイナミック・レンジ (SFDR) とは、ピーク・スプリアス・スペクトル成分のrms値に対するrms信号振幅の比です。高速ADCで最大のSFDRを得ようとする場合、基本的に2つ要素による限界があります。1つはフロントエンドのアンプとサンプル&ホールド回路によって生じる歪み、もう1つはADCのエンコーダ部の伝達関数の非直線性によって生じる歪みです。

ADCの外から、フロントエンドによって生じる固有の歪みを大幅に減少させることはできません。しかし、ディザ (アナログ入力信号に意図的に加算した外部ノイズ) を上手に使用することで、ADCエンコーダの伝達関数の微分非直線性を小さくすることができます。

場合によっては、ディザリングによってADCのSFDRを改善することができます (「参考文献」の2~5を参照)。たとえば、完全なADCであっても、量子化ノイズと入力信号の間には何らかの相関関係が存在します。この相関関係によって、特に入力信号が正確にサンプリング周波数の約数の場合、ADCのSFDRを小さくすることができます。約1/2 LSB rmsのブロードバンド・ノイズを入力信号に加算することで、量子化ノイズがランダム化され、量子化ノイズの効果が最小になる傾向があります (図5a参照)。ただし、ほとんどのシステムでは、信号の上すでにノイズ (ADCの入力換算ノイズを含む) が重畳されているため、ディザ・ノイズを追加する必要はありません。広帯域rmsのノイズレベルをおよそ1LSBより大きくすると、これに比例してSNRが減少し、その結果、それ以上の改善は得られなくなります。

他にも、大量のディザ・ノイズを使用してADC伝達関数をランダム化する方法が開発されています。図5bに、DACを駆動する疑似乱数ジェネレータを構成するディザ・ノイズ源を示します。この信号をADC入力信号から減算し、ADC出力にデジタル処理で加算しますが、このためにSNRが大幅に劣化することはありません。ただし、この技術に固有の欠点は、ディザ信号の振幅を増大するとき、ADCのオーバードライブを防ぐために入力信号の振幅を小さくしなければならない点です。この方法によってADCエンコーダの非直線性から生じる歪みを改善することはできますが、フロントエンドから生じる歪みについてはあまり改善できません。

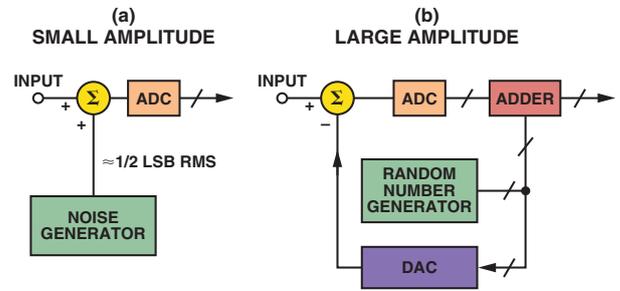


図5. ディザを使用するADC伝達関数のランダム化

特にワイドバンド・レーザで、もっと簡単に実現できる別の方法があります。図6に示すように、ナローバンド・ディザ信号を対象の信号帯域外に注入する方法です。通常、DC付近の周波数帯域には信号成分がないため、この低周波数領域がこのようなディザ信号によく使用されます。ディザ信号のために考えられるもう1つの領域は、 $f_s/2$ のわずかに下の位置です。ディザ信号は信号帯域幅と比べ小さい帯域幅しか占有しない (通常、数百kHzの帯域幅で十分) ため、ディザがブロードバンドの場合と異なり、SNRが大きく劣化することはありません。

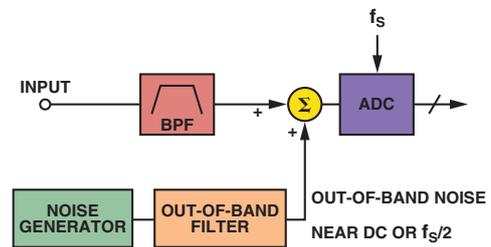


図6. 帯域外ディザの注入によるADCのSFDRの改善

14ビット105MSPSのADC、AD6645<sup>2</sup>などのサブレンジ型パイプラインADC (図7参照) では、ADCのレンジ全体にわたり、特定のコード遷移ポイントで非常にわずかな微分非直線性の誤差が生じます。AD6645では、5ビットのADC (ADC1) の後に5ビットのADC2と6ビットのADC3があります。唯一大きいDNL誤差が生じるのはADC1の遷移ポイントで、第2段と第3段のDNL誤差はごくわずかです。ADC1には $2^5 = 32$ の決定点があり、2.2Vのフルスケール入力レンジで68.75mV ( $2^9 = 512$ LSB) ごとに生じます。

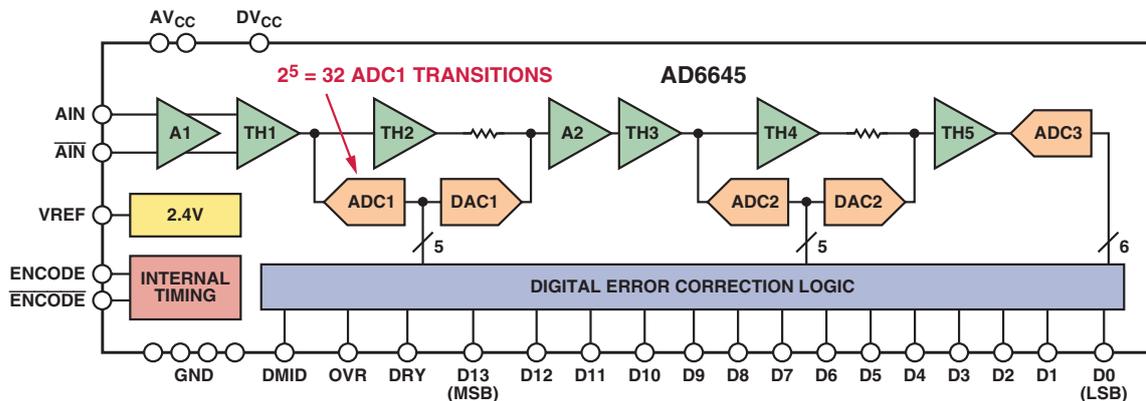


図7. 14ビット105MSPS ADC—AD6645の簡略ブロック図

図8は、この非直線性を強調して表したものです。

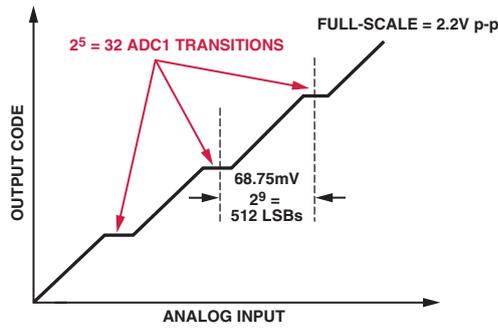


図8. AD6645のサブレンジ・ポイントのDNL誤差（強調した図）

約200MHzまでのアナログ入力では、AD6645のフロントエンドによって生じる歪み成分はエンコーダによる歪み成分に比べてごくわずかです。つまり、主にSFDRを制限しているのは、AD6645の伝達関数の静的な非直線性になります。

目的は、ちょうど良い量の帯域外ディザを選んで、これらの小さいDNL誤差の影響をADCの入力レンジ全体にわたってランダム化し、これによって平均DNL誤差を低減することです。実験的に、ピークtoピークのディザ・ノイズで約2つのADC1遷移を対象レンジに含めることで、DNLの最大の改善効果が得られます。ノイズがこれより大きいレベルになると、DNLの大幅な改善はありません。2つのADC1遷移は1024LSBピークtoピーク、すなわち

155 (= 1024/6.6) LSB rmsのレンジになります。

図9の最初の図は、入力信号レンジの小さい部分でのディザなしのDNLを示しています。このレンジには、68.75mV (512LSB)離れた2つのサブレンジ・ポイントが含まれています。2番目の図は、155LSB rmsのディザを追加（および後で除去）した後のDNLを示しています。このディザの量は約-20.6dBmです。DNLが大幅に改善されていることがわかります。

ディザ・ノイズを生成するには、いくつかの方法があります。たとえば、ノイズ・ダイオードを利用することもできますが、単純に広帯域のバイポーラ・オペアンプの入力電圧ノイズを増幅するほうが経済的です。この方法については、詳細な説明が他にあるため（「参考文献」の3、4、5を参照）、ここでは取り上げません。

帯域外ディザによって得られるSFDRの大幅な改善を図10に示します。ここでは、幅の広い(1,048,576ポイント)FFTを使用し、AD6645は80MSPSで-35dBm、30.5MHzの信号をサンプリングしています。ディザのない場合のSFDRは約92dBFSです。これに対して、ディザがある場合のSFDRは108dBFSであり、16dBも大きく改善しているのです。

アナログ・デバイスが2000年に発売したAD6645 ADCは、つい最近までは究極のSFDR性能を提供する製品でしたが、その後の数年間にプロセス技術と回路設計が進歩したため、今ではもっと高性能なADCがあります。AD9444 (80MSPSで14ビット)<sup>3</sup>、AD9445 (105MSPS/125MSPSで14ビット)<sup>4</sup>、AD9446 (80MSPS/100MSPSで16ビット)<sup>5</sup>などです。これらのADCでは、SFDRは非常に高く（一般に70MHzのフルスケール入力信号で90dBc以上）、DNLは小さくなっています。それでも、適切

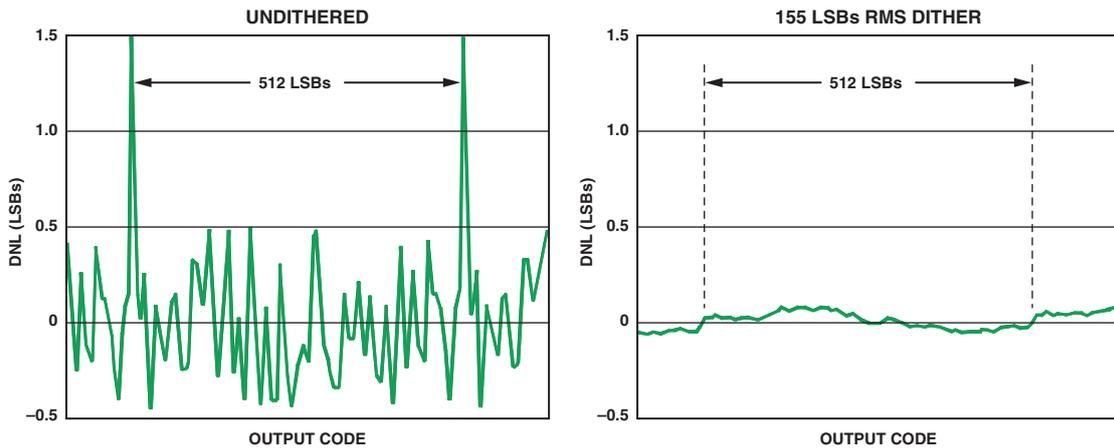


図9. AD6645のDNLグラフ（ディザがある場合とない場合）

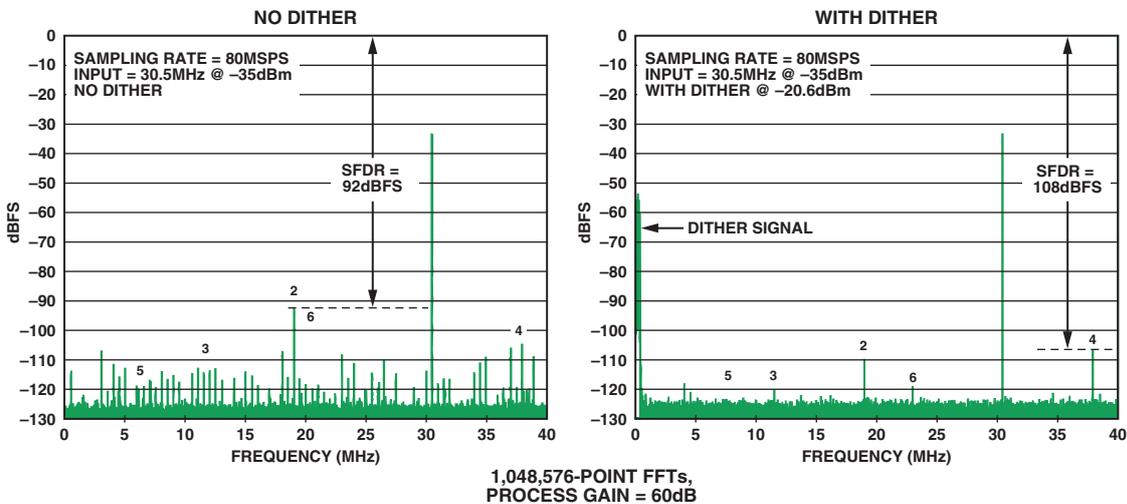


図10. AD6645のSFDRを示すFFTのグラフ（ディザを使用しない場合と使用した場合）

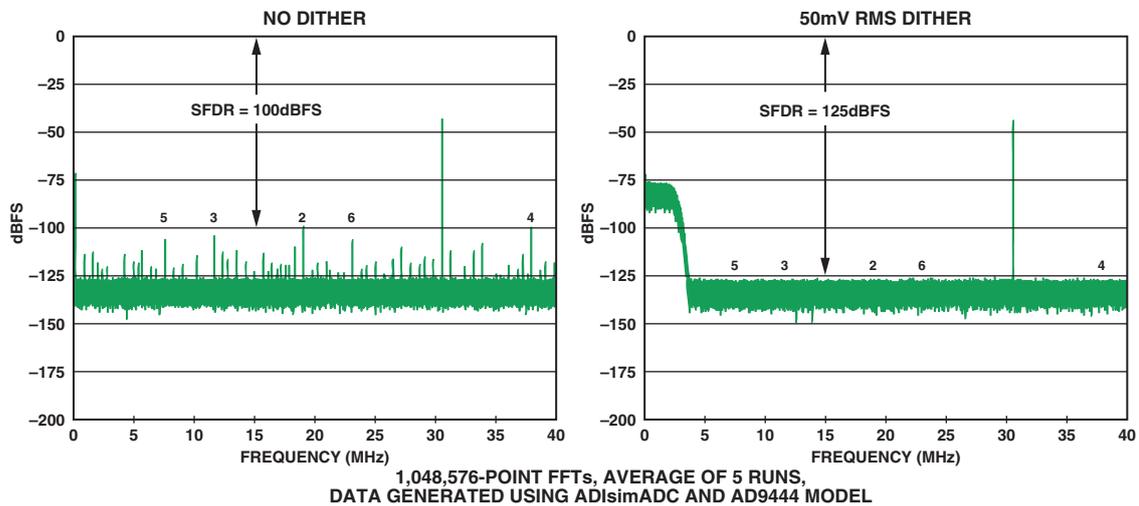


図11. 14ビット、80MSPSのADC—AD9444 ( $f_s = 80\text{MSPS}$ 、 $f_{IN} = 30.5\text{MHz}$ 、信号振幅 =  $-40\text{dBFS}$ )

な帯域外ディザ信号を加えることで、入力信号の条件によってはSFDRの改善が可能です。

図11は、AD9444のディザがある場合とない場合のFFTグラフを示しています。この入力条件では、ディザを追加することでSFDRが25dB改善されていることがわかります。データは、ADIsimADC™プログラム<sup>6</sup>とAD9444モデルを使用して得たものです。

図10と11の結果はかなり大きな改善を示していますが、だからといって帯域外ディザの追加によってあらゆる条件下でADCのSFDRが必ず改善するわけではありません。繰り返しますが、ADCのフロントエンド回路の直線性はディザでは改善されません。ほぼ理想に近いフロントエンドでも、ディザの効果は、入力信号の振幅とディザ信号の振幅によって大きく異なります。たとえば、信号がADCのフルスケール入力レンジに近い場合、伝達関数の積分非直線性がSFDRを制限する要素となり、ディザの効果はありません。いずれにしても、データシートをよく調べる必要があります。場合によっては、ディザがある場合とない場合のデータが併記されていて、振幅と帯域幅の条件も記載されていることがあります。最新のIFサンプリングADCには、ディザ機能が内蔵されているものもあります。

## 要約

この記事では、あらゆるADCに共通する入力換算ノイズについて考察しました。高精度で低周波数の測定アプリケーションでは、低いサンプリング・レートと追加のハードウェアを使用することで、ADC出力データのデジタル平均化によってこのノイズの影響を低減することができます。この平均化処理によって、ADCの分解能は実際に増大しますが、積分非直線性の誤差は減少しません。この平均化の方法によって分解能を向上させるには、わずかな入力換算ノイズが必要です。しかし、多くのノイズを使用すると、平均化に必要なサンプルが多くなるため、効果が小さくなるポイントに来たことになります。

高速ADCアプリケーションの一部では、適度な量の帯域外ノイズ・ディザを追加することで、ADCのDNLが改善し、SFDRが増大します。ただし、SFDRを改善するディザの効果は、ADCの特性によって大きく異なります。▶

## ACKNOWLEDGEMENTS

The author would like to thank Bonnie Baker of Microchip Technology and Alain Guery of Analog Devices for their thoughtful inputs to this article.

## 参考文献

1. Baker, Bonnie 『Sometimes, Noise Can Be Good』 EDN、2005年2月17日、p.26
2. Brannon, Brad 『Overcoming Converter Nonlinearities with Dither』 アプリケーション・ノート AN-410、アナログ・デバイセズ社、1995年
3. Jung, Walt 『Op Amp Applications』 アナログ・デバイセズ社、2002年、ISBN 0-916550-26-5、p. 6.165 「A Simple Wideband Noise Generator」。また、『Op Amp Applications Handbook』、Newnes、2005年、ISBN 0-7506-7844-5、p. 568にも掲載
4. Jung, Walt 『Wideband Noise Generator』、Ideas for Design、Electronic Design、1996年10月1日
5. Kester, Walt 『Add Noise Dither to Blow Out ADCs' Dynamic Range』 Electronic Design、Analog Applications Supplement、1999年11月22日、pp.20~26
6. Ruscak, SteveおよびLarry Singer 『Using Histogram Techniques to Measure A/D Converter Noise』 Analog Dialogue、Vol. 29-2、1995年

## (2006年2月現在)

- <sup>1</sup> ADI website: [www.analog.com/jp/AD7730](http://www.analog.com/jp/AD7730)
- <sup>2</sup> ADI website: [www.analog.com/jp/AD6645](http://www.analog.com/jp/AD6645)
- <sup>3</sup> ADI website: [www.analog.com/jp/AD9444](http://www.analog.com/jp/AD9444)
- <sup>4</sup> ADI website: [www.analog.com/jp/AD9445](http://www.analog.com/jp/AD9445)
- <sup>5</sup> ADI website: [www.analog.com/jp/AD9446](http://www.analog.com/jp/AD9446)
- <sup>6</sup> ADI website: [www.analog.com/jp/ADIsimADC](http://www.analog.com/jp/ADIsimADC)