

広帯域対応のA/Dコンバータに適したトランス・ベースのフロント・エンド回路

著者：Rob Reeder (rob.reeder@analog.com)

はじめに

レシーバーの設計においては、IFサンプリングの対象としてより高い周波数が使用されるようになりました。それに伴い、A/Dコンバータ（ADC）のアナログ入力部を含むフロント・エンド回路の重要性もより高まっています。多くのアプリケーションでは、システムからミキサ一段を排除したスーパー・ナイキスト・サンプリングへの移行が進んでいます。そのような高い周波数帯を扱う場合には、ADCの入力部で使用するアンプが懸念事項になります。ナイキスト周波数を対象とするアプリケーションであれば、アンプは高い性能を発揮できます。しかし、高い周波数帯を対象としてそれと同様の性能を達成するのは容易ではありません。また、入力信号の周波数にかかわらず、アンプに固有のノイズはADCのS/N比を低下させてしまいます。これらの問題は、トランスを利用することにより比較的容易に解決することができます。トランスを使用すれば、ノイズの問題を回避できるだけでなく、周波数の高い入力信号を対象として優れたカップリングを実現することが可能になります。

トランスの基本

ここでは、まずトランスの基本的な性質について確認します。その上で、トランスの機能についてまとめることにしましょう。トランスは、本質的にAC結合を実現するデバイスだと言えます。トランスを使用する場合、ガルバニック絶縁が施された状態になり、DC成分は通過しなくなるからです。また、ゲインは、基本的にノイズを伴うことなく選択する巻数比に応じた値になります。加えて、トランスはシングルエンドから差動への変換を実現するための簡単な手段にもなります。更に、センタータップを備えるトランスを使用すれば、コモンモード・レベルを任意の値に設定することが可能です。このように、トランスには複数の長所があります。フロント・エンドの設計では、部品点数を抑えて複雑さを最小限に抑えることが重要です。そのため、トランスは有力な選択肢になり得ます。

但し、センタータップを備えるトランスを使用する場合には注意が必要です。仮に、ADCのアナログ差動入力の間でバランスが大きく崩れてしまったとします。そうすると、トランスのセンタータップに大量の電流が流れ、場合によってはコアが飽和してしまうことがあります。また、 V_{REF} によってトランスのセンタータップを駆動したいというケースは少なくないでしょう。その場合、フルスケールのアナログ信号によってADCの入力がオーバードライブされ、保護用ダイオードがオンになってしまう可能性があります。そうすると、ADCの動作が不安定になってしまうかもしれません。

トランスは一見シンプルなものに見えますが、安易に扱ってはなりません。事前に知っておくべきことや学んでおくべきことがたくさんあります。そこで、まずはトランスの簡単なモデルを基に、どのような性質を持ったデバイスなのか確認してみましょう。図1は、理想的なトランスの動作を表したものです。各端子に発生する電流と電圧は、いくつかの簡単な式によって関連づけられます。トランスによって昇圧が行われると、そのインピーダンス負荷が入力に反射します。1次側の電圧と2次側の電圧の比は、巻数比 ($a = N1/N2$) によって決まります。また、電流は反比例の関係になります ($a = I2/I1$)。2次側から反射したインピーダンスの比は、1次側から見た場合、巻線比の2乗で表されます ($Z1/Z2 = a^2$)。トランスの信号のゲインは、単純に $20\log(V2/V1) = 20\log\sqrt{(Z2/Z1)}$ で表されます。そのため、電圧ゲインが3dBのトランスは、1:2のインピーダンス比を備えていることになります。以上の内容を理解しておくことが、設計に向けた最初のステップです。

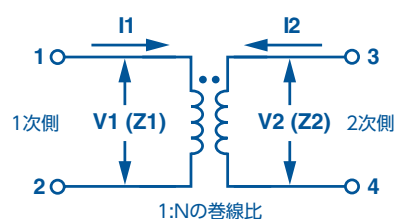


図1a. トランスの入力と出力に関する変数

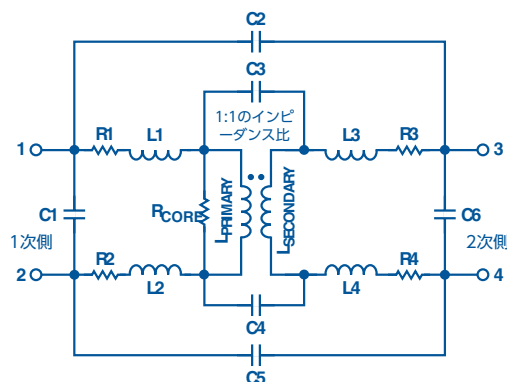


図1b. 標準的なトランスのモデル

図1bに示したのは、トランスの構成要素に加え、寄生成分も考慮して構築したモデルです。寄生成分の存在によって、理想的な動作からのズレが生じます。それぞれの成分は、周波数応答をはじめとするトランスの特性に影響を及ぼします。フロント・エンドを実装する際、性能を高める要因になることもあれば、性能を劣化させる要因になることもあります。図1bのモデルは、トランス回路の性能を予測するための有効な手段として利用できます。多くのトランス・メーカーは、ウェブサイトやサポート・グループを通じてモデリング用の情報を提供しています。

現実のハードウェアを使用して性能を評価する場合には、すべての測定を適切に行うためにネットワーク・アナライザと複数のサンプルを用意する必要があります。現実のトランスでは損失が生じますし、帯域幅も限られます。寄生成分の構成からわかるように、トランスは広帯域に対応するバンドパス・フィルタだと見なすことができます。また、その特性は-3dBポイントで定義することが可能です。ほとんどのメーカーは、トランスの周波数特性を1dB、2dB、3dBの帯域幅で規定しています。また、振幅応答と併せて位相特性も提供しています。通常、優れたトランス製品でも、通過周波数帯の全体で見れば、1%~2%の位相の不均衡が生じます。

トランスを利用したフロント・エンドの設計例

ここからは、トランスを介した結合により、ADCに対して入力信号を提供するフロント・エンド回路について考えてみましょう。その場合、トランスは、主として絶縁を実現しつつ、センタータップを利用できるようにするために使用されます。以下では、巻線比は1であるということを前提にして説明の簡素化を図ることにします。

まずは図2に示す例をご覧ください。この回路では、ADCとして「AD6645-80」を使用しています¹。同ADCは、分解能が14ビット、サンプリング・レートが80MSPS、差動入力インピーダンスが1kΩの製品です。フロント・エンドで使用している33Ωの直列抵抗は、ADCの入力回路で生じるトランジェント電流の影響を軽減する役割を果たします。50Ωのアナログ入力ソースに対するマッチングを得つつ、1次側に50Ωの入力を実現するために、501Ωの終端抵抗を付加しています（以下参照）。

$$R_m = 58\Omega \parallel \left(66\Omega + (501\Omega \parallel 1000\Omega) \right) = 50.65\Omega$$

トランスの2次側で組み合わせられた抵抗は、実効的には58Ωの抵抗と並列に存在していることになります。終端抵抗の値は、目標とする入力インピーダンスに応じて決定します。以下に示す例では、説明を簡素化するために、50Ωのソースに対するマッチングが必要であると仮定します。

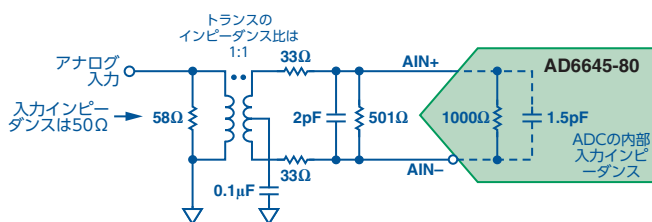


図2. 1:1のトランスを使用して構成したフロント・エンド回路。トランスによって、既知の入力インピーダンスを備えるADCと50Ωの入力ソースを結合しています。

図2の回路は、入力周波数がベースバンド帯または第1ナイキスト・ゾーンに存在すると仮定した場合の簡単な例です。ただ、アナログ入力信号が100MHzにも達する場合には、フロント・エンドの設計に向けた状況は全く異なることになります。その場合、トランスでは何が起きるのでしょうか。そのような高いIF周波数が印加さ

れる場合、寄生容量（図1bのC2~C5）による結合条件に差があると、トランスの2次側の出力に不均衡が生じます。その結果、非対称性が生じることになり、ADCのアナログ入力には偶数次の歪みが発生します。おそらくは、A/D変換後のデジタル信号においては2次高調波歪みが問題として浮上するでしょう。

図3に示したのは、上記の内容に対応したシミュレーション結果です。図3aは1次側に2Vp-p/100MHz、図3bは同200MHzの正弦波を入力した場合の2次側の電圧を表しています。理想的には、2次側の2つの出力としては、それぞれ1Vp-pの正弦波が現れるはずですが、100MHzの信号を入力した場合、振幅には10.5mVp-p、位相には0.5°の差が生じています。また、200MHzの信号を入力した場合には、振幅の差は38mVp-p、つまりは1.9%に達しています。

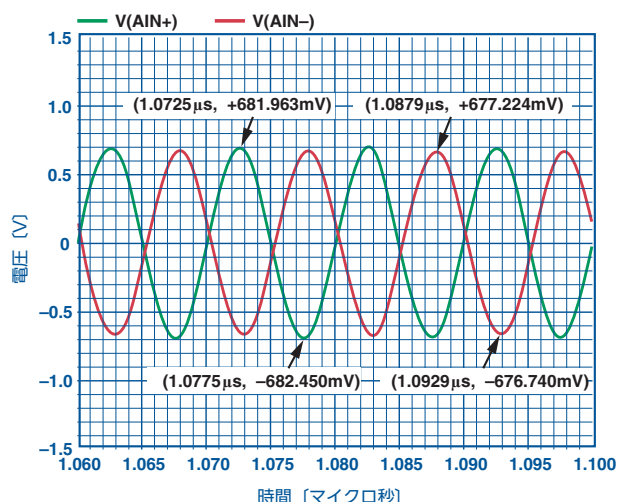


図3a. 100MHzの信号を入力した場合にトランスの2次側に現れる出力。AIN+（緑色）は1.364Vp-p、AIN-（赤色）は1.354Vp-pであり、その差は10.45mVp-pとなっています。

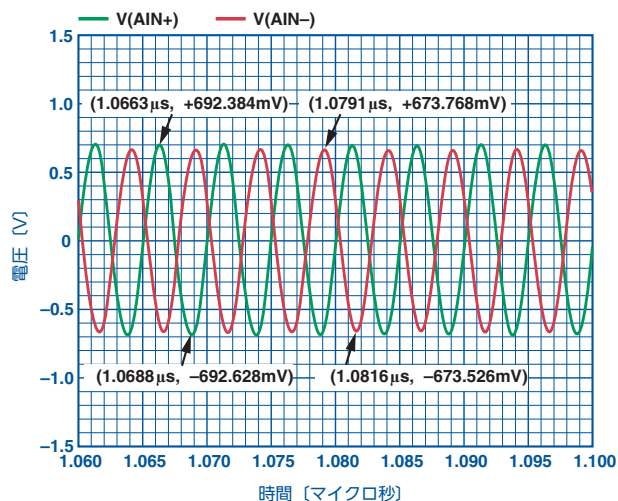


図3b. 200MHzの信号を入力した場合にトランスの2次側に現れる出力。AIN+（緑色）は1.385Vp-p、AIN-（赤色）は1.347Vp-pであり、その差は37.72mVp-pとなっています。

この状況を改善するための1つの方法は、1つ目のトランスに2つ目のトランスをカスケード接続することです、図4のような回路を構成すれば、絶縁を強化しつつ、容量性のフィードスルーによる不均衡を低減することができます。

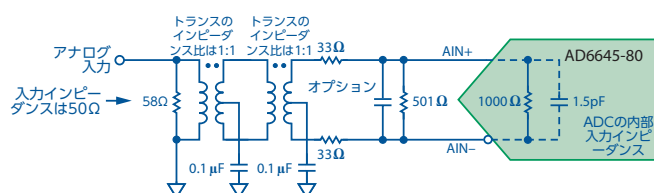


図4. カスケード接続したトランスによって構成したフロント・エンド回路

この手法を採用した場合、最も重要な高周波帯においてADCに印加される差動電圧に差が生じる可能性は低くなります。図5は、その要点を説明するためのものです。1つ目のトランスの2次側では、寄生容量C1、C2による結合の差が小さくなります。カスケード接続された2つ目のトランスにより、失われたコア電流の再分配が可能になり、2つ目のトランスの1次側にはより均等な信号が供給されます。2つのトランスをカスケード接続することで、高い周波数帯に対してよりバランスの取れたソリューションが実現されます。

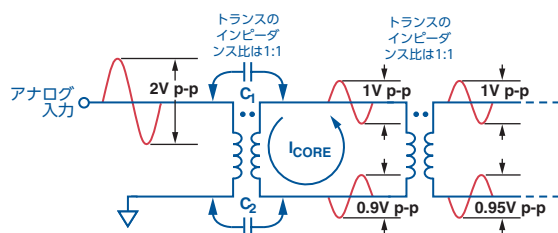


図5. 図4の構成による効果。カスケード接続された2つのトランスによって、信号のバランスが改善されます。

上記の手法の効果は、図6のシミュレーション結果によって確認できます。図6aは、アナログ入力として100MHzの信号を印加した場合の例です。偏差は0.25mVp-p、つまり0.013%まで低下しています。また、図6bには200MHzの信号を印加した場合の例を示しました。トランスの2次側において、両出力の差はわずか0.88mVp-p、つまり0.044%に抑えられています。部品を1つ追加することによって、大きな改善が得られるということです。

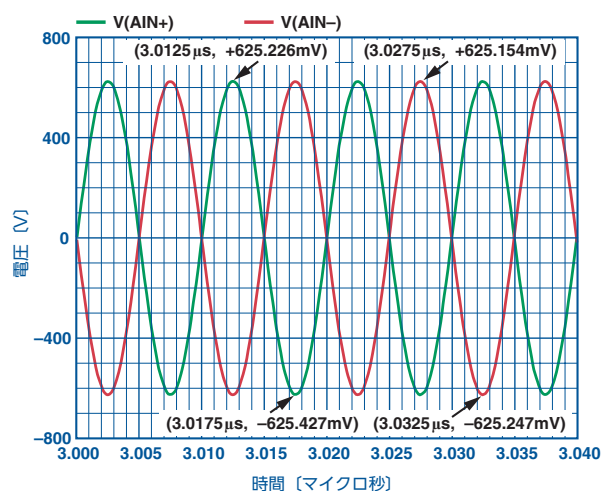


図6a. 100MHzの信号を入力した場合にトランスの2次側に現れる出力。AIN+ (緑色) は1.25Vp-p、AIN- (赤色) は1.25Vp-pであり、その差は0.25mVp-pとなっています。

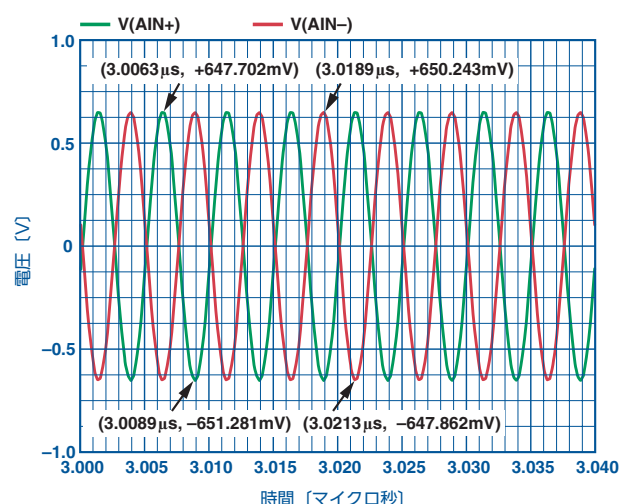


図6b. 200MHzの信号を入力した場合にトランスの2次側に現れる出力。AIN+ (緑色) は1.298Vp-p、AIN- (赤色) は1.298Vp-pであり、その差は0.88mVp-pとなっています。

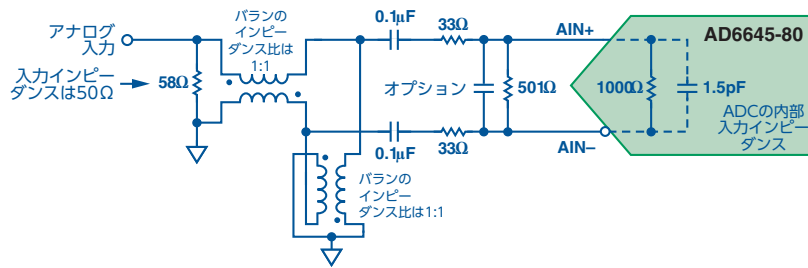


図7a. 2つのバラン型トランスを使用して構成したフロント・エンド回路

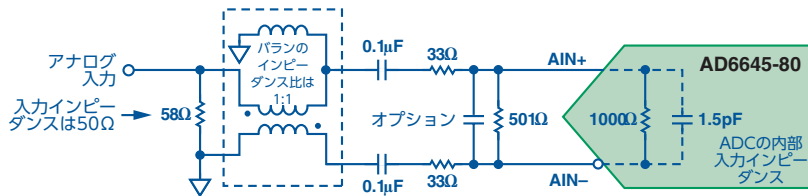


図7b. 補償済みのバラン型トランスを使用して構成したフロント・エンド回路

上述した問題への対処法はもう1つあります。それは、2つのバラン型トランスの構成を採用するというものです。バラン（平衡 - 不平衡変換器）は伝送線路のように機能します。通常は、ここまでに例にとった標準的な磁束結合型のトランスよりも広い帯域幅を備えています。バラン型のトランスを使えば、損失を比較的少なく抑えつつ、1次側と2次側の間の優れた絶縁を実現することができます。但し、1次側から2次側で入力インピーダンスが半分になるため、駆動に必要な電力の量が多くなります。図7aに示したのは、広い通過帯域を達成するために使用される一般的な実装例です。図7bには、バラン型トランスの不均衡をあらかじめ補償する方法を示しています。

応答にピーキングを持たせる

図8aに示したのは、代表的なトランスの周波数特性です。この種の特性は、基本的に100MHz以上の広い帯域幅に対応するフィルタと同様のものになります。この応答は、トランスの1次側にインダクタを直列に挿入することによって変化させることができます。図8bに示すように、通過帯域のゲインにピーキングを持たせると共に、通過帯域外のロールオフを急峻にすることが可能です。そのインダクタには、伝達関数にゼロとポールを追加する効果があります。

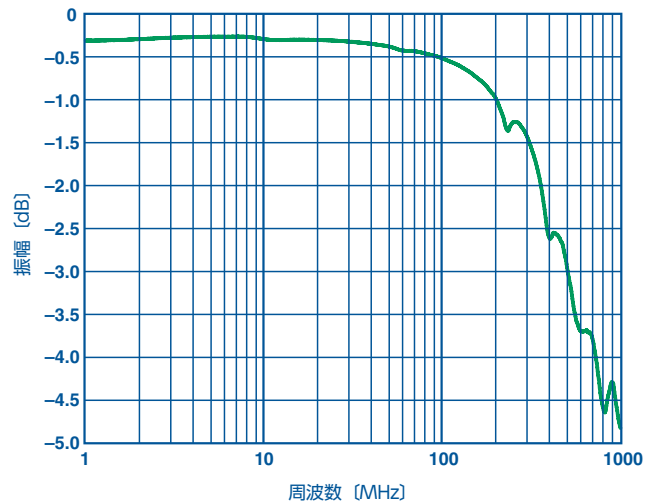


図8a. 代表的なトランスの周波数特性

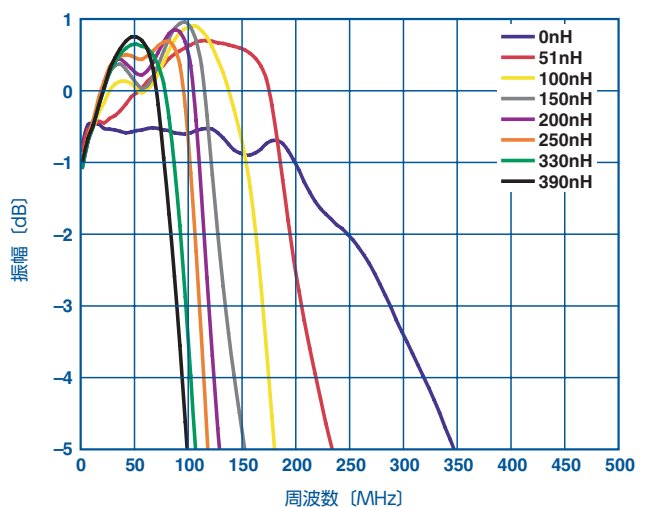


図8b. 直列インダクタを追加した場合の周波数特性

図9に示したのは、図2の回路に直列インダクタを適用した例です。追加するインダクタの値は、必要とするピーキングと帯域幅の量に応じて決定します。但し、ピーキングを持たせることにより、望ましくない結果になるケースがあることには注意が必要です。例えば、応答の平坦性を確保したい場合や、優れた位相特性が重要である場合などです。

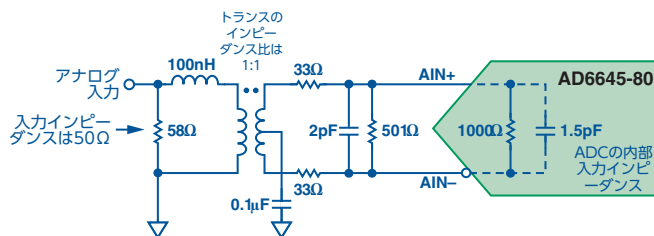


図9. 図2の回路に直列インダクタを適用した例

スイッチド・キャパシタ方式のADC

ここまでは、AD6645-80を例にとって解説を進めてきました。同ADCは、入力インピーダンスの値が既知であるインターフェースを備えています。では、スイッチド・キャパシタをベースとするADCの場合にはどのようなになるでしょうか。通常、その種のADCはバッファを内蔵していません。つまり、内部のサンプリング回路に入力信号ラインを直接接続することになります。そして、サンプリング回路のインピーダンスは、印加する入力信号の周波数に応じて大きく変化します。図10の回路では、10MHzのアナログ入力に対応するADC「AD9236-80」を使用しています²。トラック（サンプル）モードにおいて、このADCの入力部は1.9pFのコンデンサと並列に接続された4135Ωの差動インピーダンスのように見えます。しかし、ホールド・モードでは、それとは異なる値に見えることになります。このアナログ入力インピーダンスの値については、アプリケーション・ノート「AN-742」をご覧ください³。アナログ・デバイセズは、スイッチド・キャパシタ方式のADCを数多く提供しています。それらの製品の入力インピーダンスの値は、アナログ・デバイセズのウェブサイトのADCの製品ページからスプレッドシート形式でダウンロードすることができます。それらのスプレッドシートを見れば、トラック・モード／ホールド・モードにおける入力インピーダンスの値を確認できます。0.3MHz～1GHzの周波数範囲を対象とした値が示されています。

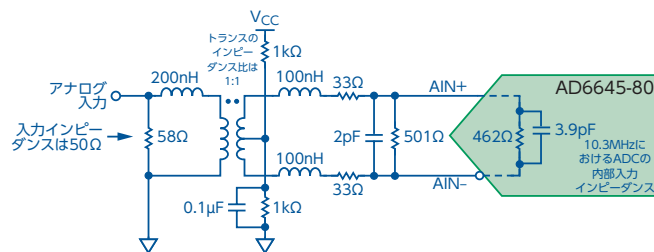


図10. スwitchド・キャパシタ方式のADC向けのフロント・エンド回路

図10の回路で使用している200nHの直列インダクタンスは、ADCの入力から反射してくる入力コンデンサのリアクタンスを相殺するためのものです。これによって、入力部が限りなく抵抗性の状態に近づき、対象とする周波数帯において50Ωの良好な終端を実現することができます。なお、図8bに示したように、インダクタンスとして他の値を使用し、必要な帯域幅とゲインの平坦性に関する調整を行うことも可能です。

本稿で示したすべての例では、巻線比（インピーダンス比）を1:1に限定していました。そのため、トランスの公称電圧ゲインは0dBとなります。寄生成分について比較的容易に理解／補償できるように、最も単純な構成のトランスを例にとったということです。しかし、アプリケーションによっては、入力信号が小さい場合に固有の電圧ゲインが必要になる可能性もあります。例えば、1:2または1:4の巻線比（4または16のインピーダンス比）を選択したとすると、トランスの電圧ゲインはそれぞれ6dB、12dBとなります。

トランスを採用するメリットとしては、アンプとは異なり、基本的にノイズが生じないということが挙げられます。ただ、特に広範な周波数を対象とする場合、1:2または1:4のトランスの寄生成分による影響を補償するのは非常に困難になります。例えば、巻線比が1:2である場合、容量性の成分は4倍になります。一方、誘導性の成分と抵抗性の成分は元の値の1/4に低下します。巻線比が1:4である場合には、同じ成分が16のファクタで増減することになります。この課題は、スイッチド・キャパシタ方式のADCとのインターフェースを実現する場合には、更に難易度の高いものとなります。容量性の成分が大きくなり、なおかつ周波数によって値が変化するからです。そのことを考慮すると、このような設計を行う場合、帯域内で対象となる中心周波数に対して最適化を図るのが最善の方法だと言えます。

まとめ

本稿では、主に理想的な回路や状態を対象として解説を進めました。また、巻線比や寄生成分の問題と、それに対応するためにアーキテクチャの設計に盛り込まれた工夫についての示唆も行いました。ただ、それらは表層的な内容にすぎません。では、新たな設計に取り組む際には、どのように対処すればよいのでしょうか。設計者は、ADCを含む設計で使用するトランスに関して、できるだけ多くのことを知っておかなければなりません。フロント・エンドの設計において注力すべきことは、対象となる周波数において影響をもたらす寄生成分について調べることです。適切に設計／解析を行うためには、ネットワーク・アナライザを使用する必要があります。同アナライザを使用して評価を行えば、インピーダンス、VSWR（電圧定在波比）、挿入損失、差動位相のミスマッチに関して、対象とする周波数範囲にわたって設計したフロント・エンド回路がどのような挙動を示すのか把握することが可能になります。それにより、トランス結合型のアプリケーションにおけるADCの振る舞いについて、多くの重要な情報を得ることができます。

参考資料

Atmel Corporation, Application Note 「Single-to-Differential Conversion in High-Frequency Applications (高周波アプリケーションにおけるシングルエンド - 差動変換)」

Janusz Biernacki, Dariusz Czarkowski 「[High-Frequency Transformer Modeling](#) (高周波トランスのモデリング)」 Proceedings IEEE International Symposium on Circuits and Systems, 2001年5月, pp. 676-679

Gary A. Breed 「Transmission Line Transformer Basics (伝送線路トランスの基礎)」 Microwave & Wireless, p. 60

Mark E. Hazen 「Experiencing Electricity & Electronics (電気／電子工学の体験的学習)」 Saunders College Publishing, 1989年, p. 700

M/A-Com, [TP-101](#) Data Sheet (データシート)

Mini-Circuits, [ADT1-1WT](#) Data Sheet (データシート)

Pulse Engineering, Inc., [CX2039](#) Data Sheet (データシート)

Rob Reeder 「A Front End for Wideband A/D Converters (広帯域に対応するA/Dコンバータ向けのフロント・エンド)」 EE Times, 2005年3月28日

Rob Reeder, Application Note AN-742 「[Frequency Domain Response of Switched-Capacitor ADCs](#) (スイッチド・キャパシタADCの周波数領域応答)」 Analog Devices, 2004年

Jerry Seveck 「Design of Broadband Ununs [baluns] with Impedance Ratios Less Than 1:4 (インピーダンス比が1:4未満の広帯域Unun [バラン] の設計)」 High-Frequency Electronics, pp. 44-51

謝辞

評価データの収集に協力してくれたItisha TyagiとRamya Ramachandranに感謝します。また、本稿の執筆にあたり、技術的な専門知識の提供、指導を行ってくれたJim HandとBrad Brannonに感謝します。

参考資料 (2005年4月時点)

¹ <https://www.analog.com/jp/products/ad6645.html>

² <https://www.analog.com/jp/products/ad9236.html>

³ https://www.analog.com/media/en/technical-documentation/application-notes/587173998057911564087081655730496713845335290374441083AN_742_a.pdf