

# アプリケーションの種類に応じ、ADCのアーキテクチャを適切に選択する

著者：Walt Kester ([walt.kester@analog.com](mailto:walt.kester@analog.com))

## はじめに

現在、市場には数千種にも上るA/Dコンバータ(ADC)製品が提供されています。その中から、特定のアプリケーションに適したものを選択するのは容易ではありません。例えば、アナログ・デバイセズのウェブサイト<sup>1</sup>では、セクション・ガイドや、パラメータ・ベースの製品セクション・テーブルを利用できるようになっています。そうしたツールを活用するというのが、製品を選択するための一般的な方法だと言えるでしょう。つまり、サンプリング・レート、分解能、電源電圧といった主要なパラメータの値を設定し、「検索」ボタンをクリックするということです。その結果、最適な製品が表示されるのであればよいのですが、そのようなケースはまれでしょう。例えば、「ベスト・チョイス」のように見える製品が多数表示されたとしたらどうすればよいのでしょうか。システムを設計する際には、より深い理解に基づいて選択作業に取り組み、より良い結果を得るよう努めなければなりません。

現在、ADCを使用するほとんどのアプリケーションは、以下に示す4つの広範な市場セグメントに分類することができます。

- データ・アキュイジション
- 高精度の産業用計測
- 音声帯域／オーディオ
- 高速 (サンプリング・レートが約5MSPS以上)

各分野のアプリケーションの大半は、逐次比較型(SAR)、シグマ・デルタ型( $\Sigma\Delta$ )、パイプライン型のうちいずれかのアーキテクチャを採用したADCを使って実現されています。これら3種のアーキテクチャと市場セグメントの基本的な関係について理解しておけば、セクション・ガイドや製品セクション・テーブルをより有効に活用できます。

図1は、各アプリケーション分野と代表的なアーキテクチャの関係を示したものです。ADCの分解能(縦軸)とサンプリング・レート(横軸)を尺度とする一般的な方法でまとめています。図中の破線は、2005年時点における最先端技術の大まかな状況を表しています。アーキテクチャにはいくつかの種類があるわけですが、それ

ぞれの仕様を見ると、かなり重複した部分があることがわかります。アーキテクチャを選択する上では、ADCの仕様というよりも、アプリケーションの仕様が鍵になります。

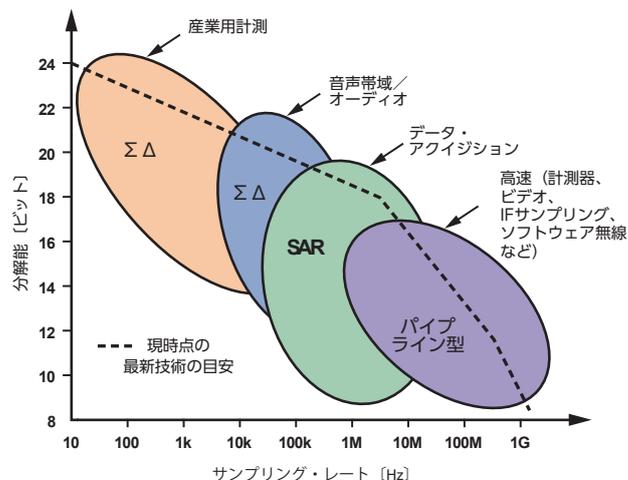


図1. ADCのアーキテクチャとアプリケーション分野の関係。分解能とサンプル・レートを尺度として図示しました。

## データ・アキュイジションに最適なSAR ADC

データ・アキュイジションのアプリケーションで最もよく用いられるのはSAR ADCです。特に入力を多重化することで複数のチャンネルを実現したい場合には、SAR ADCが間違いなく最有力の候補になります。1970年代のモジュラー・デバイスやハイブリッド・デバイスから、低消費電力の最新型ICに至るまで、SAR ADCはデータ・アキュイジション・システム向けの製品として主流の地位にあります。このアーキテクチャは、1940年代にベル研究所によるPCM(Pulse Code Modulation)システムの実験で初めて使用されました。1954年には、EpscoのBernard Gordon氏が真空管をベースとする初の商用SAR ADCを発表しました。その製品は、分解能が11ビット、サンプリング・レートが50kSPSで、消費電力は500Wというものでした。

その後、SAR ADCはICとして提供されるようになりました。現在では、一般的なSAR ADCの分解能は8ビット～18ビット、最高サンプリング周波数は数MHzのレベルに達しています。本稿執筆の時点で入手可能な最新のSAR ADCの例としては、16ビット／3MSPSの「AD7621」<sup>2</sup>や18ビット／2MSPSの「AD7641」<sup>3</sup>などが挙げられます。通常、SAR ADCからのデータの出力には標準的なシリアル・インターフェース(I<sup>2</sup>C<sup>®</sup>やSPI<sup>®</sup>など)が使用されます。なかにはパラレル出力で使用可能な製品も存在します(但し、ピン数の増加とパッケージ・サイズの増大という明らかな代償が伴います)。

図2に示したのが、SAR ADCの基本的なアーキテクチャです。SAR ADCの入力部には、急激に変化する入力信号を処理するためのサンプル&ホールド回路 (SHA) が配置されています。これにより、変換サイクルの間、変換の対象となる信号のレベルが一定に保たれます。変換処理は、SAR ADCが内蔵するD/Aコンバータ (DAC) をミッドスケールに設定した状態で始まります。コンパレータは、SHAの出力がDACの出力より大きい小さいかという判定を行います。その結果に応じ、MSBの値を1または0として逐次比較型のレジスタに格納します。続いて、DACはMSBの値に応じて1/4スケールまたは3/4スケールのうちどちらかに設定されます。それを受けて、コンパレータは2番目のビットの値を決定します。その結果も1または0としてレジスタに格納されます。このようにして、すべてのビットの値が決まるまで同様のプロセスが継続されます。変換プロセスの終了時には、ロジック信号 (EOC、DRDY、BUSYなど) がアサートされます。「SAR」というのは、変換プロセスを制御するロジック・ブロックである「Successive Approximation Register」(逐次比較型のレジスタ) の頭字語です。ただ、現在ではアーキテクチャ全体を表す略称として広く使われています。

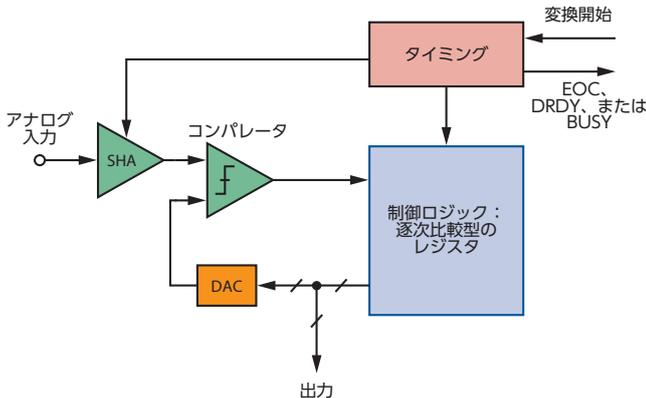


図2. SAR ADCのアーキテクチャ

図3に示したのは、代表的なSAR ADCのタイミング図です。ほとんどのSAR ADCは、図中に示したようなタイミングで動作します。ただ、各タイミングを表す名称については製品ごとに異なる可能性があります。個々のサンプリング処理に対応するデータは、パイプライン遅延に代表される遅延 (レイテンシ) を伴うことなく変換時間が終了したタイミングで利用可能になります。このような特徴を備えることから、SAR ADCはシングルショット、バースト・モード、多重化に対応する必要があるアプリケーションでも容易に使用することができます。また、ほとんどのSAR ADCでは、変換開始用の入力信号 (CONVERT START) と同期をとる必要のない高速クロック (内部クロックか外部クロックかは製品による) によって変換プロセスが制御されます。

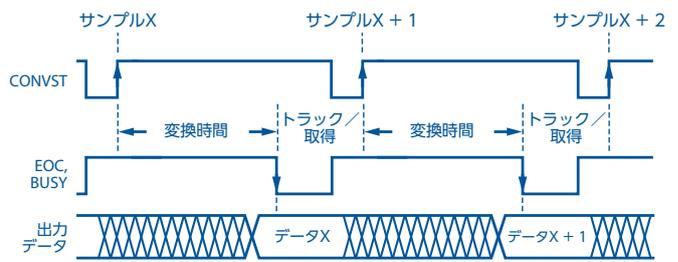


図3. SAR ADCのタイミング図

SAR ADCの変換プロセスに使用される基本的なアルゴリズムの起源をたどると、1500年代にまでさかのぼることになります。具体的には、実用的な数学パズルにたどり着きます。それは、天秤と分銅を使用して物の重さを量る際、必要な手間を最小限に抑えるにはどうすればよいのかというものでした (参考資料1)。例えば、1ポンドから40ポンドまでの範囲にある重さ (整数値) を量るケースを考えます。そのために使用する分銅の数を最小に抑えるにはどうすればよいでしょうか。1556年に数学者のTartaglia氏が示した1つの解答は、1ポンド、2ポンド、4ポンド、8ポンド、16ポンド、32ポンド (つまり、 $2^0$ 、 $2^1$ 、 $2^2$ 、 $2^3$ 、 $2^4$ 、 $2^5$ ) という2進数の系列に対応する分銅を使うというものでした。この計量アルゴリズムは、現代のSAR ADCで使用されているのと同じものです (なお、この解答に従えば、実際には40ポンドまでではなく、63 ( $2^6 - 1$ ) ポンドまでの重さを量ることができます) \*。未知の重量が45ポンドである場合、天秤を使用した2進アルゴリズムは図4のようになります。

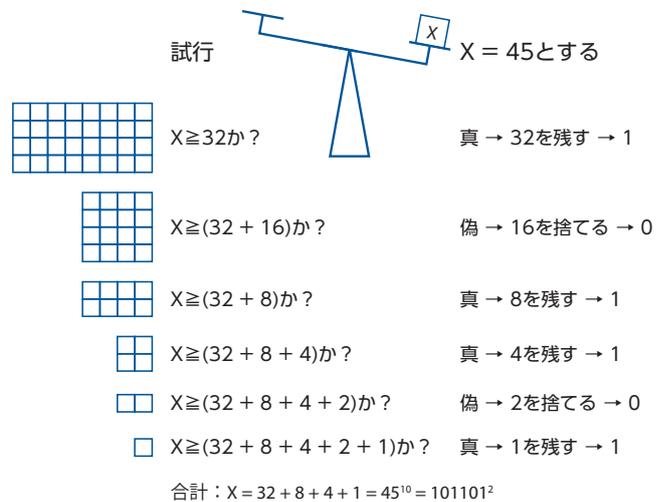


図4. 天秤と分銅で計量する場合に使用する2進アルゴリズム。SAR ADCで使用されているのと同じものです。

SAR ADCの全体的な精度と直線性は、主に内蔵DACの特性によって決まります。「AD574」<sup>4</sup>などのSAR ADCは、高い精度を実現できる初期の製品として標準的に使われていました。この種の製品が内蔵するDACでは、レーザ・トリミングを施した薄膜抵抗を使用することによって必要な精度と直線性を達成していました。ただ、そうした薄膜抵抗を製造するには、成膜とトリミングの工程が必要になるためコストがかさみます。また、パッケージングを行う際に機械的なストレスが加わると、薄膜抵抗の値に影響が及ぶこともありました。

\* 3値 (基数3: 1, 0, -1) 論理が許される場合、この問題は、1/3/9/27ポンドの分銅を天秤の両側に載せることによって4つのステップで解決することができます。これらの分銅を使用する場合、計量可能な最大値は40ポンドになります。

このような理由から、CMOSベースの新たなSAR DACでは、DACとしてスイッチド・キャパシタ（または電荷再配分）方式のものが使われるようになりました。その種のDACでは、主にフォトリソグラフィによって精度と直線性が決まるといふ大きなメリットが得られます。このような特徴を備えることから、コンデンサに使用すべき電極の面積が決まり、容量値とマッチングの度合いが確定します。加えて、容量値の小さいコンデンサをメインのコンデンサと並列に配置し、自動キャリブレーションのルーチンによってそれらを切り替えて使用するという手法を活用できます。それにより、レーザ・トリミングを施した薄膜を使用することなく、高い精度と直線性を実現することが可能になります。各コンデンサの間では、1ppm/°Cを上回る温度トラッキング性能を実現できます。そのため、温度に対する高い安定性が得られます。

また、最新のSAR ADCに最適なCMOSプロセスは、アナログ・スイッチにとっても最適なプロセスです。SAR ADCの入力部には、基本的な機能としてマルチプレクサを比較的容易に追加することができます。つまり、データ・アキュイジション・システム全体を1チップに集積することも可能です。加えて、SAR ADCのチップには、それ以外のデジタル機能も容易に追加することができます。実際、SAR ADC製品には、マルチプレクサのシーケンシングの機能や自動キャリブレーションの機能を盛り込むことが一般的になりつつあります。

図5は、1MSPSに対応するSAR ADC「AD79x8ファミリ」のブロック図です。図中のシーケンサを使用すれば、チャンネルの選択/交換の自動化を実現できます。必要に応じ、チャンネルを個別に指定することも可能です。A/D変換によって得られたデータは、シリアル・ポートを介して転送されます。ΣΔ ADCやパイプライン型ADCとは異なり、SAR ADCではパイプライン遅延が生じません。そのため、マルチチャンネルのデータ・アキュイジション・アプリケーションでよく使用されています。SAR ADCは、シングルショット、バースト、連続といった変換モードにも対応できます。

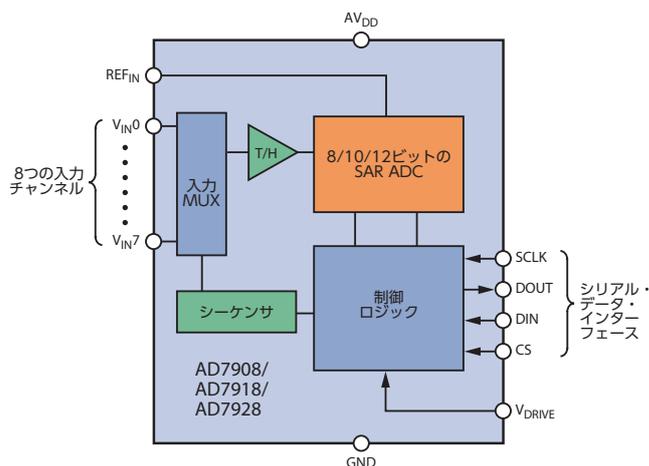


図5. 1MSPSに対応するSAR ADCのブロック図。8チャンネルの入力マルチプレクサを備えています。この製品ファミリには、8ビットの「AD7908」<sup>5</sup>、10ビットの「AD7918」<sup>6</sup>、12ビットの「AD7928」<sup>7</sup>が用意されています。

### 高精度の産業用計測/計装に最適なΣΔ ADC

アプリケーションの中には、16ビット～24ビットの高い分解能と最高数百Hzの実効サンプリング周波数が必要になるものがあります。以前は、そうしたアプリケーションでは積分型のADC（デュアルスロープ、トリプルスロープ、クワッドスロープなど）が使われていました。しかし、現在ではそれに代わるものとしてΣΔ ADCが使用されるようになりました。ΣΔ ADCであれば、高い分解能を実現することができます。また、プログラマブル・ゲイン・アンプ (PGA) も集積できるので、荷重センサーや熱電対などが出力する小振幅の電圧を直接デジタル化することができます。加えて、サンプリング・レートとデジタル・フィルタの帯域幅を適切に選択すれば、50Hz/60Hzの電源ノイズも効果的に除去することが可能です。ΣΔ ADCは、計装アンプ (イン・アンプ) とSAR ADCを組み合わせる従来の手法に取って代わる魅力的な選択肢となっています。

ΣΔ ADCの基本的な概念は、1950年代にベル研究所で行われたデルタ変調と差分PCMをベースとするデジタル伝送システムの実験に由来しています。ΣΔ ADCの理論については、1960年代末までには十分な理解が得られていました。しかし、そのアーキテクチャには当時は珍しかったデジタル・フィルタが不可欠でした。そのため、デジタルCMOSによる信号処理が広く利用できるようになった1980年代後半まで、実用的なICが実現されることはありませんでした。

図6は、 $\Sigma\Delta$  ADCがベースとする基本的な概念についてまとめたものです。同ADCは、オーバーサンプリング、ノイズ・シェーピング、デジタル方式のフィルタリング、デシメーションといった基本的な概念を組み合わせることで実現されます。

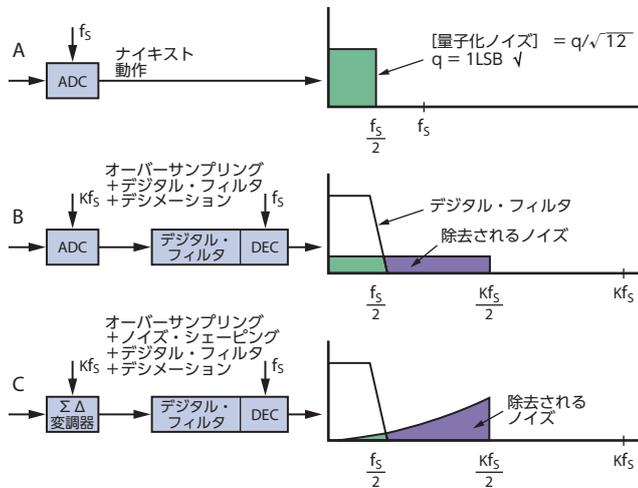


図6.  $\Sigma\Delta$  ADCのベースとなる基本的な概念。 $\Sigma\Delta$  ADCは、オーバーサンプリング、デジタル・フィルタ、デシメーション、ノイズ・シェーピングを組み合わせることで実現されます。この図は、ノイズ・スペクトルに対するそれぞれの効果を示すためのものです。

図6Aは、従来のナイキスト動作に対応するノイズ・スペクトルを表しています。この場合、ADCの入力信号は、DCと $f_s/2$ の間にあることが前提になります。A/D変換によって生じる量子化ノイズは、同じ帯域幅内に均一に広がります。図6Bは、オーバーサンプリングを適用した場合のノイズ・スペクトルです。入力信号の帯域幅はナイキスト動作の場合と同じですが、サンプリング周波数はK倍（オーバーサンプリング比）に高めています。そして、信号帯域幅の外に現れる量子化ノイズは、デジタル・フィルタによって除去します。その際、デシメーションも適用することにより、出力データ・レートも元のサンプリング周波数（サンプリング・レート）である $f_s$ まで下げられます。オーバーサンプリングのプロセスと、それに続くデジタル・フィルタとデシメーションの処理により、ナイキスト帯域幅（DC～ $f_s/2$ ）内のS/N比を高めることが可能になります。Kを2倍にすると、同帯域幅内のS/N比は3dBずつ向上します。図6Cは、従来のADCを $\Sigma\Delta$ 変調器で置き換えたものです。これが $\Sigma\Delta$  ADCの基本的なアーキテクチャです。同変調器の主な役割は、量子化ノイズ・スペクトルの形状を変形（シェーピング）させることです。それにより、量子化ノイズの大部分が帯域幅の外に存在する状態になります。結果として、DC～ $f_s/2$ 内のS/N比が大幅に高まります。

図7に示したのは、基本的な1次 $\Sigma\Delta$  ADCのブロック図です。この図では、 $\Sigma\Delta$ 変調器の構成を少し詳細に描いています。同変調器の心臓部は、1ビットのADC（コンパレータ）と1ビットのDAC（スイッチ）です。マルチビットの $\Sigma\Delta$  ADCも、内部ではこのような1ビットの変調器を使用しています。1ビットの変調器には、本質的に微分直線性が優れているという明らかな長所があります。

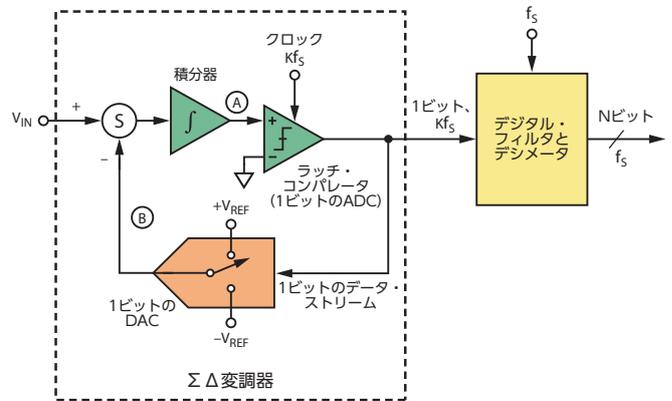


図7. 1次の $\Sigma\Delta$  ADC

この変調器の出力は1ビットのデータ・ストリームです。積分器の周囲に構築された負帰還により、B点の信号の平均値は $V_{IN}$ に等しくなるはずで、 $V_{IN}$ がゼロ（つまりミッドスケール）である場合、出力データ・ストリームでは1と0の数が等しくなります。入力信号の値が大きくなると、1の数が増加し、0の数は減少します。同様に、入力信号の値が小さくなると、1の数は減少し、0の数が増加します。つまり、同じ時間間隔内のサンプルの総数に対する出力ストリーム中の1の割合（1の密度）は、入力のDC値に比例するはずで、また、変調器は、対象とする信号に対してはローパス・フィルタとして機能し、量子化ノイズに対してはハイパス・フィルタとして機能します。それにより、ノイズ・シェーピングの効果が実現されます。

先述したように、 $\Sigma\Delta$  ADCにはデジタル・フィルタが不可欠です。50Hz/60Hzの電源ノイズを除去する能力は、デジタル・フィルタの設計を最適化することによって実現されます。この点には注意が必要です。また、デジタル・フィルタを使用するという事は、それに固有のパイプライン遅延が生じるということを含みます。多重化アプリケーションやサーボ・アプリケーションでは、その点を考慮する必要があります。 $\Sigma\Delta$  ADCへの入力信号を多重化する場合、出力データが有効になる前に、デジタル・フィルタが新たな値にセトリングされるようにする必要があります。一般に、そのセトリングには、複数の出力クロック・サイクルが必要になります。デジタル・フィルタによってパイプライン遅延が生じることから、 $\Sigma\Delta$  ADCはシングルショットやバーストといった動作モードには対応できません。

1ビットのシンプルな1次ΣΔ ADCは、1ビットのADCと1ビットのDACを使用します。そのため、本質的に直線性と単調性が得られます。しかし、高い分解能が求められるアプリケーションに対しては、ノイズ・シェーピングの効果が十分ではありません。その場合、変調器の積分器の数を増やすことで対応できます（フィルタにポールを追加するのと同様）。例として、図8に1ビット/2次のΣΔ ADCのブロック図を示しました。また、図8の下側には、1次/2次のΣΔ ADCの周波数応答を示しています。1次変調器を使用する場合と比べて、2次変調器を使用すればノイズ・シェーピングの効果が高まる点に注目してください。このように、変調器の次数を高めれば、ノイズ・シェーピングの機能は増強されます。但し、設計が複雑になるという代償が伴います。実際、高次（3次以上）の変調器では、安定性を確保するのが容易ではありません。このことは設計上の大きな課題になります。

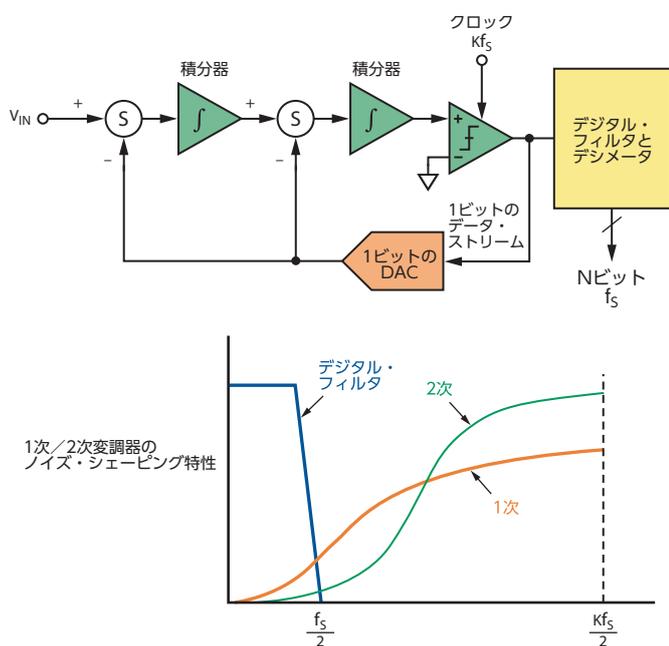


図8. 2次のΣΔ ADC

高次の変調器の代わりに一般的に採用されているのは、マルチビットのアーキテクチャです。このアーキテクチャでは、1ビットのADC（コンパレータ）をNビットのフラッシュ型コンバータに置き換え、1ビットのDAC（スイッチ）を直線性の高いNビットのDACに置き換えます。マルチビット型のΣΔ ADCを実現しようとすると、場合によってはコストのかかるレーザ・トリミングが必要になります。ただ、データ・スクランブルなどの手法を採用し、内蔵ADC/DACに必要なとされる直線性を実現すれば、レーザ・トリミングは不要になります。

現在でも、積分型のアーキテクチャ（デュアルスロープ、トリプルスロープなど）はデジタル電圧計などのアプリケーションで使用されています。ただ、産業用計測のアプリケーションでは、今やCMOSベースのΣΔ ADCが主流になっていると言えます。繰り返しになりますが、ΣΔ ADCでは最大24ビットの分解能を実現できます。また、電源ラインの同相ノイズ除去性能に優れています。加えて、デジタル方式のキャリブレーションなど、数々の有用な機能を実現する回路をADCのチップに集積することができます。更に、多くΣΔ ADC製品はPGAも内蔵しています。そのため、外付けのシグナル・コンディショニング回路や計装アンプ回路を追加することなく、ブリッジ型のトランスデューサや熱電対からの小さな信号を直接デジタル化することが可能です。

図9は、高精度のロード・セルについて説明したものです。このロード・セルは、5Vの励起電圧を使用した場合、2kgの荷重に対して10mVのフルスケール電圧を出力します。ブリッジ回路の共通モード出力電圧は2.5Vです。図中には、2kgの荷重に対するブリッジの抵抗値を示しています。任意の荷重に対する出力電圧は、励起電圧に比例します。つまり、電源電圧についてレシオメトリックです。

代表的なロード・セル  
(提供: RS Components)



- ◆ 最大荷重：2kg
- ◆ 感度：2mV/V
- ◆ 励起電圧：5V
  - $V_{FS} = V_{EXC} \times [\text{感度}]$
  - $V_{FS} = 5V \times 2mV/V = 10mV$
  - $V_{CM} = 2.5V$
- ◆ フルスケールの出力電圧：10mV
- ◆ 励起電圧に比例 (レシオメトリック)

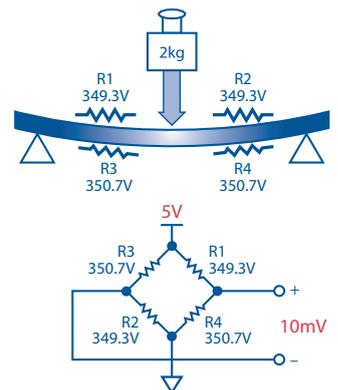


図9. ロード・セルの概要

従来、このような小振幅の信号をデジタル化するためには、計装アンプを使用する手法が使われていました。同アンプにより必要なゲインを得て、分解能が14～18ビットの従来型のSAR ADCを駆動するというものです。計装アンプとしては、オフセットとドリフトを考慮すると、[AD5555]<sup>8</sup>や[AD8230]<sup>9</sup>といったオート・ゼロ機能を備えるものが必要でした。また、その種のアンプ製品を使用するとノイズが発生するので、適切なフィルタ回路も必要になります。多くの場合、SAR ADCの出力データに対しては平均化を適用することで、ノイズの更なる低減が図られていました。

ここで、図10をご覧ください。これは、従来の計装アンプ/SAR ADCによる手法に代わる魅力的な構成だと言えます。この回路では、ロード・セルと高分解能のΣΔ ADC [AD7799]<sup>10</sup>を直接接続しています。先述したように、ブリッジ回路のフルスケールの出力電圧は10mVです。この出力は、スループット・レートが4.7HzのADCにより、約16ビットのノイズ・フリー分解能でデジタル化されます（ノイズ・フリー・コード分解能と入力換算ノイズについては参考文献1をご覧ください）。この回路はレシオメトリックな測定に対応するので、高精度の電圧リファレンスは必要ありません。

非常に振幅の小さい信号を高い分解能でデジタル化する必要がある場合、ΣΔ ADCは魅力的な選択肢になります。しかし、SAR ADCに比べると、デジタル化が徹底されたΣΔ ADCを使用する場合、開発サイクルがやや長くなる可能性があります。そのプロセスでは、評価用ボードとソフトウェアが大いに役立ちます。なお、多くの計装アプリケーションやセンサー用のシグナル・コンディショニング・アプリケーションについては、現在でも、従来の計装アンプ（信号の増幅と同相ノイズの除去に使用）の後段にマルチプレクサとSAR ADCを配置することによって効果的に対応できるケースも少なくないでしょう。

### ΣΔ ADCは音声帯域／オーディオにも最適

産業用計測のアプリケーションの例としては、高精度の計測システム、センサーによる監視、電力量計、モータ制御など様々なものが挙げられます。上述したように、そうしたアプリケーションではΣΔ ADCが広く使われています。ただ、ΣΔ ADCが主流になっているのは産業分野のアプリケーションだけではありません。音声帯域／オーディオの分野の最新アプリケーションでも、ΣΔ方式のADCやDACが広く活用されています。ΣΔ ADC/DACでは、高いオーバーサンプリング・レートを使用します。それにより、ADCの入力部に配置するアンチエイリアシング（折返し誤差防止）フィルタやDACの出力部に配置されるアンチエイジング・フィルタを簡素化することが可能になります。また、CMOSベースのADC/DACには、デジタル機能を容易に追加することができます。ダイの面積、消費電力、コストの増加をわずかに抑えつつ、プログラマブルなデジタル・フィルタをはじめとする様々な回路を集積することが可能です。

音声帯域／オーディオ向けのデジタル技術は、PCMベースの通信アプリケーションの黎明期である1940年代に登場しました。初期のTキャリア・システムでは、8ビットの圧縮／伸長用ADCと伸長用DACが使用されていました。初期のサンプリング・レートは8kSPSが標準でした。

最新のデジタル・セルラ・システムでは、分解能の低い圧縮伸張技術は使われていません。そうではなく、分解能の高いオーバーサンプリング／リニア型のΣΔ ADC/DACが使用されています。標準的なS/N比の要件は60dB～70dBです。旧式のシステムとの互換性を保つためには、圧縮伸張／伸長の機能が必要になることがあります。そうしたケースでは、DSP用のハードウェア／ソフトウェアによって対応を図ります。音声帯域のコーデック（コーダ／デコーダ）<sup>11</sup>には、PCMアプリケーション以外にも音声処理、暗号化など多くのアプリケーションが存在します。そうした用途に向けて、様々な製品が提供されています。

ΣΔ ADC/DACは、より要求の厳しいオーディオの市場でも主流になっています。具体的な用途としては、FMステレオ、コンピュータ・オーディオ、ステレオCD、デジタル・オーディオ・テープ（DAT）、DVDオーディオなどがあります。全高調波歪み＋ノイズ（THD + N）の要件は60dB～100dB以上といった具合に幅広く、サンプリング・レートにも48kSPS～192kSPSという幅があります。CMOSベースの最新のΣΔ ADC/DACであれば、そうした要件を満たすことが可能です。また、個々のアプリケーションに応じたデジタル機能も容易に集積することができます。

### 高速アプリケーションに最適なパイプライン型ADC

本稿では、サンプリング・レートが5MSPSを超える場合を「高速」と呼ぶことにします。そうした高速アプリケーションに最適なのはパイプライン型のADCです。図1に示したように、サンプリング・レートが約1MSPS～5MSPSの領域では、SAR ADCもパイプライン型ADCも使用されます。この小さな領域を除くと、高速と見なされるほとんどのアプリケーションにはパイプライン型ADCが使われています。実際、CMOSベースで消費電力の少ないパイプライン型ADCは、ビデオをはじめとする多くのアプリケーションで最適な製品として利用されています。

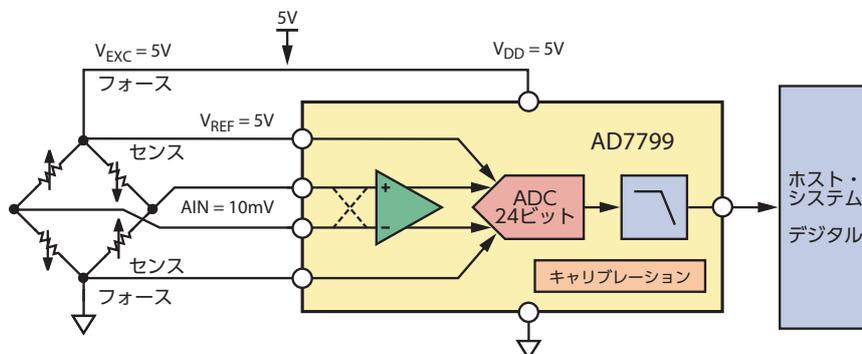


図10. ロード・セルと高分解能のΣΔ ADC (AD7799) を組み合わせたシステム

これは、1980年代とは非常に対照的な状況だと言えます。当時、そうした市場では、IC化されたフラッシュ型ADC（サンプリング・レートが15MSPS～100MSPS、分解能が8ビットの製品がビデオ市場の主流）か、またはより分解能が高く高価なモジュール型／ハイブリッド型のソリューションが使用されていました。分解能の低いフラッシュ型ADCは、依然としてパイプライン型ADCの重要なビルディング・ブロックとして使用されています。しかし、サンプリング周波数が1GHz～2GHzを超えるほど高く、分解能は6ビット～8ビットしか必要ないケースを除けば、フラッシュ型ADCが単独で使用されることはほとんどありません。

現在、高速のADCを必要とする代表的なものとしては、多様な計測器のアプリケーションが挙げられます。例えば、デジタル・オシロスコープやスペクトル・アナライザ、医療用イメージング機器などです。また、ビデオ、レーダー、通信（IFサンプリング、ソフトウェア無線、基地局、セットトップ・ボックスなど）、民生用電子機器（デジタル・カメラ、ディスプレイ機器、DVD機器、EDTV [Enhanced Definition Television]、HDTV [High Definition Television]）などでも高速なADCが使われています。

パイプライン型ADCの起源は、1950年代に初めて使用されたサブレンジング型アーキテクチャにあります。図11に、分解能が6ビット、2段サブレンジング型のシンプルなADCのブロック図を示しました。

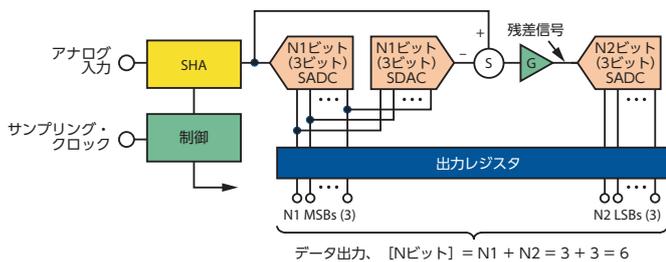


図11. 6ビット、2段のサブレンジング型ADC

この回路において、SHAの出力は、まず1段目に配置された3ビットのサブADC（SADC）によってデジタル化されます。SADCとしては、通常はフラッシュ型ADCが使用されます。この粗い変換によって得られたMSB側の3ビットの値は、3ビットのサブDAC（SDAC）によってアナログ信号に戻されます。次に、SDACの出力をSHAの出力から差し引き、その差を増幅します。この残差信号を2段目に配置された3ビットのSADCによってデジタル化し、全部で6ビットの出力ワードのうちLSB側の3つのデータを生成します。

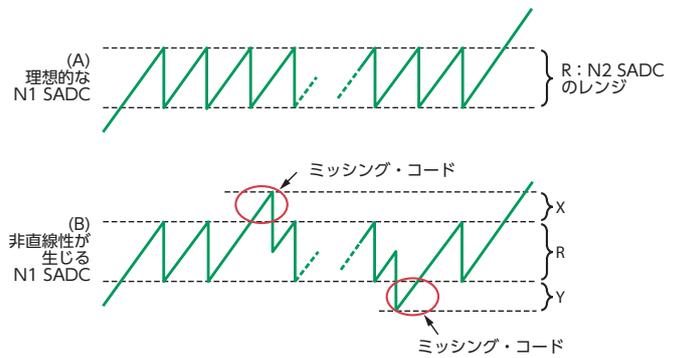


図12. 2段目に配置されたSADCの入力に現れる残差信号の波形

このサブレンジング型ADCの評価は、2段目のSADCの入力に現れる残差信号の波形を調べることで行います（図12）。この波形は、典型的にはADCに周波数の低いランプ信号を入力した場合に現れます。ミッシング・コードが生じないようにするためには、図12 (A) の理想的な状態のように、残差信号の波形が2段目のADCの入力レンジを超えないようにしなければなりません。このことは、N1ビットのSADCとN1ビットのSDACの両方がN1 + N2ビットよりも高精度でなければならないということを意味します。ここで取り上げている例では、N1 = 3、N2 = 3であり、N1 + N2 = 6となります。図12 (B) に示した状況では、残差信号の波形がN2 SADCのレンジRの外、つまりはXまたはYの領域に達するとミッシング・コードが発生します。このような状態が生じる原因としては、N1 SADCの非直線性または各段の間のゲイン／オフセットのミスマッチが考えられます。こうした状況下では、ADCの出力は図13のようなものになる可能性があります。

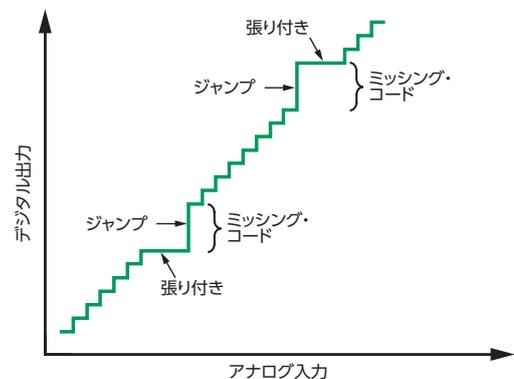


図13. ミッシング・コードが生じた場合の変換結果。ミッシング・コードは、MSB側のADCの非直線性や各段の間のミスマッチによって発生します。

このアーキテクチャは、必要な分解能が約8ビット ( $N1 = N2 = 4$ ) までである場合には有効です。言い換えれば、2つの段の間で8ビット以上の整合を維持するのが困難なケースが少なくありません (特に、温度の変化に対して)。ただ、現段階では、サブレンジング型アーキテクチャにおいて1段あたりのビット数が等しい場合、特定の設計上の問題 (本稿では触れません) 以外には、特に要件が存在しないことは注目に値します。また、2段以上の回路が構成されるケースもあります。しかし、図11のようなアーキテクチャでは、何らかの形で誤差を補正する仕組みを追加しない限り、分解能は約8ビットのレベルに制限されます。

誤差の補正機構を備えるサブレンジング型ADCのアーキテクチャは、1960年代の半ばに登場しました。その頃には、基本的なサブレンジング型アーキテクチャを採用しつつ、より高い分解能を達成するための効果的な手段が実現されていたのです。例えば、2段/6ビットのサブレンジング型ADCにおいて、2段目のADCにビットを追加することで、図12のX/Y領域のデジタル化を可能にするといった具合です。このように対応可能な領域を広げることで、残差信号の波形が2段目のADCのレンジを超えない限り、理想値からの逸脱を許容できるようになります。但し、SDACの精度は、依然として全体の分解能である  $N1 + N2$  よりも高くなければなりません。

図14は、誤差の補正機構を備える6ビットのサブレンジング型ADCのブロック図です。2段目の分解能は、3ビットから4ビットに増やしてあります。残差信号の波形がX/Yのオーバーレンジ領域に存在する場合に、 $N1$  SDACの結果を修正するためには追加のロジック回路が必要になります。その回路は、残差信号の波形に加えるDCオフセット電圧と単純な加算器を使って実装することができます。

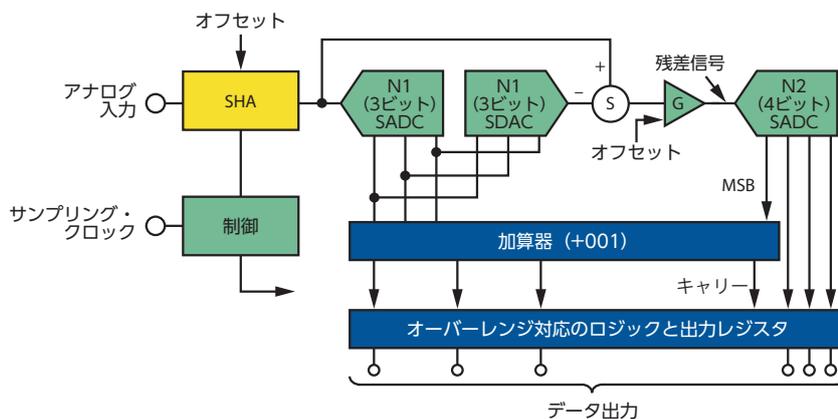


図14. 誤差を補正するための機能を備える6ビットのサブレンジング型ADC。  
N1は3ビット、N2は4ビットに対応しています。

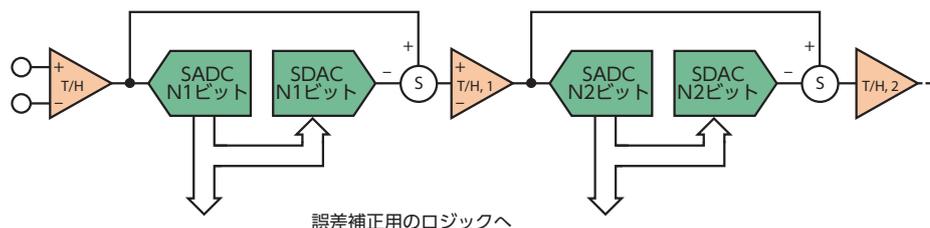


図15. パイプライン段の構成。  
誤差を補正するための機能を備えるサブレンジング型ADCで使用されます。

ます。この構成では、2段目のSADCのMSBのデータによって、MSBを001だけインクリメントするか、または修正せずにそのまま通過させるかという制御を行います。

ここでは、2段目のADCにおいて複数の補正ビットを使用できるという点に注目してください。本稿では詳細は割愛しますが、これについてはADCの設計プロセスにおいてトレードオフの要因になります。

図14のADCではパイプライン遅延は生じません。入力部のSHAは、次のイベントが発生するのに必要な期間、ホールド・モードに保たれます。SHAの出力は、1段目のSADCに入力されて判定が行われます。その出力が1段目のSDACによって再構成され、その出力がSHAの出力から差し引かれて増幅されます。それを受けた2段目のSADCは、デジタル値への変換を実施します。誤差を補正するためのロジック回路と出力レジスタを通過したデジタル・データは利用可能な状態になります。そのとき、ADCは次のサンプリング・クロックの入力を受け取れる状態になります。

図15に示したのはパイプライン型のアーキテクチャです。これは、サブレンジング型ADCの速度を向上するためのものとして非常に一般的に使用されています。このパイプライン型ADCは、デジタル補正機構を備えるサブレンジング型のアーキテクチャをベースとしています。2つの段は、それぞれ変換サイクルの1/2の間にデータを処理します。各段の残差信号は、サンプリング・クロックの次のフェーズに入る前にパイプラインの次段に引き渡されます。段と段の間のトラック&ホールド (T/H) 回路は、アナログの遅延ラインとして機能します。T/H回路については、1段目の変換が完了したらホールド・モードに移行するようタイミングの設定が行われています。

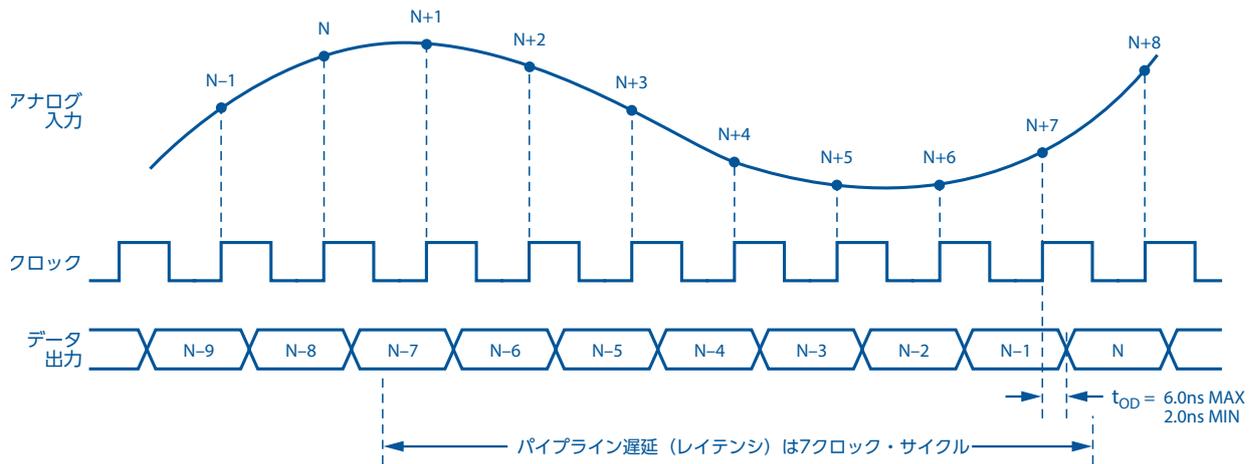


図 16. AD9235のタイミング図。  
同ICは、12ビット、65MSPSのパイプライン型ADCです。

それにより、SADC、SDAC、アンプのセトリング時間を長くとれるようになっています。また、パイプライン型ADCは、他のアーキテクチャのADCよりも、はるかに高いサンプリング・レートで動作することが可能です。

パイプライン型ADCの設計には数多くのトレードオフが存在します。段数、1段あたりのビット数、補正用のビット数、タイミングなどがその要因になります。各段からは、特定のサンプルに対応するデジタル・データが出力されます。それらは、誤差の補正のためのロジック回路に確実かつ同時に到達するようにしなければなりません。そのためには、パイプライン段の各出力に適切な数のシフト・レジスタを追加する必要があります。例えば、1段目ではシフト・レジスタによって7つ分の遅延を持たせる必要があったとします。その場合、次段には6つ分、その次の段には5つ分の遅延が必要です。このことから、最終的な出力データにはデジタル・パイプライン遅延が伴うということになります。図16は、代表的なパイプライン型ADCである「AD9235」<sup>12</sup>のタイミング図です。

AD9235は、分解能が12ビット、サンプル・レートが65MSPSの製品です。同ADCでは、7クロック・サイクルのパイプライン遅延（レイテンシとも呼ばれます）が発生します。このレイテンシは、アプリケーションによって問題になる場合と問題にはならない場合があります。例えば、ADCがフィードバック制御のループ内に配置されるケースでは問題になる可能性があります。その場合、図1においてSAR ADCとパイプライン型ADCが競合している領域では、SRA ADCの方が適切な選択肢になります。また、パイプライン型ADCは、レイテンシを伴うことから多重化アプリケーションで使用するのが困難です。但し、セトリング時間よりも周波数応答の方が重要なアプリケーションでは、多くの場合、レイテンシはそれほど問題にはなりません。

CMOSベースのほとんどのパイプライン型ADCには、共通する微妙な問題が存在します。それは、サンプリング・レートが低い場合の性能です。一般に、ADC内部のタイミングは外部から入力されるサンプリング・クロックによって制御されます。そのため、サンプリング・レートが非常に低い場合、トラック&ホールド回路におけるホールド時間が長くなります。それによってドループが大きくなりすぎ、変換誤差が発生してしまうのです。したがって、ほとんどのパイプライン型ADCには、サンプリング・レートの仕様として最大値と最小値が規定されています。このような問題があることから、パイプライン型のADCはシングルショット・モードやバースト・モードが必要なアプリケーションには対応できません。それらのアプリケーションでは、SAR ADCを選択することになるでしょう。

サブレンジング型ADCとパイプライン型ADCの違いを理解しておくのは非常に重要なことです。上述したとおり、パイプライン型ADCは一般にサブレンジング型（当然、誤差の補正機能を備える）をベースとしています。逆に、サブレンジング型ADCはパイプライン型で実現されているとは限りません。高いサンプリング・レートが必要になる場合、内部のセトリング時間が非常に重要です。そのため、実際にはパイプライン型（つまりはサブレンジング型）のアーキテクチャが主流になっています。

現在、パイプライン型ADCとしては、最大14ビットの分解能、100MHzを超えるサンプリング・レートに対応する製品が提供されています。それらは、高いサンプリング・レートだけでなく、高いS/N比やスプリアスフリー・ダイナミック・レンジ（SFDR）が求められる多くのアプリケーションに最適です。現在、このタイプのADCがよく使われているアプリケーションの例としては、最新のセルラ基地局で使用されるソフトウェア無線（SDR：Software-defined Radio）が挙げられます。

図17に、一般的なソフトウェア無線で使用されるレシーバーとトランスミッタのブロック図を示しました。レシーバーでは、多数のチャンネルの信号を含む帯域幅全体を対象とし、ADCによって直接デジタル化を実行します。つまり、各チャンネルの信号を個別にデジタル化するわけではありません。規格にもよりますが、総帯域幅は20MHzに達することがあります。各チャンネルに対するフィルタリング、チューニング、分離の処理は、受信信号プロセッサ (RSP : Receive-signal Processor) 内で高性能のDSPを使うことによってデジタル的に実行されます。

上記のような帯域幅を対象とし、比較的高いIF周波数でデジタル化を実施すれば、いくつかのダウンコンバータ段が不要になります。このことは、低コストで柔軟性の高いソリューションの実現につながります。その場合、ほとんどの信号処理は、標準的なアナログ・スーパーヘテロダイン無線レシーバーのように複雑なアナログ回路によって行われるわけではありません。そうではなく、デジタル的に実行されます。また、ソフトウェアを適切に変更するだけで、同じハードウェアによって、GSM (Global System for Mobile Communications)、CDMA (Code Division Multiple Access)、EDGE (Enhanced Data Rates for GSM Evolution) といった様々な無線規格に対応する信号を処理することができます。なお、トランスミッタ側では、DACを介して信号を送信するために、送信信号プロセッサ (TSP : Transmit-signal Processor) とDSPによって各チャンネル用のデータが生成されます。

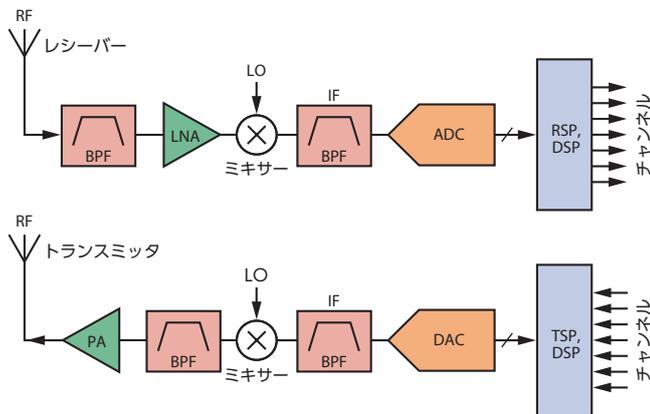


図17. 広帯域に対応するソフトウェア無線用のレシーバーとトランスミッタ。一般的なIFサンプリングを使用する場合の例を示しています。

ADCに対する要件は、レシーバーが準拠する必要がある無線規格によって決まります。ADCが対象とする周波数帯には、対象とする信号に加え、振幅の大きい干渉波やブロッカも含まれています。ADCによる変換時には、ブロッカが原因となって相互変調積が発生しないようにしなければなりません。そうした不要な信号成分により、対象となる小振幅の信号が覆い隠されてしまう可能性があるからです。問題になるのは、予想される最小振幅の信号と、予想される最大のブロッカの比です。それによって、必要なSFDR性能が決まります。ADCとしては、高いSFDR性能に加え、必要なレシーバー感度に適合するS/N比を備えているものを選択しなければなりません。

ADCに求められるもう1つの要件は、対象とするIF周波数におけるSFDRとS/N比の仕様を満たすことです。図18は、IFサンプリングの基本的な概念について説明したものです。この例は、帯域幅が20MHzの信号を60MSPSのレートでデジタル化する場合の様子を表しています。IFサンプリングのプロセスを採用することにより、アナログ方式のダウンコンバートを行うことなく、第3ナイキスト・ゾーンからベースバンドに信号をシフトさせている点に注目してください。対象とする信号の帯域幅は、IF周波数が75MHzの場合、第3ナイキスト・ゾーンの中央に存在します。この例で選択した数値はやや恣意的なものですが、アンダーサンプリングの概念を理解しやすくなるはずで、これらのアプリケーションでは、ADCの性能、特にS/N比とSFDRについて厳しい要件が課せられます。分解能が14ビット、サンプル・レートが80MSPSの「AD9444」<sup>13</sup>のような最新のパイプライン型ADCであれば、そうした厳しい要件に対応することが可能です。AD9444を採用すれば、入力となるIF周波数が70MHzの場合に97dBcのSFDR、73dBのS/N比を達成できます。なお、AD9444の入力帯域幅は650MHzです。SFDRやS/N比が最適化されている14ビットのADCとしては、「AD9445」<sup>14</sup>と「AD9446」<sup>15</sup>が提供されています。

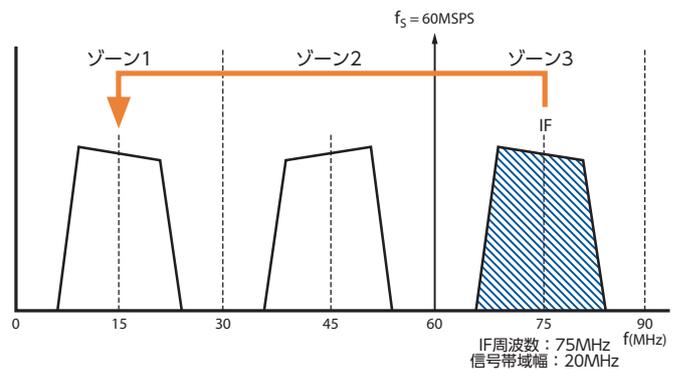


図18. IFサンプリングの概念。IF周波数が75MHz、帯域幅が20MHzの信号を60MSPSのサンプリング・レートでA/D変換した場合の例を示しています。

## まとめ

本稿では、IC化された最新のADCで広く使用されているSAR型、 $\Sigma\Delta$ 型、パイプライン型の各アーキテクチャについて説明しました。

SAR ADCは、多重化が求められるほぼすべてのデータ・アキュイジション・システムや多くの計測アプリケーションに最適です。SAR ADCは比較的使いやすく、パイプライン遅延が生じません。18ビットまでの分解能と最大3MSPSのサンプリング・レートが求められる用途に適しています。

多くの場合、産業用の計測アプリケーションには $\Sigma\Delta$  ADCが最適です。 $\Sigma\Delta$  ADCは12ビットから24ビットの分解能に対応しています。センサー用のシグナル・コンディショニング、電力量計、モータ制御など、多種多様なアプリケーションに適用できます。 $\Sigma\Delta$  ADCの多くは高い分解能を備えるだけでなく、PGAも内蔵しています。そのため、計装アンプやその他のコンディショニング回路を使用することなく、センサーに直接接続することができます。

また、 $\Sigma\Delta$  ADC/DACは高度なデジタル機能も含めて比較的容易にIC化することができます。そのため、音声帯域/オーディオの市場でも主流のアーキテクチャとして利用されています。 $\Sigma\Delta$  ADC/DACではオーバーサンプリングを活用します。そのため、ADC用のアンチエイリアシング・フィルタやDAC用の再構成フィルタに対する要件が大幅に緩和されます。

高速アプリケーションでは、パイプライン型のADCが主流になっています。ここで言う高速アプリケーションでは、5MSPS~100MSPS以上のサンプリング・レートに対応する必要があります。最大14ビットの分解能だけでなく、SFDRとS/N比についても高い性能が求められます。高速なパイプライン型ADCは、デジタル・オシロスコープ、スペクトル・アナライザ、医療用イメージング機器など、多様な計測器で使用されています。それ以外に、ビデオ、レーダー、通信 (IFサンプリング、ソフトウェア無線、基地局、セトトップ・ボックスなど) といったアプリケーションにも適しています。更には、デジタル・カメラ、ディスプレイ機器、DVD機器、EDTV、HDTVといった民生市場向けの機器でも広く使われています。

ADCのメーカーは、セクション・ガイドやパラメトリックな製品セクション・テーブルを提供しています。3つの基本的なアーキテクチャに関する基礎知識とそれらのツールを組み合わせれば、個々のアプリケーションに適した製品を選択するのが容易になります。また、メーカーが提供する評価用ボード<sup>16</sup>を使用すると、製品を選択するためのプロセスが大幅に簡素化されます。アナログ・デバイスから提供されるシミュレーション・モデル<sup>17</sup>は、ADC回路設計の大きな手助けとなります。必要なソフトウェアやADCのモデル (ならびにその他のアナログ/デジタル設計支援ツール) は、<https://www.analog.com/jp>から無料でダウンロードすることができます<sup>18</sup>。これらのツールは、製品を選択するプロセスにおいて大いに役に立つでしょう。

製品の選択は重要ですが、それだけでは十分ではありません。ADCの入力部、出力部、サンプリング・クロックの生成回路なども適切に設計する必要があります。これらの課題については、製品のデータシートやアプリケーション・ノートを確認してください。特に、ミックスド・シグナル回路の設計を適切に行う上では、プリント回路基板のレイアウト、グラウンディング、デカップリングも極めて重要な要素になります。そうした設計上の課題については、稿末に示した参考文献やアナログ・デバイセズのウェブサイト (<https://www.analog.com/jp>) に掲載されている情報を参考にしてください。

## 参考文献

1. Walt Kester (編) 「[Data Conversion Handbook \(データ変換ハンドブック\)](#)」 Newnes (出版元)、Elsevier (出版レーベル)、2005年、ISBN: 0-7506-7841-0 (本書の第3章「Data Converter Architectures (データ・コンバータのアーキテクチャ)」は特に参考になるはずですが、ADCとDACの様々なアーキテクチャについて詳細に解説していることに加え、歴史的な側面についても記してあります。)
2. Walt Jung (編) 「[Op Amp Applications Handbook \(オペアンプ・アプリケーション・ハンドブック\)](#)」 Newnes (出版元)、Elsevier (出版レーベル)、2005年、ISBN: 0-7506-7844-5
3. 製品やアプリケーションの詳細については、アナログ・デバイセズのウェブサイト (<https://www.analog.com/jp>) をご覧ください。

## 参考資料 (2005年5月時点)

- 1 <https://www.analog.com/jp/product-category/analog-to-digital-converters.html>
- 2 AD7621の製品概要とデータシート
- 3 AD7641の製品概要とデータシート
- 4 AD574Aの製品概要とデータシート
- 5 AD7908の製品概要とデータシート
- 6 AD7918の製品概要とデータシート
- 7 AD7928の製品概要とデータシート
- 8 AD5555の製品概要とデータシート
- 9 AD8230の製品概要とデータシート
- 10 AD7799の製品概要とデータシート
- 11 <https://www.analog.com/jp/product-category/audio-codecs.html>
- 12 AD9235の製品概要とデータシート
- 13 AD9444の製品概要とデータシート
- 14 AD9445の製品概要とデータシート
- 15 AD9446の製品概要とデータシート
- 16 <https://www.analog.com/jp/design-center/evaluation-hardware-and-software.html>
- 17 <https://www.analog.com/jp/design-center/simulation-models.html>
- 18 <https://www.analog.com/jp>