

16ビット、1 MSPSの 差動入力A/Dコンバータを 駆動する高速オペアンプ

著者: Alain Guery [alain.guery@analog.com]、
Charles Kitchin [charles.kitchin@analog.com]

はじめに

最新の高分解能A/Dコンバータ(ADC)は、駆動源に数百Ω以上のDC負荷(および高周波数の動的負荷)が発生することがあるため、一般に入力バッファ・アンプ(ADCドライバ)が必要です。駆動源がトランスデューサや標準的な低周波数プリアンプの場合、大きな誤差が発生することがあります。

ADCドライバは高性能で高速セトリングのオペアンプで入力インピーダンスは少なくとも数MΩ以上で、低インピーダンスの出力回路によって最小誤差で動的負荷を駆動することができます。バッファリングだけでなく、入力スケーリング(ゲイン)とローパス・フィルタリングによってシステム・ノイズも低減できます。設計によっては、シングルエンド・ソースから差動入力ADCへの変換も可能です。

システム精度を維持するために、ADCドライバのセトリング時間、ノイズ、全高調波歪み(THD)はADCそのものの性能を十分に上回るものでなければなりません。これは、16ビットまたは18ビットの高速逐次比較(SAR型)A/Dコンバータを使用するシステム的设计者にとって大きな課題となります。

セトリング時間条件

ADCの最大のサンプリング・レートを使用するには、フルスケール・ステップ入力に対する1 LSB以内へのオペアンプとADCの合計セトリング時間が、ADCの仕様のサンプリング・レートを下回る必要があります。特に、アンプとADCが複数の多重化ソースからさまざまな入力値を取得しているアプリケーションではこれが重要になります。セトリング時間は、16ビット、1 MSPSのAD7677(真の差動入力)やAD7671(真のバイポーラ入力)などの高速、高分解能ADCを使用する場合はわずか1 μs、18ビット、800 kSPSのAD7674では約1.25 μsとなります。

ADCドライバとして使用するアンプを調べると、セトリング時間の測定には細心の注意が必要なのに、残念ながら、大部分のオペアンプ・データシートに示されているのは、フルスケールの0.1%や0.01%までといったセトリング時間だけで、16ビット精度に必要な0.0015%や18ビット精度に必要な0.0004%ではありません。したがって、16ビットの1 LSB以内に実際にセトリングするには、一般にデータシートの仕様よりもかなり長い時間が必要です。公称セトリング時間が0.01%まで23 nsのAD8021オペアンプの場合、ユーザが設定するカスタム補償(付録を参照)によって、任意のクロズドループ・ゲインに対して最大帯域幅、最小ノイズ、最小THD(全高調波歪み)を実現することができます。この組み合わせを使用すれば、ユニティより大幅に高いゲインで動作させても、セトリング時間の厳しい仕様を満たすことができます。

ノイズ条件

16ビットADCのS/N比(SNR)と遷移ノイズ性能を低下させないためには、ADCドライバ・アンプに起因するノイズをできるだけ低くする必要があります。AD7671を使用する場合、まずADC内の抵抗分圧器がオペアンプ・ドライバのノイズを低減します。次に、ADCのアナログ入力回路がノイズを除去します。

アンプによる正味のSNR低下(dB単位)は、次のようになります。

$$SNR_{LOSS} = 20 \log \left(\frac{N_{ADC}}{\sqrt{N_{ADC}^2 + \frac{\pi}{2} f_{-3dB} \left(\frac{2.5 N e_n}{FSR} \right)^2}} \right)$$

N_{ADC} は、ADCのRMSノイズです(μV単位)。

f_{-3dB} は、ADCの-3 dB入力帯域幅(またはADC入力フィルタのカットオフ周波数)です(MHz単位)。

N は、アンプのノイズ・ゲインです(ユニティ・ゲイン・バッファ構成では1)。

e_n は、オペアンプの等価な入力ノイズ電圧スペクトル密度です(nV/√Hz単位)。

FSR は、ADCのフルスケール入力スパンです(例:±2.5 Vレンジでは5V)。

たとえば、16ビットのAD7671をAD8021オペアンプによって駆動するとしましょう。ADCのRMSノイズは28 μV、帯域幅は9.6 MHz、入力レンジは0~5Vです。ユニティ・ゲイン・バッファ構成のオペアンプの等価入力ノイズは2 nV/√Hz、ノイズ・ゲインは+1であるため、ADCのS/N比は0.08 dBしか低下しません。

歪み条件

入力ソースは、ADCの入力インピーダンスから絶縁するために、通常、低出力インピーダンスのバッファ・アンプを必要とします。バッファの出力インピーダンスは、ADCのAC性能、特に全高調波歪み(THD)のレベルに影響します。入力振幅が2.5 VのADCの入力インピーダンスは一般に明白な非直線性の入力容量を持つため、高いソース・インピーダンスではTHDが増加します。

THDは、ソース・インピーダンスに比例して劣化します。ADCの入力と直列の最大許容ソース・インピーダンスは、許容できる全高調波歪み(THD)の量に依存します。ADCドライバの固有THDは、ADCのTHDよりもかなり低い値にする(つまり、16ビット精度を上回る)必要があります。AD7671/AD8021の合計THDは、20 kHzと250 kHzの両方で-100 dB(typ)です。図1は、この組み合わせでADCを0Vから2.5Vまで駆動した場合の入力レベルに対するTHDと主な歪み成分の代表的なプロットです。

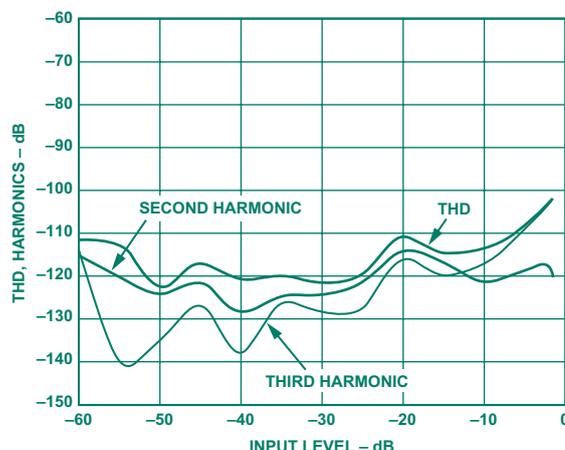
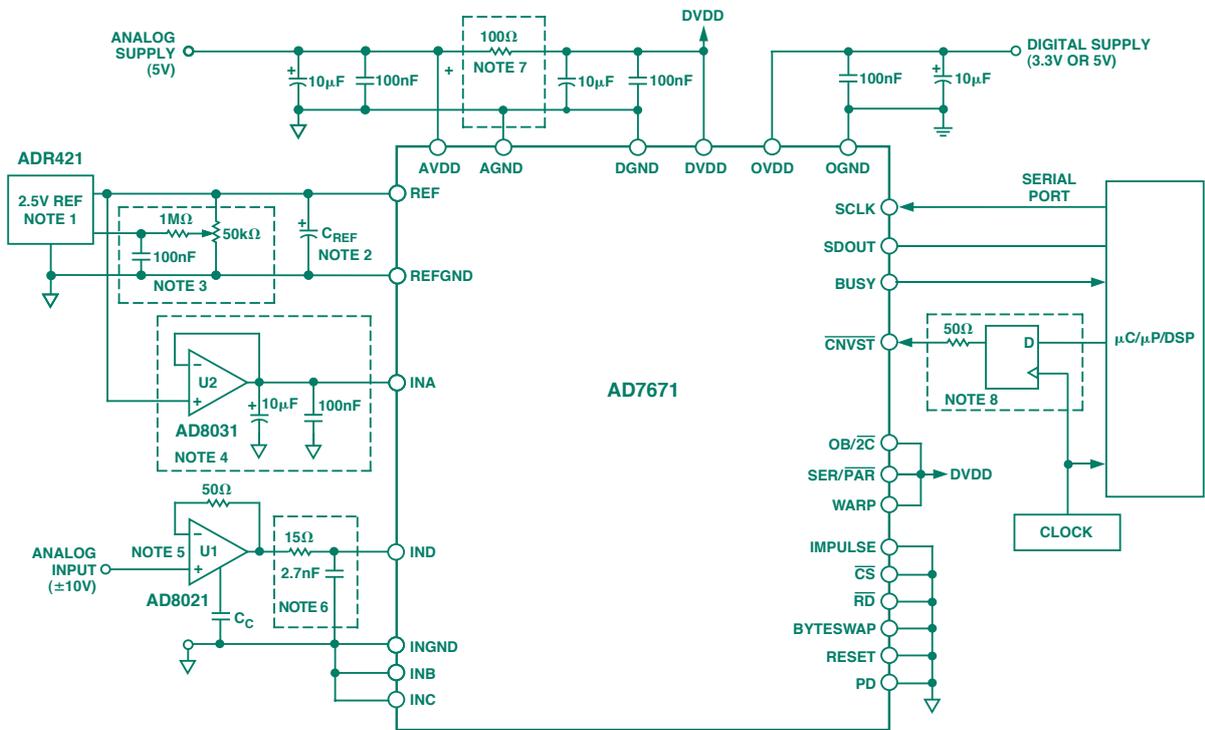


図1. AD7671のADC/AD8021のドライバの組み合わせの入力レベル対THD、2次および3次高調波



- 注
1. 「電圧リファレンス入力」を参照してください。
 2. 推奨電圧リファレンスを使用すると、 C_{REF} は47 μF です。「電圧リファレンス入力」を参照してください。
 3. ハードウェア・ゲイン・キャリブレーション用のオプション回路。
 4. バイポーラ・レンジ専用。「スケラ・リファレンス入力」を参照してください。
 5. AD8021を推奨。「ドライバ・アンプの選択」を参照してください。
 6. 0~2.5Vレンジ専用。「アナログ入力」を参照してください。
 7. オプション。「電源」を参照してください。
 8. オプションの低ジッタCNVST。「変換制御」を参照してください。

図2. シングルエンド入力の16ビット・データ・アキュイジション・システム。注の参照箇所は、AD7671のデータシートの項目です。

シングルエンド16ビットADCドライバ回路

図2に示すフル機能の16ビット・データ・アキュイジション・システムは、AD7671 ADCとAD8021オペアンプで構成され、AD8021をドライバ・アンプ (U1) として使用しています。入力信号はU1がバッファします。U1は低ノイズのユニティ・ゲイン・フォロアとして動作し、入力インピーダンスが高いため、オペアンプの前にマルチプレクサやパッシブ・フィルタを使用することができます。

AD8021のリングングを防止するため、50 Ω の帰還抵抗を使用します。15 Ω の抵抗と2.7 nFのコンデンサで構成されたオプションのローパス・フィルタによって、オペアンプのノイズ帯域幅を低くするとともに、アンチエイリアス・フィルタの役割を果たします。

リファレンス電圧源は、低温度係数のADR421です。必要であれば、図2の注3に示すオプション回路を使ってリファレンス電圧を調整することもできます。このADCは電荷再配分式を採用しているため、リファレンス入力を正しくバイパスして電流スパイクを最小限に抑えてください。AD7671は、アナログ+5 V電源 (AVDD)、デジタル+5 Vコア電源 (DVDD)、デジタル入出力インターフェース電源 (OVDD) の3種類の電源ピンを使用します。OVDD電源によって、2.7 ~ 5.25 V間の任意のロジック電圧に直接接続させることができます。電源の数を減らすには、図に示す簡単なRCローパス・フィルタを使用して、デジタル・コア (DVDD) をアナログ電源から動作させます。

図3と4にシステムの動的性能を示します。図3のFFTプロットは、45 kHzの入力波形に対するADCの出力スペクトルです。図4は、ADCのTHDと2次および3次の高調波歪み積およびスプリアスフリー・ダイナミック・レンジ (SFDR) の周波数特性を示します。SFDRは、入力信号のrms振幅とそのピーク・スプリアス出力レベルとの差です (デシベル単位)。

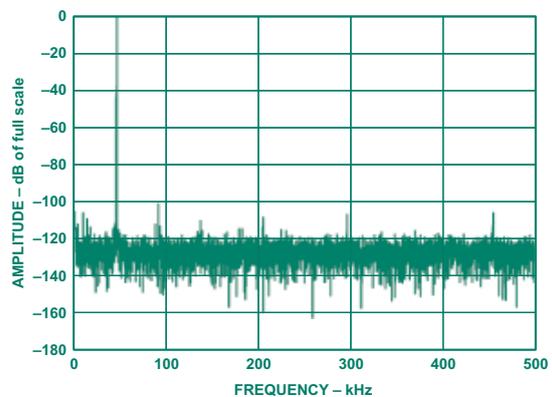


図3. AD7671/AD8021の組み合わせのFFTプロット。

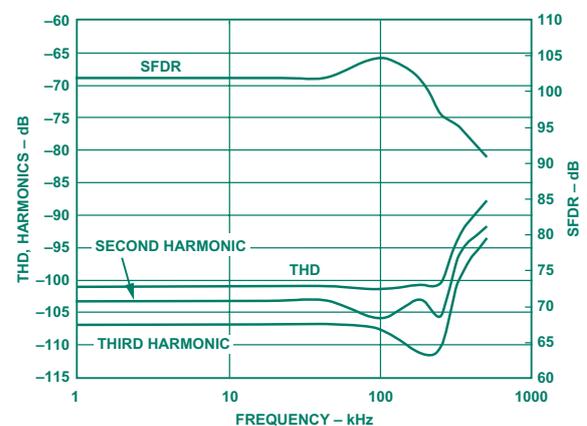


図4. THD、2次および3次の高調波およびSFDRの周波数特性。SFDRの目盛りは右側にあります。

差動16ビットADCドライバ回路

AD7677は、差動入力電圧を受け入れて処理する16ビットADCです。図2に示すように、そのリファレンス、インターフェース、電源の接続は、すべてシングルエンドADCの場合と基本的に同じです。真の差動入力信号を使用すれば、システム・ノイズをつねに最小限に抑えられるため、最高の分解能が得られます。しかし、入力信号が差動の場合、同相ノイズ除去を行うために、AD8021などの特に低ノイズのオペアンプ入力バッファを使用することが不可欠です。

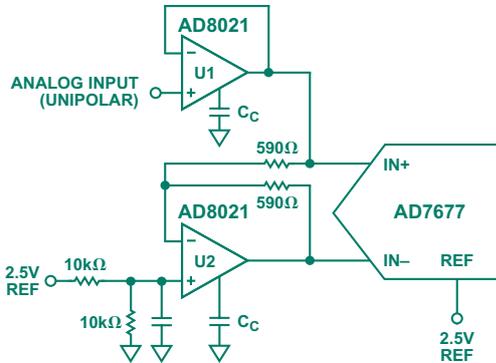


図5. シングルエンド/差動入力ADCドライバ回路

図5の回路によって、この差動入力ADCでシングルエンド・トランスデューサを使用できます。ここでは、2個のAD8021オペアンプを使用しています。U1は、ユニティ・ゲイン・バッファとして機能します。U1の出力は、AD7677 ADCのIN+入力を駆動します。(AD7677とピン互換の18ビットAD7674 ADCの駆動にも類似の回路を使用できます)。U1の出力は、2番目のオペアンプ (U2) の反転入力も駆動し、U2は、信号を反転し、ADCのIN-入力ピンを駆動します。U2は、ノイズ・ゲイン2で動作します。これだけ低いゲイン値であれば、THD性能を低下させずにノイズを最小限に抑えることができます。U2の非反転入力には、2:1の分圧器によってオフセット・リファレンスを印加します。0~2.5Vのソースで、この回路は±2.5Vの差動入力振幅 (U1: 0~+2.5V, U2: +2.5V~0) を提供します。ミッドスケール同相オフセット電圧は1.25Vです。図6に、AD7677の代表的な同相ノイズ除去 (CMR = 20 logCMRR) を周波数の関数として示します。

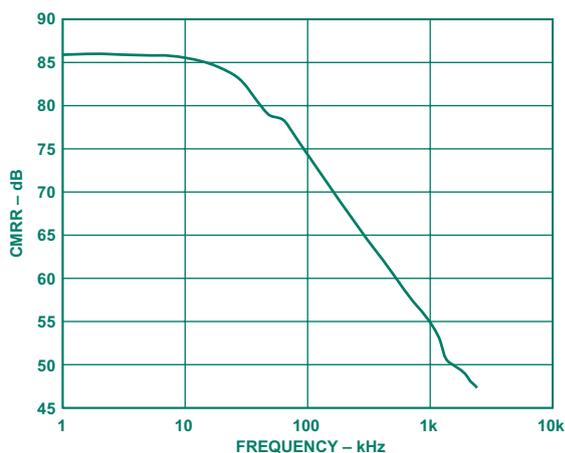


図6. 代表的なCMRの周波数特性—AD7677/AD8021の組み合わせ

アクイジション・フェーズでは、AD7677 ADCはAC入力信号用の単極RCフィルタのようになり、公称168Ωの内部アナログ入力抵抗 (R_+ 、 R_-) と内部容量 (C_S) で構成されます。抵抗 (R_+ と R_-) は、いくらかの直列抵抗とスイッチのオン抵抗で構成されています。ADCのサンプリング・コンデンサ (C_S) は60 pF (typ) です。このフィルタの-3 dBカットオフ周波数は

15.8 MHz (typ) で、不要なエイリアシング効果を低減し、外部入力回路に起因する高周波ノイズを低減します。

AD7677の入力インピーダンスは非常に高いため、低インピーダンス源によって直接駆動してもゲイン誤差は発生しません。これによって、たとえば、アンプの出力とADCの入力との間に単極受動RCフィルタを外付けすることによって、さらにフィルタ処理を行うことができます。こうすれば、ADCのアナログ入力回路に入るノイズをさらに低減することができます。

レイアウト、デカップリング、グラウンディング： 高分解能データ・アクイジションのためのガイドライン

AD7671、AD7677、AD7674などの大部分の高性能ADCは、電源のノイズに対してきわめて優れた耐久性があります。それでも、ADCを実装するプリント回路基板 (PCボード) ではアナログ部とデジタル部を分離し、それぞれをボードの異なる領域に配置する必要があります。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンも分離し、共通の接続ポイントは一箇所のみ (できればPCボードの真下) とし、ADCのできるだけ近くに配置してください。デジタル信号とアナログ信号が交差する配線は避けてください。

アナログ/デジタル・グラウンド接続が複数存在するシステムでADCを使用する場合も、一点だけの「スター・グラウンド」接続とし、これもADCのできるだけ近くに配置してください。また、ADCの下にデジタル・ラインを配線しないようにしてください。これは、ICにノイズが結合するのを避けるためです。ADCの下にはアナログ・グラウンド・プレーンを配置してください。

高速クロック信号や、高速エッジを持つその他の波形は、シールド・ラインを使用して他の回路に接続してください。PCボード上でパターンが近接する場合は、互いに直角に配線してください。低インダクタンスの経路とするために、電源ラインにはできるだけ太いパターンを使用してください。電源デカップリング・コンデンサ (一般に100 nFのセラミック型) はICをバイパスするようにし、電源ピンとグラウンド・ピンができるだけ近くなるように配線してください。さらに、低周波リップルを低減するために、10 μFのバイパス・コンデンサを使用してください。リファレンス電圧デカップリング・コンデンサの位置も重要です。デカップリング・コンデンサはADCの近くに配置し、短く太いパターンで接続して、寄生インダクタンスを最小限に抑えるようにします。

ADCのグラウンド・ピンにも、細心の注意が必要です。AD7671やAD7677などのADCには、それぞれ5本のグラウンド・ピン (INGND、REFGND、AGND、DGND、OGND) があります。それぞれ、個々の入力またはリファレンス・ラインの検出に使用します。INGND (アナログ入力グラウンド) は、アナログ入力信号の検出に使用します。REFGND (リファレンス入力アナログ・グラウンド) は、リファレンス電圧を検出します。パルス電流が流れるため、リファレンスまでのリターンを低インピーダンスにしてください。AGNDはグラウンドであり、大部分の内部ADCアナログ信号がこれを基準とします。このグラウンドは、最小の抵抗でアナログ・グラウンド・プレーンに接続してください。DGNDは、構成に応じてアナログ・グラウンド・プレーンかデジタル・グラウンド・プレーンに接続します。OGND (入出力インターフェースのデジタル電源グラウンド) はデジタル・システム・グラウンドに接続します。

付録

カスタム補償が可能なオペアンプについて

現在製造されているほとんどすべてのオペアンプは、内部周波数補償を使用しています。これは一般に、負の電圧帰還を提供する内部補償回路コンデンサで構成されます。実際には単極ローパス・フィルタの一部であり、周波数の増加とともに、オペアンプのオープン・ループ・ゲインをディケード当たり20 dB (10×) のレートでロールオフします。大部分のオペアンプは、全帰還を含む広範囲のクロズドループ・ゲインで動作するように設計さ

れているため、アンプをつねに安定した状態にするために内部コンデンサを十分に大きくする必要があります。このようなユニティ・ゲイン動作時の安定性（またはオペアンプの最小規定ゲイン）を配慮した慎重な設計と、ゲインと帯域幅の反比例の関係により、アンプを高いゲインで動作させた場合、帯域幅は容量によって過剰な制限を受けます。

たとえば、内部補償がある通常のオペアンプの-3 dB帯域幅がユニティ・ゲイン動作で200 MHzの場合、ゲイン+10での帯域幅は20 MHz程度にしかありません。しかし、この同じオペアンプでもっと小さい補償コンデンサを使用すれば、このような高いゲインでもフル帯域幅が可能です。ただ、その場合は低いゲインの動作が不安定になり、発振することになります。したがって、低ゲインで安定性を維持しようとするれば、高ゲインで帯域幅とスルーレートの両方が犠牲になってしまいます。いわゆる「電流帰還型」のオペアンプは、広範囲のゲインで帯域幅を維持できます。しかし、電圧帰還型アンプに比べて、一般的にノイズ・レベルがかなり高くなります。また、入力インピーダンスも不平衡です（+入力は実質的にトランジスタ・ベース回路であり、-入力はエミッタです）。

AD8021は、ゲインと帯域幅のこのような性能上のジレンマを解決できる「カスタム補償」のオペアンプです。約1.5 pFの小さな内部補償容量を使用して、10以上のゲインで安定性を実現します。補償ピンも備えているため、ユーザの所望のゲインや負荷条件に合わせて最適な外部容量を追加することができます。

このオペアンプは、カスタム補償機能によって、広帯域幅、高スルーレート、低ノイズという性能上の最高の組み合わせを可能にします。容量性負荷の駆動能力と帯域幅とのトレードオフを特定のアプリケーションに合わせて最適化することもできます。

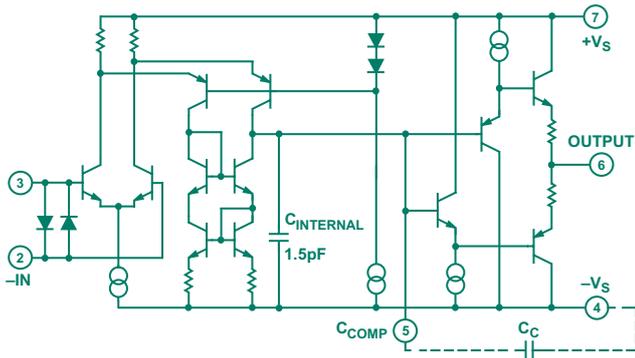


図7. AD8021の簡略回路図

図7は、AD8021の簡略回路図です。入力段は、合計1.6 mAのコレクタ電流で動作するNPN差動ペアです。この電流レベルで、低い入力ノイズ (2.1 nV/√Hz @50 kHz) で入力段相互の高いコンダクタンスが得られます。入力段が折返しカスコードと電流ミラーを駆動し、通常の差動/シングルエンド変換を実現します。外部補償コンデンサは、5番ピンの高インピーダンス・ノードと負電源ラインの間に接続されています。出力段には5,000の電流ゲインがあり、アンプが駆動する負荷が重いときでも、5番ピンの高インピーダンスを維持します。2個の内部ダイオード・クランプが入力 (2番ピンと3番ピン) の大きな過渡電圧を防ぎます。この対策がないと、エミッタ・ベースのブレイクダウンが発生し、入力オフセット電圧と入力バイアス電流が増大することがあります。

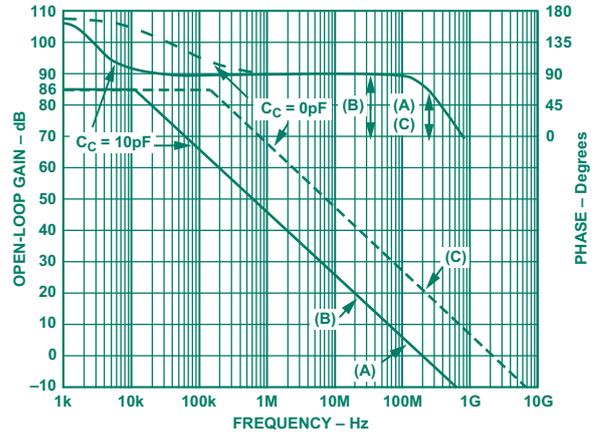


図8. AD8021: オープン・ループ・ゲインと位相の周波数特性

表Iに、一般的なクロードループ・ゲイン値について抵抗と補償容量の推奨値および対応する動的性能をまとめて示します。なお、補償コンデンサの値は、回路のノイズ・ゲイン、つまり+入力に入る信号に対する正味ゲインに依存します。

ほかの高速オペアンプと同様、基板レイアウトはきわめて重要です。手作業でプロトタイプボードを配線したりスルーホール部品を使用すると、リード線のインダクタンスが過剰になり、AD8021が発振する可能性があります。この理由から、手頃な価格の評価用ボード (製品番号: AD8021AR-EVAL) と表面実装部品をご利用になることを特にお勧めします。表Iに示すNP0セラミック・チップ・コンデンサ (0805サイズ) は、Digi-Key社が提供しています。製品番号はPCC020CNCT-ND (2 pF)、PCC070CNCT-ND (7 pF)、PCC100CNCT-ND (10 pF) です。

表I. 推奨部品値

テスト回路2を参照。CF = CL = 0, RL = 1 kΩ, RIN = 49.9 Ω

Noise Gain	RS (Ω)	RF (Ω)	RG (Ω)	C _{COMP} (pF)	Slew Rate (V/s)	-3 dB SS BW (MHz)	Output Noise (AD8021 only) (nV/√Hz)	Output Noise (AD8021+R's) (nV/√Hz)
1	75	75	NA	10	120	490	2.1	2.8
2	49.9	499	499	7	150	205	4.3	8.2
5	49.9	1 k	249	2	300	185	10.7	15.5
10	49.9	1 k	110	0	420	150	21.2	27.9
20	49.9	1 k	52.3	0	200	42	42.2	52.7
100	49.9	1 k	10	0	34	6	211.1	264.1