

高周波レシーバー／ トランスミッタ向けの PLL【Part 1】

著者：Mike Curtin、Paul O'Brien

この連載では3回にわたり、有線／無線の通信システムにおけるフェーズ・ロック・ループ（PLL）の使い方について包括的に説明します。

今回（Part 1）は、PLLの基礎にあたる部分に焦点を絞って解説を行います。まずは、PLLの基本的なアーキテクチャと動作原理について説明します。続いて、通信システムにおけるPLLの用途について具体的な例を挙げて解説を加えます。最後に、アナログ・デバイセズの周波数シンセサイザ「[ADF4111](#)」とSirenza Microdevices製のVCO（Voltage Controlled Oscillator）「VCO190-902T」を組み合わせて構成したPLL回路を紹介します。

なお、Part 2では、PLLに関する重要な仕様である位相ノイズ、リファレンス・スプリアス、出力リーク電流について詳しく説明します。それらは何が原因で発生するのか、システムの性能にはどのような影響が及ぶのか、どのようにすればそれらを最小化できるのかといったことを明らかにします。

Part 3では、PLLシンセサイザを構成する回路ブロックとアナログ・デバイセズのシンセサイザのアーキテクチャについて詳細に解説します。また、現在市販されているシンセサイザやVCOの概要を説明した上で、アナログ・デバイセズが提供している製品群を紹介します。

PLLの基本

PLLは、VCOと位相比較器を組み合わせた帰還システムです。リファレンス信号に対してVCOが一定の位相角を保つように動作することがPLLの最大の特徴です。PLLの最も基本的な使い方は、周波数が低く固定の値をとるリファレンス信号を基にして、周波数が安定した出力信号を生成するというものです。世界初のPLLは、1930年代の初期にフランスの技術者であるde Bellescize氏によって実現されました。ただ、実際に市場で受け入れられるようになったのは、1960年代の半ばになってからです。つまり、PLLの構成要素をIC化できるようになり、比較的低コストのコンポーネントとして利用できるようになってから広く普及しました。

一般に、PLLはフォワード・ゲインの項と帰還の項を備える負帰還システムだと考えることができます。図1に、電圧をベースとする負帰還システムのモデルを示しました。

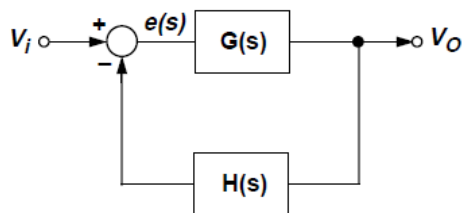


図1. 標準的な
負帰還制御システムのモデル

PLLにおいて、位相比較器から出力される誤差の信号は、入力信号と帰還信号の位相差に依存したものになります。位相検出器の平均出力は、入力信号と帰還信号の周波数が同じになると一定になります。PLLには、以下に示す負帰還システムの一般的な式を適用できます。

$$\text{Forward Gain} = G(s), [s = j\omega = j2\pi f]$$

$$\text{Loop Gain} = G(s) \times H(s)$$

$$\text{Closed-Loop Gain} = \frac{G(s)}{1 + G(s)H(s)}$$

ループ内では積分の処理が行われるので、低い周波数では定常ゲインG(s)は高くなります。また、以下の関係が成り立ちます。

$$V_O/V_I, \text{ Closed-Loop Gain} = \frac{1}{H}$$

ループ・ゲインに影響を与えるPLLのコンポーネントとしては、以下のようなものがあります。

- 位相検出器（PD：Phase Detector）とチャージ・ポンプ（CP：Charge Pump）
- 伝達関数がZ(s)のループ・フィルタ
- 感度がK_v/sのVCO
- 帰還分周器（1/N）

PLLは、その構成要素に応じていくつかに分類されます。まず、4象限乗算器のような線形素子が位相検出器として使用され、ループ・フィルタとVCOもアナログ素子である場合、そのPLLはアナログPLLまたは線形PLL（LPLL：Linear PLL）と呼ばれます。また、デジタル位相検出器（EXORゲートまたはJ-Kフリップ・フロップ）が使用されること以外、上記とすべて同じ構成であるものは、デジタルPLL（DPLL：Digital PLL）と呼ばれます。デジタル・ブロックだけで構成され、受動コンポーネントや線形素子を使用しない場合には、オールデジタルPLL（ADPLL：All-digital PLL）に分類されます。更に、デジタル化された情報と、十分に速い処理速度を利用できる場合には、ソフトウェア・ベースでPLLを構築することも可能です。PLLの機能をソフトウェアとして記述し、DSPで実行するといった具合です。この種のPLLは、ソフトウェアPLL（SPLL：Software PLL）と呼ばれます。

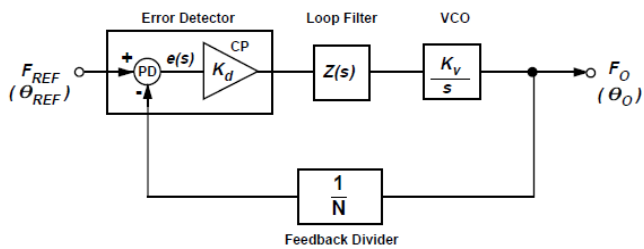


図 2. PLLの基本的なモデル

図2のシステムでは、PLLを用いて入力よりも周波数が高い信号を生成します。ここで、VCOは角周波数 ω_o で発振します。VCOの出力信号は、 $1/N$ の周波数分周器を介して誤差検出器に帰還されます。分周済みの信号を、誤差検出器の一方の入力に与えるということです。そして、もう一方の入力には周波数が固定のリファレンス信号を与えます。このように構成することで、誤差検出器は双方の入力信号の比較を行います。2つの信号入力の周波数が等しい場合、誤差は一定になります。このときのループは、ロックされている状態にあると表現されます。誤差信号については、次式のように展開することができます。

$$e(s) = \Phi_{REF} - \frac{\Phi_O}{N}$$

$$\frac{de(s)}{dt} = F_{REF} - \frac{F_O}{N}$$

ここで、以下の条件が成り立つとします。

$$e(s) = \text{constant}, \frac{F_O}{N} = F_{REF}$$

そうすると、以下の式が得られます。

$$F_O = N F_{REF}$$

市販のPLLの場合、位相検出器とチャージ・ポンプによって誤差検出器が構成されます。 $F_O \neq N F_{REF}$ のとき、誤差検出器はソース／シンクの電流パルスをループ・フィルタ（ローパス・フィルタ）に出力します。それにより電流パルスが平滑化され、VCOを駆動する電圧が得られます。VCOの周波数は、必要に応じて $K_V DV$ だけ増加または減少します。ここで K_V はVCOの感度であり、単位はMHz/Vです。また、DVはVCOの入力電圧の変化です。VCOの周波数の増減は、 $e(s)$ がゼロになり、ループがロックされるまで続きます。チャージ・ポンプとVCOは積分器として動作し、（位相検出器からの）入力をゼロに収束させるよう出力周波数を増加または減少させます。

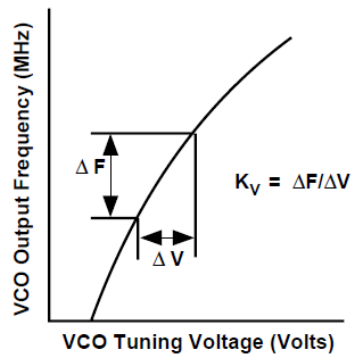


図 3. VCOの伝達関数

PLL全体の伝達関数（CLG：Closed-loop Gain）は、上述した負帰還システムのCLGの式を使って簡単に表すことができます（以下参照）。

$$\frac{F_O}{F_{REF}} = \frac{\text{Forward Gain}}{1 + \text{Loop Gain}}$$

$$\text{Forward Gain, } G = \frac{K_D K_V Z(s)}{s}$$

$$\text{Loop Gain, } GH = \frac{K_D K_V Z(s)}{Ns}$$

GHが1よりかなり大きい場合、PLLシステムのクローズド・ループの伝達関数はNであると言えます（以下参照）。

$$F_{OUT} = N \times F_{REF}$$

ループ・フィルタの実体はローパス・フィルタであり、通常は1つの極と1つのゼロを備えています。ループの過渡応答は、以下の要素によって決まります。

- 極／ゼロにおける振幅
- チャージ・ポンプによる振幅
- VCOの感度
- 帰還係数（N）

ループ・フィルタを設計する際には、上述したすべての事柄を考慮しなければなりません。また、ループ・フィルタが不安定な状態に陥ることがないように設計する必要があります（通常は $\pi/4$ の位相余裕を確保する）。フィルタの応答における3dBのカットオフ周波数は、一般にループ帯域幅 B_w と呼ばれます。ループ帯域幅が広いと、過渡応答はかなり高速になります。しかし、それは常に良いこととは限りません。Part 2で触れますが、高速な過渡応答とリファレンス・スプリアスの減衰の間にはトレードオフが存在するからです。

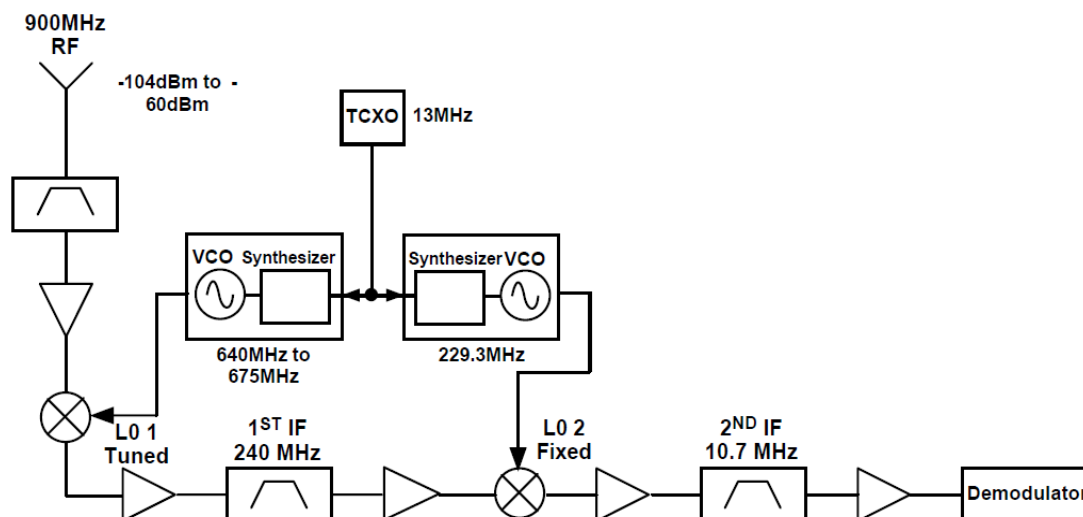


図4. GSMの基地局で使われるレシーバーのシグナル・チェーン

PLLによって周波数を高める

PLLを使えば、周波数の低いリファレンス信号を基に、周波数の高い安定した信号を生成することができます。実際、そのような信号を得るためのチューニングを必要とする多くのシステムは、PLL技術の恩恵を受けています。そうしたアプリケーションの例としては、ワイヤレス基地局、ワイヤレス端末（ハンドセット）、ページャ、CATVシステム、クロック生成／リカバリ・システムなどが挙げられます。GSM（Global System for Mobile Communications）の端末と基地局などは、PLLアプリケーションの典型的な例だと言えるでしょう。例えば、GSMの基地局の場合、受信部は図4のように構成されます。

GSMの場合、RF帯には幅が200kHzのチャンネルが124個存在します（チャンネルあたり8ユーザ）。全体の占有帯域幅は24.8MHzであり、そのアクティビティをスキャンする必要があります。端末については、送信（Tx）側の周波数範囲が880MHz～915MHz、受信（Rx）側の周波数範囲が925MHz～960MHzとなっています。一方、基地局は、Tx側の周波数範囲が925MHz～960MHz、Rx側の周波数範囲が880MHz～915MHzです。ここでは、基地局の送信部と受信部について考えます。表1は、GSM900とDCS1800の基地局で使われる周波数帯についてまとめたものです。一方、表2には、表1の周波数帯におけるキャリア周波数（RFチャンネル）のチャンネル番号を示しています。表中の $F_l(n)$ は、低い帯域（Rx）

のRFチャンネルの中心周波数、 $F_u(n)$ はそれに対応する高い帯域（Tx）の周波数です。

表1. GSM900/DCS1800の基地局で使われる周波数帯

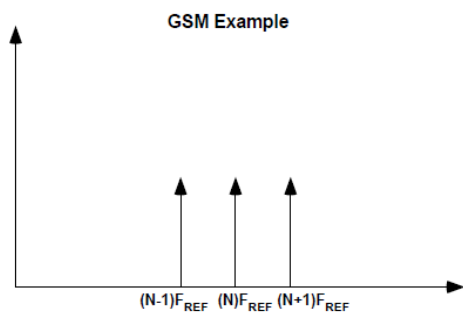
	Tx	Rx
P-GSM900	935MHz～960MHz	890MHz～915MHz
DCS1800	1805MHz～1880MHz	1710MHz～1785MHz
E-GSM900	925MHz～960MHz	880MHz～915MHz

ここで、再び図4をご覧ください。900MHzのRF入力、フィルタリングと増幅を経て1段目のミキサーに入力されます。ミキサーのもう一方の入力は、チューニングされた局部発振器（LO）の信号によって駆動されます。その際、すべてのチャンネルのアクティビティを調べるために、入力周波数範囲に対するスキャンを実施しなければなりません。ここで、実際のLOは、PLL技術を利用して実現されます。1段目の中間周波数（IF）の中心が240MHzである場合、LOはRFの入力帯域をカバーするために、640MHz～675MHzの範囲に対応する必要があります。リファレンス信号の周波数として200kHzを選択したとすると、対応が必要な周波数範囲全体にわたって、200kHzステップでVCOの出力を得ることができます。

表2. GSM900/DCS1800の基地局で使われるチャンネル番号

	Rx		Tx
PGSM900	$F_l(n) = 890 + 0.2 \times (n)$	$1 \leq n \leq 124$	$F_u(n) = F_l(n) + 45$
EGSM900	$F_l(n) = 890 + 0.2 \times (n)$ $F_l(n) = 890 + 0.2 \times (n - 1024)$	$0 \leq n \leq 124$ $975 \leq n \leq 1023$	$F_u(n) = F_l(n) + 45$
DCS1800	$F_l(n) = 1710.2 + 0.2 \times (n - 512)$	$512 \leq n \leq 885$	$F_u(n) = F_l(n) + 95$

例えば、650MHzの出力周波数が必要な場合、Nの値は3250となります。この650MHzのLOを使用し、890MHzのRFチャンネル($F_{RF} - F_{LO} = F_{IF}$ または $F_{RF} = F_{LO} + F_{IF}$) を効率的にチェックします。Nを3251にインクリメントすると、LOの周波数は650.2MHz、チェックされるRFチャンネルは890.2MHzになります (図5)。



$$\Delta F = F_{REF}$$

For GSM: $F_{REF} = 200 \text{ kHz}$

$F_{RF} = 880\text{MHz to } 915\text{MHz}$ for the Receiver

If First IF is at 240MHz then LO must go from 640MHz to 675MHz.

This Means N must vary from 3200 to 3375

図5. GSMの基地局用レシーバーにおけるテスト用の周波数

注目すべきは、受信部では、チューニングが可能なRF用のLOだけでなく、固定値のIF(この例では240kHz)も使用していることです。このIFについては、周波数のチューニングが必要ないのにPLL技術が利用されます。その理由は、PLLを使えば、安定したリファレンス周波数を基に、より周波数の高いIF信号を容易に生成できるからです。シンセサイザのメーカーはこのことを認識しており、デュアルPLL製品を提供しています。そうした製品では、1つのPLLを使ってより高いRF周波数(800MHz以上)を生成し、もう1つのPLLを使ってやや低いIF周波数(500MHz以下)を生成します。

GSMの場合、システムの送信側にも同様の要件が存在します。但し、送信部ではベースバンド信号を最終的なRF信号に直接変換する方法が一般的に用いられています。そのため、基地局の送信側では、925MHz~960MHzの範囲(送信側のRF帯)に対応するVCOがよく使われます。

実際の回路の例

図6に示したのは、GSM端末の送信部で使われるLO回路の構成例です。ここでは、ベースバンド信号から直接RF信号へアップコンバージョンするケースを例にとっています。この回路では、周波数シンセサイザとしてはADF4111(アナログ・デバイセズ製)、VCOとしてはVCO190-902Tを使用しています。

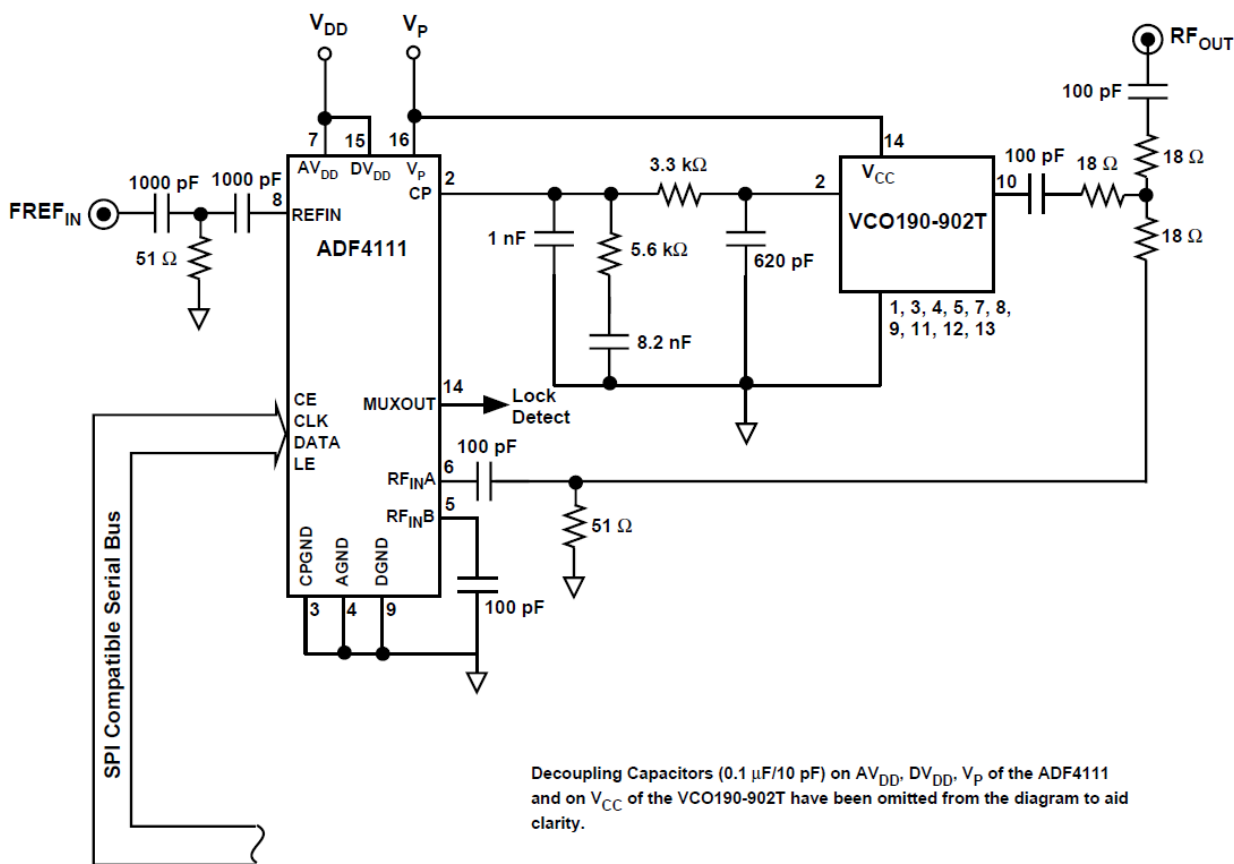


図6. GSM端末の送信部で使われるLO回路

リファレンス入力信号は F_{REF_IN} から入力されます。この入力部は 50Ω で終端されています。リファレンス入力信号の周波数は、GSMのシステムでは通常13MHzです。GSMの規格では、チャンネルの間隔を200kHzに設定しなければなりません。そのため、ADF4111が内蔵する分周器を使用し、リファレンス入力信号を1/65に分周する必要があります。

ADF4111は、最高1.2GHzのRF周波数に対応するインテグラーN型のPLL周波数シンセサイザです。Nについては、96から26万2000までの範囲で離散的な整数ステップをとるようプログラムすることができます。ここで取り上げている端末のトランスミッタでは、880MHz～915MHzの出力範囲が必要です。内部のリファレンス周波数は200kHzなので、必要なNの値の範囲は4400～4575となります。

ADF4111のチャージ・ポンプ出力（2番ピン）はループ・フィルタを駆動します。このフィルタ（図2の $Z(s)$ ）は、実質的には1次のラグ・リード型フィルタです。ループ・フィルタを構成するコンポーネントの値を計算する際には、多くの事柄について考察しなければなりません。この例の場合、ループ・フィルタはシステム全体の位相余裕が 45° になるように設計されています。

このPLLシステムは、ここまでで説明した以外では、以下に示す仕様に対応しています。

K_D : 5mA

K_V : 8.66MHz/V

ループ帯域幅 : 12kHz

F_{REF} : 200kHz

N : 4500

リファレンス・スプリアスの減衰量 : 10dB

これらの仕様は、図6に示したループ・フィルタの構成要素の値を求めるために必要になります。

ループ・フィルタの出力はVCOを駆動します。VCOの出力は、PLLシンセサイザのRF入力に帰還されると共に、PLLのRF出力端子である RF_{OUT} を駆動します。18 Ω の抵抗を3個使用して構成したT型の回路は、VCOの出力、RF出力、ADF4111の RF_{IN} A端子の間に50 Ω のマッチングを実現するために使用しています。

PLLシステムにおいては、システムがいつロックされたのかわかることが重要です。図6の回路では、ADF4111のMUXOUTピンから出力される信号によって、そのタイミングを把握することができます。MUXOUTピンは、シンセサイザの様々な内部信号をモニタできるようにプログラムすることが可能です。例えば、LD（ロック検出）信号のモニタを実施するといった具合です。ロック検出をモニタするようMUXOUTをプログラムしたら、システムにおいては、MUXOUTの信号を使って出力パワー・アンプを動作させるといったことも実現できます。

ADF4111は、シンプルな4線シリアル・インターフェースを使用することにより、システム・コントローラとの間で通信を行います。リファレンス・カウンタ、Nカウンタなどのオンチップの機能は、このインターフェースを介してプログラムすることが可能です。

まとめ

今回は、ブロック図や式を使用しながらPLLの基本について説明しました。また、PLLが利用される代表的なアプリケーションの例を示すと共に、実際のPLL回路について詳細に解説しました。

Part 2では、PLLの非常に重要な仕様について更に深く掘り下げます。また、それらがシステムにどのような影響を及ぼすのか考察します。

参考資料

¹ Mini-Circuits Corporation [VCO Designers Handbook (VCO設計者向けのハンドブック)] 1996年

² L.W. Couch [Digital and Analog Communications Systems (デジタル／アナログ通信システム)] Macmillan Publishing Company, New York, 1990年

³ P. Vizmuller [RF Design Guide (RF回路の設計ガイド)] Artech House, 1995年

⁴ R.L. Best [Phase Locked Loops: Design, Simulation and Applications (フェーズ・ロック・ループ：その設計、シミュレーション、アプリケーション)] 3rd Edition, McGraw Hill, 1997年