

Rarely Asked Questions

アナログ・デバイセズに寄せられた珍問／難問集より

A/Dコンバータ・クロックからジッタをなくすには

Q. ジッタを低減させるには、システム・クロックまたはクロック回路をどのように改善すればよいのでしょうか？

A. クロック信号上のジッタ、またはノイズがA/Dコンバータ(ADC)のタイミングを損なうおそれがあるのは、ADC用クロックがその入力のスレッシュホールド領域の付近にあるときだけです。クロック信号のスルーレートを上げれば、その遷移時間が短くなり、スレッシュホールド期間にノイズが存在する時間も減少します。このようにして、システムに生じるRMS(実効値)ジッタが効果的に減少します。たとえば、70MHzのアナログ入力に対し、RMSジッタが最小100fsの12ビットADCの場合は、1V/nsのスルーレートが必要になります。

このように、ジッタ量を最小にするには、クロック・エッジのスルーレートを改善しなければなりません。そのための1つの方法は、クロック源そのものの性能を改善させることです。一般にアナログ・デバイセズのADCのベースライン性能を評価するときには、カスタム品(特注)の高性能クロック発振器を使用します。高速コンバータのユーザがすべて高性能の恒温槽型低ジッタ発振器のために必要なコストやスペースを割くことができるわけではないと思いますが、手頃なコスト効率に優れた発振器でも、たとえ入力周波数が高くて十分な性能を発揮することは可能です。市販の発振器を選択するときは、ベンダーが必ずしも同じ方法でジッタの仕様を規定したり測定したりしていないという点を考慮する必要があります。特定のアプリケーション向けに最適な発振器を選ぶためのよい方法は、いくつかの発振器を直接システムの中でテストすることです。この選択だけが唯一の変数になれば、性能を予測することができます(ただし、発振器ベンダーが適切な品質管理基準を守っているということを前提とします)。できれば、発振器メーカーに問い合わせさせてジッタや位相ノイズのデータをもらい、デバイスの最適な終端方法についてアドバイスしてもらうとよいでしょう。発振器の終端を正しく行っていないと、コンバータのスプリアスフリー・ダイナミック・レンジ(SFDR)を極端に低下させてしま



うことがあります。

コンバータの性能を最大限に引き出すには、クロック・システム全体を理解することがとても重要です。システムのクロック回路のジッタは、さまざまな方法で低減することができます。たとえば、上述したようにクロック源を改善することのほか、フィルタリング、周波数の分割、適切なクロック回路ハードウェアを選択することなどがあります。クロックのスルーレートに注意することを忘れないでください。スルーレートによって、遷移時間の間の、コンバータ・データを損なってしまうおそれのある、ノイズの量が決まります。この遷移時間を最小にすることによって、コンバータの性能を高めることができます。シグナル・チェーンの各部品が全体的なジッタ量を増大させてしまうため、クロックの駆動と分配に関しては必要な回路のみを使用するようにしてください。最後に、ちゃんな(安価な)ハードウェアは使わないでください。おそらく十分な性能は得られません。たとえ7万ドルの車でも20ドルのタイヤでは、レースに勝てるような性能が期待できないのと同じです。



筆者紹介：

Rob Reederは、1998年以降、米国ノースカロライナ州グリーンズボロにあるアナログ・デバイセズで高速コンバータ・グループの上級コンバータ・アプリケーション・エンジニアとして働いています。イリノイ州デカルブの北イリノイ大学で1996年にBSEE(電気工学士)、1998年にMSEE(電気工学修士)を取得しています。余暇には、音楽のミキシング、美術を楽しむほか、2人の息子とバスケットボールをしたりします。

この記事に関する

ご意見・ご感想は、

marcom.japan@analog.com

までお寄せください。

その他のFAQについては、

www.analog.com/jp/FAQ

をご覧ください。



www.analog.com/jp