

アナログ・デバイスズに寄せられた珍問／難問集 Issue 207

スイッチング電源のレイアウトを最適化する方法、ポイントはホット・ループのESR/ESLの最小化

著者：Jingjing Sun、シニア・プロダクト・アプリケーション・エンジニア
Ling Jiang、プロダクト・アプリケーション・マネージャ
Henry Zhang、プロダクト・アプリケーション・ディレクタ

質問

スイッチング電源の効率を最適化するにはどうすればよいのでしょうか？



回答

重要なのは、プリント基板においてホット・ループの等価直列抵抗（ESR）と等価直列インダクタンス（ESL）を最小化することです。

はじめに

スイッチング電源（スイッチング方式のDC/DCレギュレータ）の基板レイアウトを行う際には、ホット・ループに注意を払わな

ければなりません。寄生素子のパラメータの値を最小化するように設計を行えば電力効率が高まります。同時に、電圧のリンギングを抑制し、EMI（電磁干渉）を低減することが可能になります。

本稿では、プリント基板においてホット・ループのESR/ESLを最小化するというアプローチによってレイアウト設計を最適化する方法を紹介します。特に、デカップリング・コンデンサの位置、パワーMOSFETのサイズ／位置、ビアの配置に注目してESR/ESLの最小化を図ります。また、実験に基づく分析を行うことにより、基板上のESR/ESLを最小化するためにはどのような手法が有効であるのかを明らかにします。

基板レイアウトに依存する ホット・ループの寄生パラメータ

スイッチング電源のホット・ループは、高周波に対応するコンデンサとそれに隣接するパワーMOSFETで形成されます。周波数の高いAC電流ループであり、電源の性能を左右するほど重要な意味を持ちます。また、 dv/dt と di/dt が大きいノイズ成分を含むので、パワー段の基板レイアウトにおいて最も重要な部分になります。ホット・ループのレイアウト設計が適切に行われていなければ、ESL、ESR、等価並列容量（EPC：Equivalent Parallel Capacitance）など、基板上の寄生パラメータの値が大きくなります。その結果、スイッチング電源の効率、スイッチング性能、EMI性能に多大な影響が及びます。

図1は、同期整流方式、降圧型のDC/DCレギュレータの回路図です。この図において、ホット・ループはMOSFETであるM1、M2とデカップリング・コンデンサ C_{IN} によって形成されています。M1とM2のスイッチング動作により、周波数の高い di/dt ノイズと dv/dt ノイズが発生します。 C_{IN} は、低いインピーダンスのパスによって高周波のノイズ成分をバイパスする役割を果たします。ただ、各コンポーネントのパッケージ内や、ホット・ループの基板パターン沿いには寄生インピーダンス（ESRやESL）が存在します。 di/dt の大きいノイズがESLに加わると、高周波のリンギングが生じてEMI性能が低下します。また、ESLに蓄積されたエネルギーはESRで消費され、電力損失が増加します。したがって、ホット・ループのESRとESLを最小化することにより、高周波のリンギングを低減して効率を高めることが重要になります。

ホット・ループのESRとESLの値を正確に抽出することができれば、スイッチング性能の予測とホット・ループの設計の改善に役立ちます。ループ全体の寄生パラメータには、コンポーネントのパッケージと基板パターンの両方が寄与します。これらのうち、本稿では主に基板パターンの設計に注目することにします。基板の寄生パラメータを抽出するためのツールとしては、「Ansys Q3D Extractor」、 「FastHenry/FastCap」、 「StarRC」などが提供されています。Ansys Q3D Extractorのような商用ツールを使用すれば、正確なシミュレーションを実行できます。但し、そうしたツールは一般的に高価です。それに対し、FastHenry/FastCapであれば無償で利用できます。FastHenry/FastCapは、部分要素等価回路（PEEC：Partial Element Equivalent Circuit）の数値モデリングに基づいています¹。プログラミングをベースとする柔軟なシミュレーションにより、様々なレイアウト設計に対応できます（但し、追加のコーディングが必要になります）。FastHenry/FastCapによる寄生パラメータの抽出については、有効性と正確性が証明されています。Ansys Q3D Extractorと比較しても、整合性のある結果が得られることが確認されています^{2, 3}。本稿では、高い費用対効果で基板のESR/ESLを抽出できるツールとしてFastHenryを例にとることにします。

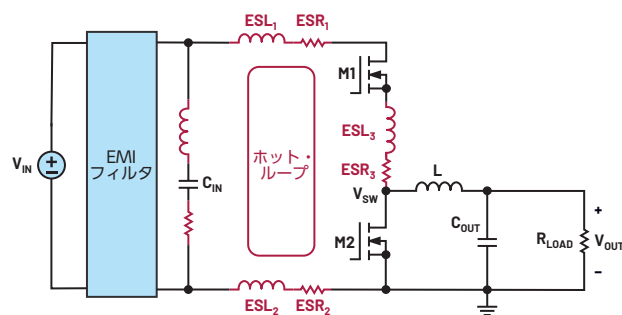


図1. 降圧DC/DCレギュレータのホット・ループ。
ESRとESLが存在します。

デカップリング・コンデンサの位置の影響

まず、デカップリング・コンデンサ C_{IN} の位置の影響について確認してみます。DC/DCレギュレータの具体的な例としては、アナログ・デバイセズの μ Module[®]レギュレータ「[LTM4638](#)」を取り上げます。同製品のデモ用ボード「DC2665A-B」を使用して、詳細な検討を進めることにしましょう。

LTM4638は、20Vの入力、15Aの出力に対応する降圧コンバータ・モジュールです。パッケージは6.25mm×6.25mm×5.02mmのBGAであり、高い電力密度、高速な過渡応答、優れた効率が見られることを特徴とします。同製品は、 C_{IN} として、高周波対応の小型セラミック・コンデンサを内蔵しています。ただ、パッケージのサイズに関する制約から、十分な値のコンデンサを内蔵しているとは言えません。

図2～図4は、同製品のデモ用ボードであるDC2665A-Bに外付けの C_{IN} を追加した例です。同コンデンサの配置の違いから、それぞれに異なる3種のホット・ループが形成されています。図2の設計（以下、この設計を垂直型のホット・ループ1と呼ぶことにします）では、ボトム・レイヤの μ Moduleレギュレータの真下の位置に C_{IN1} を配置しています。 μ ModuleレギュレータのBGAパッケージについては、 V_{IN} ピンとGNDピンがビアを介して C_{IN1} に直接接続されています。このような方法をとることにより、デモ用ボードにおけるホット・ループのパスは最短になっています。

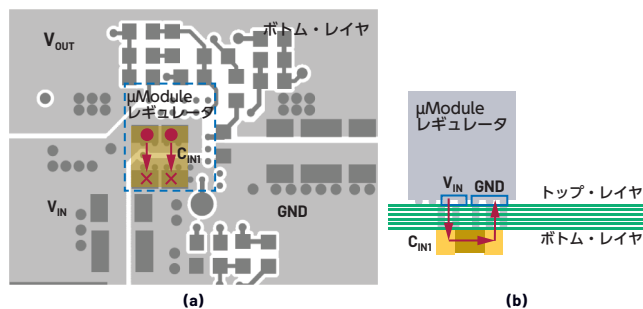


図2. 垂直型のホット・ループ1。
(a) は上面図、(b) は側面図です。

一方、図3の設計（垂直型のホット・ループ2）では C_{IN2} をボトム・レイヤに配置しています。但し、その位置は μ Moduleレギュレータの真下ではなく側部となっています。そのため、垂直型のホット・ループ1と比べてホット・ループのパターンが長くなっています。結果として、ESLとESRの値は大きくなると予想されます。図4の設計（水平型のホット・ループ）では、トップ・レイヤにおける μ Moduleレギュレータの近くに C_{IN3} を配置しています。 μ Moduleレギュレータの V_{IN} ピンとGNDピンは、ビアを介さずにトップ・レイヤの銅線を介して C_{IN3} に接続しています。ただ、トップ・レイヤの V_{IN} の銅線は、他のピン配置の影響で幅が狭くなっています。そのため、ホット・ループのインピーダンスは垂直型のホット・ループ1と比べて高くなります。表1に、各ホット・ループのESRとESLをFastHenryによって抽出した結果を示しました。予想どおり、ESRとESLが最も小さいのは垂直型のホット・ループ1です。

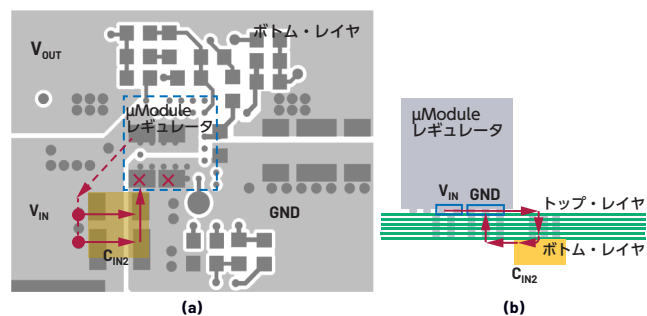


図3. 垂直型のホット・ループ2。
(a) は上面図、(b) は側面図です。

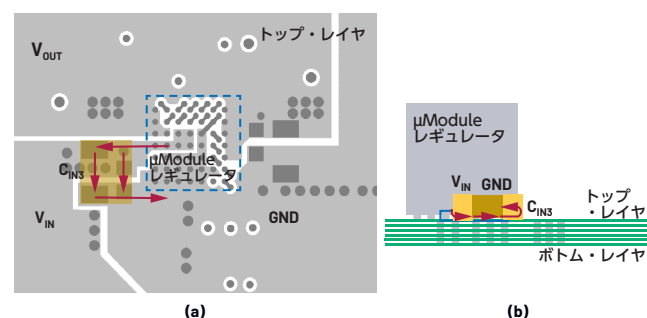


図4. 水平型のホット・ループ。
(a) は上面図、(b) は側面図です。

表1. 図2～図4の基板のESR/ESLをFastHenryによって抽出した結果

ホット・ループ	600kHzにおける ESR($ESR_1 + ESR_2$) (mΩ)	200MHzにおける ESL($ESL_1 + ESL_2$) (nH)
垂直型の ホット・ループ1	0.7	0.54
垂直型の ホット・ループ2	2.5	1.17
水平型の ホット・ループ	3.3	0.84

続いて、各ホット・ループのESRとESLを実験によって確認しました。具体的には、デモ用ボードを使用し、12Vから1Vへの降圧動作、CCM（Continuous Conduction Mode: 連続電流モード）における効率と V_{IN} のACリップルを測定しました。理論的には、ESRが小さいほど効率は高くなります。また、ESLが小さいほど V_{SW} のリンギングの周波数は高くなり、 V_{IN} のリップルの振幅は小さくなるはずですが。

図5 (a) に示した効率の測定結果をご覧ください。最も効率が高いのは、ESRが最も小さい垂直型のホット・ループ1でした。続いて、水平型のホット・ループと垂直型のホット・ループ1の損失の差を、抽出したESRの値を基に計算しました。その結果は、図5 (b) に示すように実測結果と整合しています。図5 (c) に示したのは、 C_{IN} に現れる V_{IN} の高周波リップルの波形です。水平

型のホット・ループでは、 V_{IN} のリップルの振幅は大きく、リングングの周波数は低くなっています。そのため、垂直型のホット・ループ1と比べて水平型のホット・ループの方がESLが大きいことがわかります。また、ESRは水平型のホット・ループの方が大きいため、垂直型のホット・ループ1と比べて V_{IN} のリップルは早く減衰しています。 V_{IN} のリップルが小さいほどEMI性能は高くなり、EMIフィルタのサイズを抑えることができます。

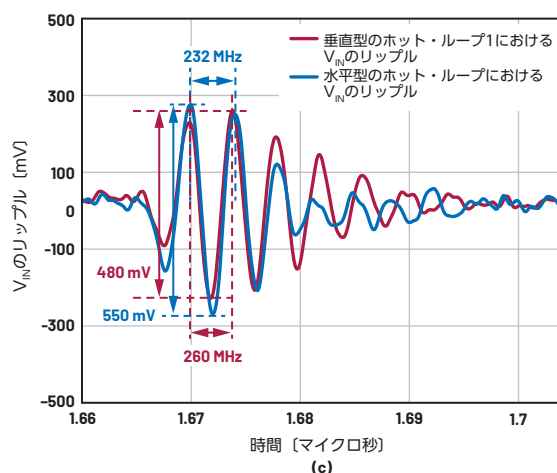
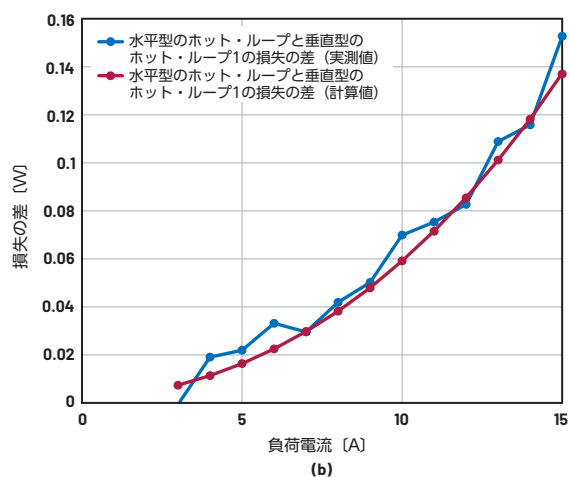
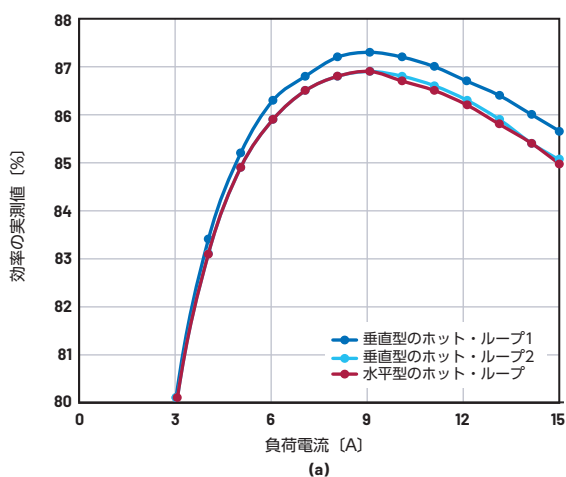


図5. デモ用ボードを用いた実測結果。(a) は効率、(b) は水平型のホット・ループと垂直型のホット・ループ1の損失の差、(c) は15Aを出力する際にM1がオンになるときの V_{IN} のリップルを表しています。

MOSFETのサイズと位置の影響

ディスクリート構成の設計では、パワーMOSFETのパッケージのサイズと配置もホット・ループのESR/ESLに大きな影響を及ぼします。ここでは、パワーMOSFETであるM1、M2とデカップリング・コンデンサ C_{IN} で構成された一般的なハーフ・ブリッジのホット・ループをモデル化して分析を行います。図6に示した各レイアウトは、広く使われているパワーMOSFETのサイズと配置の影響を比較するために用意したものです。表2に示したのは、各レイアウトにおけるESR/ESLを抽出した結果です。

図6 (a)～(c) は、5mm×6mmのパワーMOSFETを使用する場合の一般的な配置例です。寄生インピーダンスは、ホット・ループの物理的な長さによって決まります。(b) の90°型の配置と(c) の180°型の配置では、どちらも(a) と比べてループのパスが短くなっています。そのため、(a) と比べてESRは60%、ESLは80%小さくなります。90°型の配置で効果が得られることがわかるので、(b) をベースとしつつ、ESR/ESLを更に低減するための複数の配置について分析を行いました。図6 (d) では、

5mm×6mmのパワーMOSFETを、3.3mm×3.3mmのパワーMOSFETを2個並列に接続したものに置き換えています。パワーMOSFETのフットプリントが小さいことから、ループ長は更に短くなっています。その結果、ループのESLは更に7%低減されています。図6 (e) は、ホット・ループのレイヤの下にグラウンド・レイヤを配置したものです。このようにすることで、ESRとESLは図6 (d) と比べて更に2%小さくなります。グラウンド・レイヤに生成される渦電流により逆向きの磁界が誘導され、その分だけループのインピーダンスが低下するからです。図6 (f) は、もう1つのホット・ループをボトム・レイヤに形成したものです。この例では、トップ・レイヤとボトム・レイヤに2個の並列MOSFETを対称的に配置し、それらをビアで接続しています。このようにすれば、並列インピーダンスによってホット・ループのESR/ESLは更に顕著に小さくなります。つまり、よりサイズの小さいデバイスをトップ・レイヤとボトム・レイヤに90°型または180°型で配置すれば、基板上的ESR/ESLは最も小さくなるということです。

表2. ホット・ループのESRとESLをFastHenryによって抽出した結果

	ESR ₁ (@2MHz) [mΩ]	ESR ₂ (@2MHz) [mΩ]	ESR ₃ (@2MHz) [mΩ]	ESR _{TOTAL} (@2MHz) [mΩ]	(a)を基準 とした ESRの変化率	ESL ₁ (@200MHz) [nH]	ESL ₂ (@200MHz) [nH]	ESL ₃ (@200MHz) [nH]	ESL _{TOTAL} (@200MHz) [nH]	(a)を基準 とした ESLの変化率
(a)	0.59	2.65	0.45	3.69	N/A	0.42	2.80	0.23	3.45	N/A
(b)	0.59	0.3	0.38	1.27	-66%	0.42	0.09	0.17	0.67	-81%
(c)	0.24	0.27	0.83	1.35	-63%	0.07	0.07	0.52	0.66	-81%
(d)	0.44	0.3	0.28	1.01	-73%	0.25	0.09	0.08	0.42	-88%
(e)	0.44	0.27	0.26	0.97	-74%	0.21	0.08	0.07	0.36	-90%
(f)	0.31	0.27	0.13	0.7	-81%	0.12	0.07	0.02	0.21	-94%

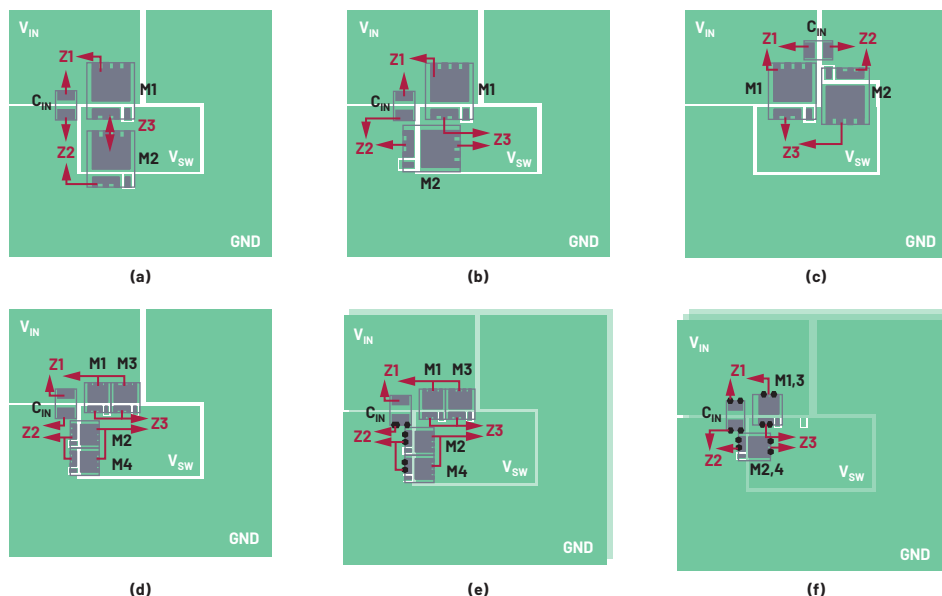


図6. 基板上的ホット・ループのモデル。(a) は5mm×6mmのMOSFETを一直線に配置したモデル、(b) は5mm×6mmのMOSFETを90°型に配置したモデル、(c) は5mm×6mmのMOSFETを180°型に配置したモデルです。(d) では、3.3mm×3.3mmのMOSFETを2個並列に接続したものを90°型に配置しています。(e) では、(d) にグラウンド・レイヤを追加しています。(f) では、3.3mm×3.3mmのMOSFETをトップ・レイヤとボトム・レイヤに対称的に90°型に配置しています。

続いて、パワーMOSFETの配置の影響を実験によって確認しました。具体的な例として、同期整流方式、4スイッチに対応する高効率の昇降圧コントローラ「LT8390」と「LT8392」を取り上げることにしました。実験には、それぞれの製品のデモ用ボードである「DC2825A」と「DC2626A」を使用しました⁴。図7 (a)、(b) に示すように、DC2825AではパワーMOSFETを一直線に配置しており、DC2626Aでは90°型で配置しています。公正な比較を行うために、2つのデモ用ボードでは同じパワーMOSFETとデカップリング・コンデンサを使用することにしました。また、いずれもスイッチング周波数が300kHzの降圧動作により、36Vの入力を基に12V/10Aの出力を生成することにしました。図7 (c) は、M1がオンになるときの V_{IN} のACリップル

を測定した結果です。パワーMOSFETを90°型に配置した方が、 V_{IN} のリップルの振幅は小さく、共振周波数は高くなっています。これにより、ホット・ループのパスが短い方がESLが小さくなるということを確認できました。一方、パワーMOSFETを一直線に配置した場合には、ホット・ループが長くなります。そのため、ESLが大きくなります。結果として、 V_{IN} のリップルの振幅ははるかに大きくなり、共振周波数は低くなります。入力電圧のリップルが大きいほど、EMI（放射性）は深刻になります。これについては、稿末に挙げた参考資料4「[4スイッチ昇降圧コントローラの基板レイアウト、シングル・ホット・ループでEMIを抑える](#)」をご参照ください。この資料には、EMIの研究／テストの結果が詳細に示されています。

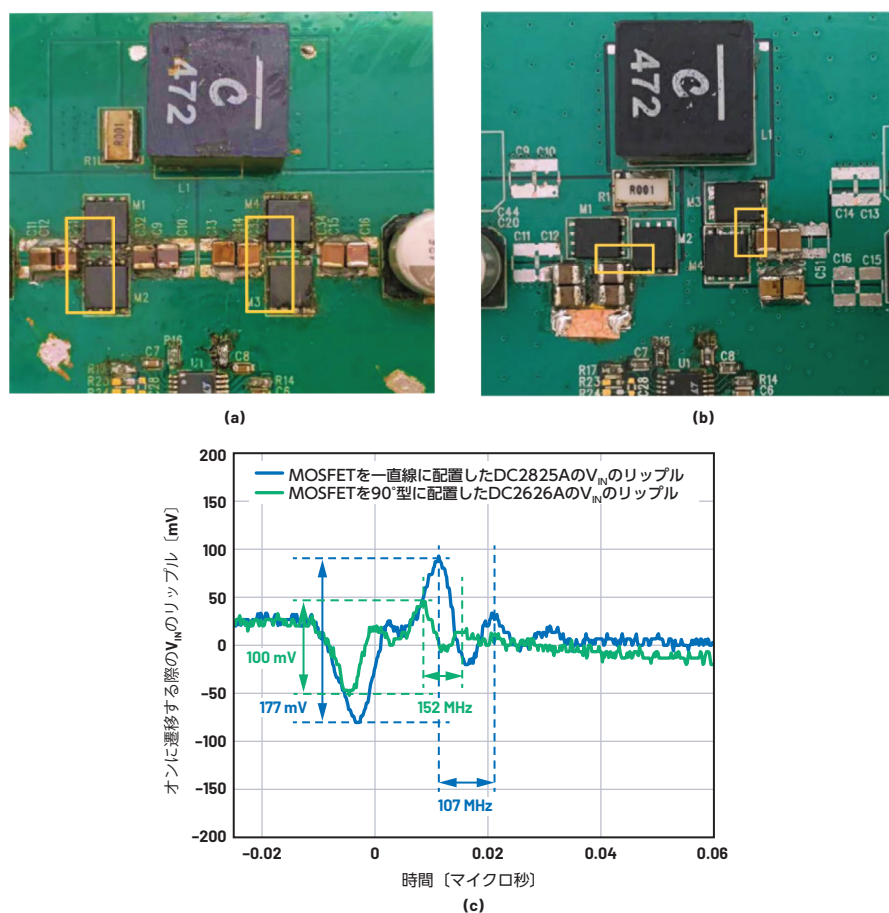


図7. パワーMOSFETの配置の影響。(a) はMOSFETを一直線に配置したDC2825A (LT8390) のホット・ループです。(b) はMOSFETを90°型に配置したDC2626A (LT8392) のホット・ループです。(c) はM1がオンになるときの V_{IN} のリップル波形です。

ビアの配置の影響

ホット・ループ内のビアの配置も、ESRとESLに重大な影響を及ぼします。ここでは、図8に示すように、2層基板にパワーMOSFETを一直線に配置した場合のホット・ループをモデル化します。パワーMOSFETはトップ・レイヤに配置しており、ボトム・レイヤはグラウンド・プレーンとして使用しています。 C_{IN} のGNDパッドとM2のソース・パッドの間の寄生インピーダンスZ2は、ホット・ループの一部となっています。例として、ここではこのZ2をFastHenryによって抽出しました。表3は、複数種のビアの配置に対するESR₂/ESL₂のシミュレーション結果を比較したものです。

一般に、ビアの数を増やすほど、基板の寄生インピーダンスは低下します。但し、ESR₂とESL₂はビアの数に比例して低下するわけではありません。ビアを端子パッドの近くに配置する方がESRとESLは顕著に低下します。したがって、ホット・ループのレイアウト設計では、高周波に対応するループのインピーダンスを最小化するために、複数の重要なビアを C_{IN} とMOSFETのパッドの近くに配置する必要があります。

表3. ビアの配置を変更して

ホット・ループのESR₂とESL₂を抽出した結果

モデル	ESR ₂ (@2MHz) [mΩ]	初期状態を 基準とした ESRの変化率	ESL ₂ (@200MHz) [nH]	初期状態を 基準とした ESLの変化率
ビアのない 初期状態	2.67	N/A	1.19	N/A
(a)	1.73	-35.2%	0.84	-29.8%
(b)	1.68	-37.1%	0.82	-30.8%
(c)	1.67	-37.5%	0.82	-31%
(d)	1.65	-38.2%	0.82	-31.4%

まとめ

ホット・ループにおいて、寄生パラメータの値を低減すれば、電力効率が向上します。同時に、電圧のリンギングの低減、EMI性能の向上にもつながります。本稿では、寄生パラメータの値を最小化することを目的とし、ホット・ループのレイアウト設計に

ついで分析／比較を実施しました。具体的には、デカップリング・コンデンサの位置、MOSFETのサイズと位置、ビアの配置について検討を行いました。その結果、ホット・ループのESR/ESLを最小化するためには、以下の事柄がポイントになることがわかりました。すなわち、ホット・ループのパスを短くすること、MOSFETのサイズを小さくすること、MOSFETを90°型または180°型かつ対称的に配置すること、ビアを主要なコンポーネントの近くに配置することが重要です。

参考資料

¹ Mattan Kamon, Michael Tsuk, Jacob White [FASTHENRY: A Multipole-Accelerated 3-D Inductance Extraction Program (FASTHENRY: 多重極加速/3D対応のインダクタンス抽出用プログラム)] IEEE Transactions on Microwave Theory and Techniques, Vol. 42, 1994年

² Andreas Musing, Jonas Ekman, Johann W. Kolar [Efficient Calculation of Non-Orthogonal Partial Elements for the PEEC Method (PEEC法のための非直交部分要素の効率的な計算)] IEEE Transactions on Magnetics, Vol. 45, 2009年

³ Ren Ren, Zhou Dong, Fei Fred Wang [Bridging Gaps in Paper Design Considering Impacts of Switching Speed and Power-Loop Layout (スイッチング速度とパワーループのレイアウトの影響を考慮し、机上設計との間のギャップを埋める)] IEEE, 2020年

⁴ Yonghwan Cho, Keith Szolusha [4スイッチ昇降圧コントローラの基板レイアウト、シングル・ホット・ループでEMIを抑える] Analog Dialogue, Vol. 55, 2021年7月

⁵ Henry J. Zhang [PCB Layout Considerations for Non-Isolated Switching Power Supplies (非絶縁型スイッチング電源の基板レイアウトにおいて考慮すべき事柄)] Analog Devices, 2012年

⁶ Christian Kueck [Power Supply Layout and EMI (電源レイアウトとEMI)] Analog Devices, 2012年

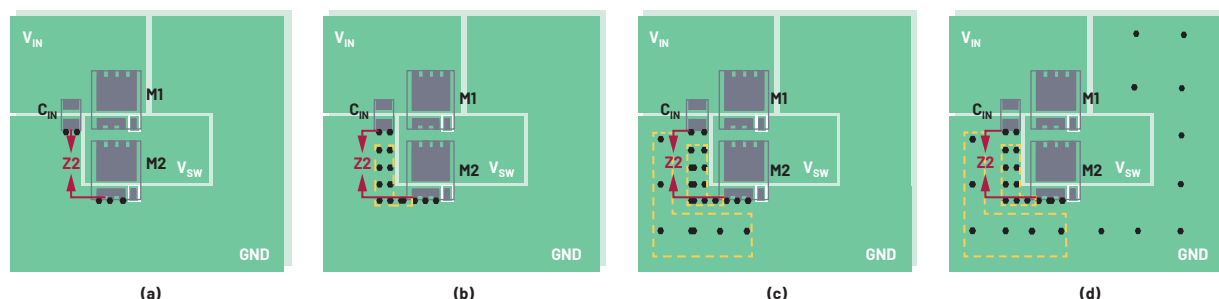


図8. 基板上のホット・ループのモデル。(a) では、5つのGNDビアを C_{IN} とM2の近くに配置しています。(b) は14個のGNDビアを C_{IN} とM2の間に配置したものです。(c) では、(b)をベースとし、更に6つのビアをGNDに配置しています。(d) では、(c)をベースとして更に9つのビアをGND領域に追加しています。



著者について

Jingjing Sunは、アナログ・デバイセズのシニア・プロダクト・アプリケーション・エンジニアです。2022年に入社しました。カリフォルニア州のベイエリアを拠点とするパワー製品グループに所属。多様な市場のアプリケーションを対象としてμModule[®]製品を担当しています。テネシー大学（ノックスビル）で電気工学の博士号を取得しました。



著者について

Ling Jiangは、アナログ・デバイセズのプロダクト・アプリケーション・マネージャです。カリフォルニア州のベイエリアを拠点とするパワー製品グループに所属。複数の市場のアプリケーションを対象としてμModule[®]製品を担当しています。2018年にテネシー大学（ノックスビル）で電気工学の博士号を取得しました。



著者について

Henry Zhangは、アナログ・デバイセズでPower by Linear[™]製品を担当するプロダクト・アプリケーション・ディレクタです。2001年にLinear Technology（現在はアナログ・デバイセズに統合）に入社しました。1994年に中国の浙江大学で電気工学の学士号、1998年と2001年にバージニア工科大学で電気工学の修士号と博士号をそれぞれ取得しています。