

アナログ・デバイスズに寄せられた珍問／難問集 Issue 205

間接電流モードの計装アンプによって、DCオフセットが大きいAC信号を増幅する方法

著者：Marie-Eve Carre、システム・アプリケーション・エンジニア

質問

ゲイン段を追加することなく、大きな差動オフセット電圧に対処する方法はありませんか？



回答

マイクロパワー、ルールtoルール、間接電流モードの計装アンプを使用することで対応できます。その種のアンプを使用すれば、1段構成でACカップリングと増幅を実現できます。以下では、この設計について詳細に解説します。その長所を明らかにしつつ、段階的に設計を進める方法を示すことにします。

はじめに

電磁流量や生体電位を測定するアプリケーションでは、非常に大きな差動オフセットに小さな差動信号が重畳しているという状況に対応する必要があります。通常、そうしたオフセットは、フロント・エンド回路がとり得るゲインに制約を加えます。結果として、システム全体としてのダイナミック・レンジに影響が及ぶこととなります。バッテリー駆動の機器など、低い電源電圧で動作するシグナル・チェーンでは、ゲインに対する制限がより厳しく

なります。このような差動オフセットの問題に対する1つの解決策は、信号の測定用にACカップリング型のシグナル・チェーンを採用することです。このような条件に対応できるシグナル・チェーンの代表的な例としては、ゲインの小さい計装アンプの後段にハイパス・フィルタとゲイン段を追加するというものが挙げられます（「[Amplifying AC Signals with Large DC Offsets for Low Power Designs](#)（低消費電力が求められる設計において、DCオフセットが大きいAC信号を増幅する方法）」を参照）。ほとんどのアプリケーションでは、シグナル・チェーンの初段でできるだけ高いゲインが得られるようにすべきです。そうすれば、後続のゲイン段における入力換算ノイズを改善できるからです。

本稿では、間接電流モードの計装アンプ（in-amp）を取り上げます。そのアーキテクチャがもたらす主要なメリットは、1段構成の回路によって高いゲインとACカップリングを同時に実現できることです。本稿では、その具体的な例としてゼロドリフトの計装アンプ「[AD8237](#)」を取り上げます。この製品は、消費電力が極めて少なく、広いコモンモード／差動入力範囲に対応しています。間接電流モードのアーキテクチャを採用した他の製品としては「[AD8420](#)」などがあります。この種の計装アンプは、主に以下のような長所を備えています。

- ▶ 低消費電力のアーキテクチャを採用しています。
- ▶ 2つまたは3つのオペアンプで構成した計装アンプなど、他の一般的なアーキテクチャのように、ダイヤモンド・プロットに大きな制限が加わることがありません。
- ▶ マッチングのとれた外付け抵抗を使用することにより、優れたゲイン・ドリフト性能を達成することができます。
- ▶ 抵抗のマッチングがとれているかどうかに関わらず、高いCMRR性能を達成できます。
- ▶ 高インピーダンスのリファレンス・ピンを備えています。



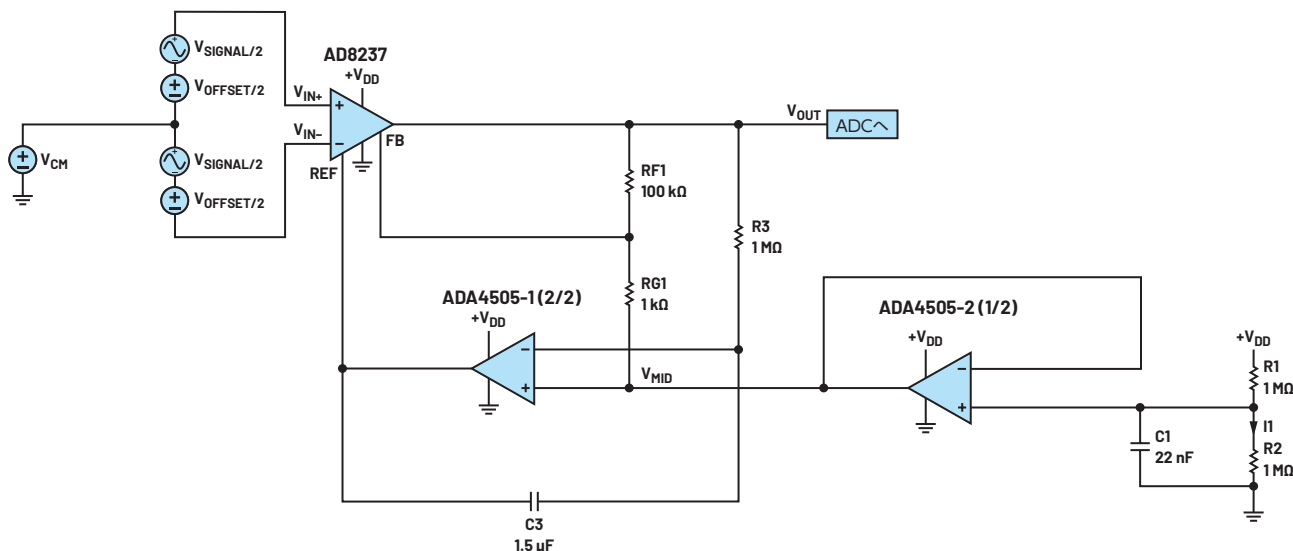


図 1. 間接電流モードの計装アンプを使用して構成したシグナル・コンディショニング回路。
同アンプのアーキテクチャにより、ACカップリングと増幅が実現されます。

表 1. 図 1 の回路の主な設計仕様

センサーの V_{OFFSET} の 最大振幅	センサーの V_{SIGNAL} の 最大振幅	センサーの V_{SIGNAL} の 最低 / 最高 周波数	センサーの コモンモード 電圧 V_{CM}	電源電圧 $V_{\text{DD}}/V_{\text{SS}}$	最大 電源電流	出力 コモンモード 電圧 V_{MID}
$\pm 1\text{V}$	$\pm 6\text{mV}$	20Hz / 220Hz	1.65V	+3.3V / 0V	200μA	1.65V

図 1 に示したのは、本稿で例にとるシグナル・コンディショニング回路です。ご覧のように、間接電流モードに対応する計装アンプとして AD8237 を使用して構成しています。先述したように、同アンプを使用すれば、高いゲインと AC カップリングを 1 段で実現することが可能です。但し、そのためには、AD8237 の帰還ループに積分回路を配置する必要があります。それでも、このソリューションを採用すれば、2 つまたは 3 つのオペアンプで構成された計装アンプを使う場合と比べて高いゲインを得ることができます。2 つまたは 3 つのオペアンプで構成した計装アンプでは、ゲインを適用した後にオフセットをキャンセルすることになります。それに対し、間接電流モードに対応する計装アンプのアーキテクチャでは、ゲイン段で信号を増幅する前にオフセットの補正を行うことが可能です。このアーキテクチャと従来の計装アンプのアーキテクチャについては、稿末の付録で補足説明を行います。

図 1 の回路では、オペアンプ「ADA4505」を使用して帰還ループに配置する積分回路を構成しています。ADA4505 の非反転入力、 V_{MID} に設定されています。この積分回路によって AD8237 の出力が検出され、AD8237 の出力が V_{MID} になるよう AD8237 のリファレンス・ピン（REF ピン）が駆動されます。一般に、積分回路はローパス・フィルタとして働きます。ただ、この回路では帰還ループに積分回路が配置されており、回路全体としてはハイパス・フィルタの伝達関数を備えていることになります。この動作により、最終的にゲイン段の前で DC オフセットが阻止されます。そのため、他のソリューションと比べてゲインを高く設定することができます。電源電圧が低くオフセットが大きい場合には、通常の動作に使用できるヘッドルームが限られます。そのため、この回路は非常に有効に機能します。この積分回路を使えば、リファレンス・ピンを介して、AD8237 の出力を、設定

した電圧に強制的に駆動することも可能です。この積分回路は、AD8237 の FB ピンに入力差動電圧と値が等しく逆極性の電圧が設定されるようにリファレンス・ピンを駆動します。

設計仕様の例

通常、低消費電力のアプリケーションでは、1.8V～3.6V の範囲の単一電源が使用されます。図 1 に示した回路の場合、入力信号の振幅 / 周波数とオフセットの振幅に応じて、設計上の選択を行うことになります。表 1 に、図 1 の回路の設計仕様の例を示しました。

この回路では、設計上の選択として、AD8237 の狭帯域幅モードを使用することにします。それにより、ゲインの柔軟性とより高い安定性を確保することにしました。

設計に関する説明

図 1 の回路は、マイクロパワー、レール to レールの計装アンプである AD8237 と、ゼロ・クロスオーバー歪みのオペアンプである ADA4505 で構成されています。どちらも最小 3.3V の電源電圧 V_{DD} で動作します。

図 1 の回路は、DC オフセット電圧 V_{OFFSET} を除去しながら、入力に現れる AC 信号 V_{SIGNAL} を増幅して電圧 V_{OUT} を出力します。それに向けて、ADA4505 の非反転入力と AD8237 のゲイン段の出力のコモンモード電圧を電源の中央値に設定します。電源の中央値である電圧 V_{MID} を生成するためには、抵抗分圧器を使用します。抵抗 R1、R2 によって分圧器を構成し、もう 1 つの ADA4505 でバッファしています。AD8237 のパッケージは MSOP、ADA4505 のパッケージは小型の WLCSP です。

設計時に考慮すべき事柄

以下に、設計時に考慮すべき事柄を列挙します。

- (1) V_{REF} (AD8237のリファレンス・ピン) の値は、[ADA4505-2](#) (1/2) の非反転入力に印加される V_{MID} によって設定されます。その結果として、出力 V_{OUT} もその値に設定されます。ほとんどの計装アンプにおいて、2つの電源レール間で最大の出力振幅を確保するためには、電源の中央値 ($V_{DD}/2$) が V_{MID} の最適値となります。これについては、コモンモード入力電圧と出力電圧範囲の関係、つまりはダイヤモンド・プロットの観点から見て明らかにそのようになります。この検討には「[計装アンプ・ダイヤモンド・プロット・ツール](#)」が役立ちます。このツールについては、後ほど「設計についてのシミュレーション」のセクションで説明することになります。
- (2) この回路のトータルの電源電流を抑えるためには、 $R1$ 、 $R2$ の値の選択も重要です。抵抗の選択は、ノイズと消費電力のトレードオフになります。この回路の場合、電源電流の増加を最小限に抑えるために、大きい値を選択するとよいでしょう。この抵抗分圧器による電源電流の増加分は、以下の式で表されます。

$$I_1 = \frac{V_{DD}}{R1 + R2}$$

- ▶ 抵抗分圧器 ($R1$ 、 $R2$) には、コンデンサ $C1$ を追加することができます。そうすると、ノイズの帯域制限や、50Hz/60Hz の成分の低減といった形で V_{DD} への干渉を抑えることが可能になります。コンデンサの値を大きくするほど、ノイズのフィルタリング効果は向上します。但し、回路を起動する際、 V_{MID} がセトリングするまでの時間が長くなります。1% 以内のレベルにセトリングするまでにかかる時間は、次式によって推定できます。

$$t_{SETTLE} V_{MID} = 5 \times \frac{R1 \times R2 \times C1}{R1 + R2}$$

- (3) 受動部品 (抵抗やコンデンサ) の値を選択する際には、許容誤差について考慮しなければなりません。その誤差が原因で、抵抗分圧器 ($R1$ 、 $R2$) で目標とする V_{MID} の値がずれる可能性があるからです。そうすると、AD8237とADA4505の出力に影響が及ぶことになります。図1の回路の場合、伝達関数のカットオフ周波数は2つ存在します。1つは、ADA4505で構成した帰還ループ内の積分回路に起因するハイパス・フィルタのカットオフ周波数です。もう1つは、AD8237の帯域幅によって決まるローパス・フィルタ応答のカットオフ周波数です。積分回路のカットオフ周波数とAD8237の帯域幅が組み合わさることにより、ある程度のゲイン誤差が生じる可能性があります。したがって、ハイパス・フィルタのカットオフ周波数とローパス・フィルタのカットオフ周波数を適切な範囲内に収めることが重要です。カットオフ周波数が互いにどの程度近い値であるかによって、ゲインの誤差率が変動する可能性があります。

- (4) アプリケーションにおいて、高インピーダンスのセンサーを使用したいケースもあるでしょう。その場合、ADA4505などのバッファをAD8237の入力の前に適用します。それにより、高い入力インピーダンスが得られ、入力バイアス電流の量を抑えられます。バッファによって、高インピーダンスの入力が低インピーダンスの出力に変換されるからです。なお、AD8237の入力バイアス電流は、全温度範囲にわたって最大1nAです。

設計手順

続いて、より具体的な設計手順を説明していきます。

【ステップ1】 V_{MID} を設定するための分圧器を設計する

「設計時に考慮すべき事柄」の(2)で説明したように、図1の回路において $R1$ 、 $R2$ の値を $1M\Omega$ に設定すると、電源電流の増加分を $1\mu A$ に近いレベルに抑えることができます (以下参照)。

$$I_1 = \frac{3.3V}{1M\Omega + 1M\Omega} = 1.65\mu A$$

$R1$ 、 $R2$ で構成される抵抗分圧器の出力は、次式によって決まります。

$$V_{MID} = V_{DD} \times \frac{R2}{R1 + R2} = 3.3 \times \frac{1M\Omega}{1M\Omega + 1M\Omega} = 1.65V$$

$R1$ と $R2$ の許容誤差が5%であると仮定し、ADA4505のオフセットを考慮すると、次式が得られます。

$$V_{MID} = 1.65V \pm 82mV$$

AC電源の干渉と抵抗からのノイズの影響を抑えるために、 $C1$ の値を設定します。その値は、カットオフ周波数が少なくとも V_{SIGNAL} の最小周波数である20Hzを下回るようにします。なお、ノイズの帯域制限を強化する必要がある場合には、コンデンサの値をもっと大きくしても構いません。 $C1$ の値は以下のようにして決定します。

$$20Hz < \frac{1}{2 \times \pi \times C1 \times \frac{R1R2}{R1 + R2}}$$

$$\frac{1}{20Hz \times 2\pi \times \frac{1M\Omega \times 1M\Omega}{1M\Omega + 1M\Omega}} < C1$$

$$15.9nF < C1$$

上式に基づき、 $C1$ の値を22nFに設定したとします。その場合、カットオフ周波数は次式のようにになります。

$$\frac{1}{22nF \times 2\pi \times \frac{1M\Omega \times 1M\Omega}{1M\Omega + 1M\Omega}} = 14.5Hz$$

【ステップ2】 V_{SIGNAL} に基づき、 計装アンプ (AD8237) のゲインを定める

ここでは、電磁流量センサーに対応するシグナル・コンディショニング回路を設計しているものとします。通常、その種のセンサーの出力範囲（ピークtoピークの信号振幅）は $\pm 75\mu\text{V} \sim \pm 6\text{mV}$ 程度です。図1の回路では、30Hzの周波数において V_{SIGNAL} が6mV（ピーク）になるとして、ピークtoピークの信号振幅範囲を想定します。

次に、電源レールに対するAD8237の出力振幅範囲の制限について考えます。これらの値は、データシートの「Output Swing」の欄に記載されています。控えめな想定に基づき、 25°C 、 $R_L = 10\text{k}\Omega$ の場合の振幅について考えます（以下参照）。

$$0.05\text{ V} < V_{\text{OUT}} < V_{\text{DD}} - 0.05\text{ V}$$

電源電圧が3.3Vの場合、次式のようになります。

$$0.05\text{ V} < V_{\text{OUT}} < 3.25\text{ V}$$

出力は完全差動型なので、その値は V_{MID} を基準としてシングします。最も厳しい条件では、次式のようになります。

- 正の入力信号 ($V_{\text{MIDMAX}} = 1.732\text{V}$) の場合

$$1.732\text{ V} \leq V_{\text{OUT}} \leq 3.25\text{ V}$$

$$+ \text{SwingRange}_{\text{AD8237}} = 3.25\text{ V} - 1.732\text{ V} = 1.518\text{ V}$$

- 負の入力信号 ($V_{\text{MIDMAX}} = 1.568\text{V}$) の場合

$$0.05\text{ V} \leq V_{\text{OUT}} \leq 1.568\text{ V}$$

$$- \text{SwingRange}_{\text{AD8237}} = 1.568\text{ V} - 0.5\text{ V} = 1.518\text{ V}$$

ここで、ゲインを設定するために、トータルの差動入力信号を想定し、正と負の振幅範囲の低い方を使って最大振幅範囲を設定します（以下参照）。

$$\text{Max Gain}_{\text{AD8237}} = \frac{\text{Max Swing Range}_{\text{AD8237}}}{V_{\text{SIGNAL}}}$$

$$\text{Max Gain}_{\text{AD8237}} = \frac{1.518\text{ V}}{6\text{ mV}}$$

$$\text{Max Gain}_{\text{AD8237}} = 253\text{ V/V}$$

出力電圧範囲の制限について考慮すると、AD8237のゲインは253未満に設定する必要があります。DC誤差などに対してある程度のマージンを確保するために、図1の回路のゲインは最大値よりも小さく設定する必要があります。また、ゲインとセトリ

ング時間の間にもトレードオフが存在します。ゲインを高くするほど、フィルタの時定数は大きくなります。これらのことから、AD8237のゲインを101に設定することにしました。

振幅の最大化に関しては、「設計時に考慮すべき事柄」の(1)に記載した内容に注意してください。

データシートから、ゲインに関連する式は次のようになることがわかります。

$$\text{Gain} = 1 + \frac{RG1}{RF1}$$

AD8237のデータシートには、ゲインを設定するために推奨される抵抗値が記載されています。それに従えば、101というゲインを得たい場合、 $RF1$ を100k Ω 、 $RG1$ を1k Ω に設定するのが妥当だと考えられます。

【ステップ3】 計装アンプ (AD8237) の帯域幅について検討する

データシートを参照すると、カットオフ周波数の値は次式で与えられることがわかります。

$$f_{3\text{dB}8237} = \frac{GBW}{\text{Gain}}$$

$$f_{3\text{dB}8237} = \frac{200\text{ kHz}}{101\text{ V/V}} = 1980\text{ Hz}$$

設計仕様の面から、最高信号周波数に対しては、ある最小減衰量が必要であるかもしれません。それについては、所定のフィルタのカットオフ周波数に対して、次式のようにして簡単に確認することができます。

$$\text{Attenuation} = 20 \log_{10} \sqrt{\left(\frac{1}{1 + \left(\frac{V_{\text{SIGNAL_max}} f_{\text{freq}}^2}{f_{3\text{dB}8237}^2} \right)^2} \right)}$$

$$\text{Attenuation} = 20 \log_{10} \sqrt{\left(\frac{1}{1 + \left(\frac{220\text{ Hz}^2}{1980\text{ Hz}^2} \right)^2} \right)} = -0.05\text{ dB}$$

【ステップ4】 ハイパス・フィルタのカットオフ周波数を設定する

「設計時に考慮すべき事柄」の(3)で説明したように、積分回路によって決まるハイパス・フィルタのカットオフ周波数が高いと、AD8237の帯域幅によって決まるローパス・フィルタのカットオフ周波数と値が近くなりすぎる可能性があります。その場合、既に設定したゲインにいくらかのゲイン誤差が生じます。

ここでは、抵抗R3とコンデンサC3の許容誤差が±5%だと仮定します。最も小さい時定数は、 V_{SIGNAL} の最小周波数に対応する値よりも小さくなるはずなので、次式が成り立ちます。

$$f_{3\text{dB} \text{ Integrator}} = \frac{\text{Gain}}{2\pi \times 0.95 \times R3 \times 0.95 \times C3} < 20 \text{ Hz}$$

R3の値は、それを介してオペアンプに流入する電流を最小限に抑えるために、1MΩに設定することになります。すると、以下の式が成り立ちます。

$$C3 > \frac{101 \text{ V/V}}{2\pi \times (0.9 \times 0.9 \times 1 \text{ M}\Omega \times 20 \text{ Hz})}$$

$$C3 > 0.99 \mu\text{F}$$

カットオフ周波数を約20Hzに設定するために、コンデンサの標準品の中で最も近い値のものを選択します。ここでは、C3の値を1.5μFに設定することにしましょう。それを踏まえると、実際のカットオフ周波数は次式のようにになります。

$$f_{3\text{dB} \text{ Integrator}} = \frac{101}{2\pi (1 \text{ M}\Omega \times 1.5 \mu\text{F})} = 10.71 \text{ Hz}$$

設計仕様の面から、最低信号周波数に対しても、ある最小減衰量が必要であるかもしれません。これについても、所定のフィルタのカットオフ周波数に対して、次式のようにして簡単に確認することができます。

$$\text{Attenuation} = 20 \log_{10} \sqrt{\left(\frac{1}{1 + \left(\frac{f_{3\text{dB} \text{ Integrator}}^2}{V_{\text{SIGNAL_min}}^2 f^2} \right)} \right)}$$

$$\text{Attenuation} = 20 \log_{10} \sqrt{\left(\frac{1}{1 + \left(\frac{10.71^2 \text{ Hz}^2}{20^2 \text{ Hz}^2} \right)} \right)} = -1.09 \text{ dB}$$

【ステップ5】 オフセット電圧の確認

V_{OFFSET} にも V_{CM} にも制限があります。この回路において、DCオフセットはほとんどのアプリケーションで見られる値よりも大きくなる可能性があります。これについては、 $V_{\text{OFFSET}} \leq \pm V_{\text{MID}}$ という条件を満たさなければなりません。この制限よりもDCオフセットの値が大きい場合、 V_{REF} の電圧値はADA4505の電源電圧の範囲外を外れてしまいます。リファレンス・ピンに関連する式は、 $V_{\text{REF}} = V_{\text{MID}} - V_{\text{OFFSET}}$ となります。この例では、 V_{OFFSET} は1Vになります。

コモンモード電圧 V_{CM} については、次式の範囲内に収まっている必要があります。

$$0 < V_{\text{CM}} \pm V_{\text{OFFSET}} < V_{\text{DD}}$$

ご覧のように、 V_{OFFSET} が直接的に影響を及ぼします。

これらの制限値については必ず検証しなければなりません。それを怠ると、AD8237に対する入力値が電源電圧の範囲を外れてしまうことになります。ここでは V_{CM} を1.65Vに設定することになります。

設計についてのシミュレーション

計装アンプのコモンモード入力電圧範囲と出力電圧の関係は、ダイヤモンド・プロットと呼ばれます。これについて確認するには、電源電圧 V_{DD} 、リファレンス電圧、ゲイン、コモンモード電圧の振幅、差動入力の振幅を指定する必要があります。入力振幅がデバイスの動作範囲内にあるか否かを確認する際には、先ほど触れた計装アンプ・ダイヤモンド・プロット・ツールが役に立ちます。このツールでは、出力振幅について最も厳しい負荷の条件（最小の抵抗性負荷）が適用されます。そのため、同ツールの制限値に合わせて設計を行えば、抵抗性の負荷に対してより大きなマージンが得られます。ここで、図2に示した同ツールの利用画面をご覧ください。紫色の外枠は、所定の電源電圧、出力振幅、入力コモンモード電圧範囲、リファレンス電圧に対してAD8237を使用できる範囲を示すものです。一方、赤色の枠は、この範囲のうちどの程度を所定のコモンモード電圧と差動入力モードの振幅に対応するために使用しているのかを表しています。設計時の目標は、赤色の枠を紫色の外枠の範囲内に収めることです。これに反する条件が存在すると、このツールはエラーという結果が提示されます。それだけでなく、推奨される対応策を示してくれます。但し、このインターフェースでは、帰還ループに積分回路を配置するのは不可能であることに注意してください。とはいえ、代替策は存在します。それは、図1の回路の V_{OFFSET} と V_{CM} の電圧が追加されているかのように、ダイヤモンド・プロットの入力信号を設定するというものです。0.65V～2.65Vという範囲を使用すれば、DCオフセットは除去されますが、ゲインは得られません。また、出力がスイングする余地がいくらか残っているので、コモンモード電圧が更に高くなり得ることもわかります。計装アンプの内部で起こっていることについて理解するためには、「内部ブロック図」のタブをクリックします。すると、内部ノードの電圧が表示されます。

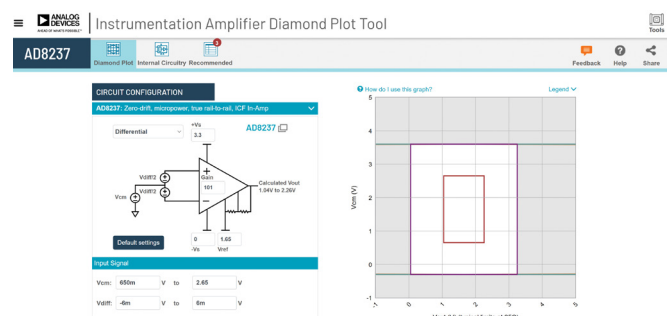


図2. 計装アンプ・ダイヤモンド・プロット・ツールの実行画面。AD8237の検証を行っています。

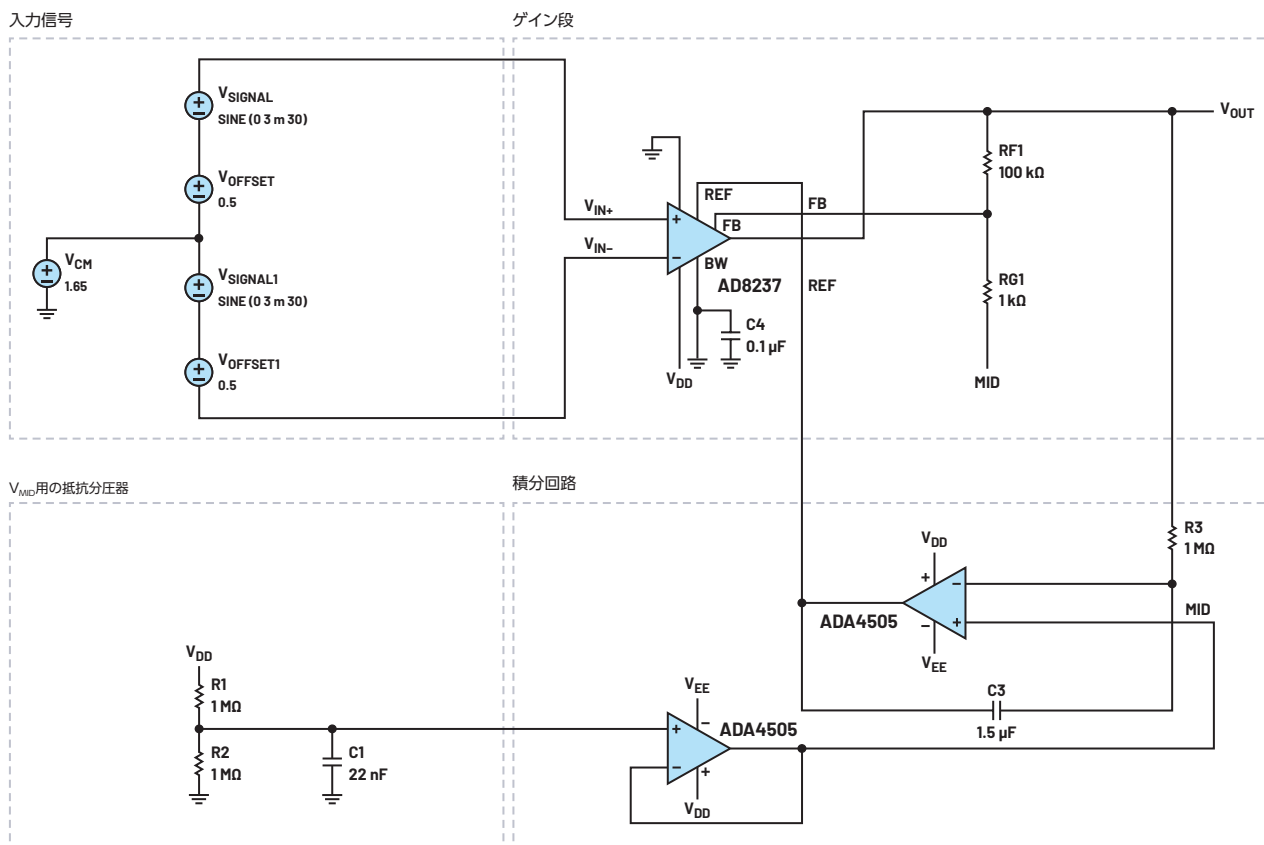


図3. LTspice用の回路図

もう1つ、検証に利用可能な優れたツールが存在します。それは、回路シミュレータであるLTspice[®]です。これを使用すれば、上に示した設計手順で行った計算について検証を実施することができます。その際には、対象とする信号帯域におけるノイズ性能など、設計仕様として示したものの以外の事柄について確認することも可能です。図3は、LTspiceでシミュレーションを実施するための回路図です。図4、図5に示したのがシミュレーションの結果の例です。このシミュレーションでは、DCオフセットが1V、入力信号が30Hzにおいて±6mVという条件でトランジェント解析を行いました。図4は、回路の各段における信号を示したものです。一方、図5は図4の拡大図です。これを見ると、回路がセトリングし、積分回路のコンデンサが最終的な値まで充電された後の状態を確認できます。青色の線は積分回路の出力、つまりはAD8237のリファレンス・ピンの電圧です。赤色の線は、 $V_{DD}/2$ になるように設計された V_{MID} の値を表しています。緑色の線は、増幅後に得られた最終的な30Hzの出力信号 V_{OUT} を表しています。

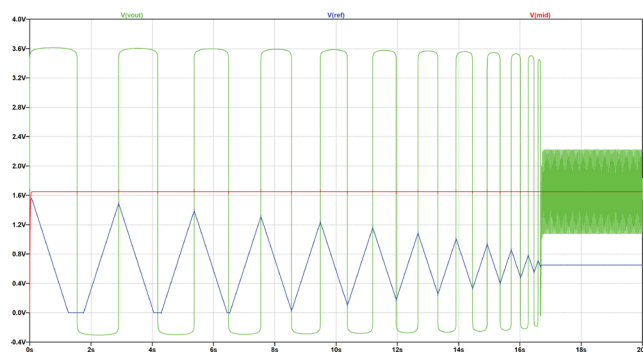


図4. トランジェント解析の結果

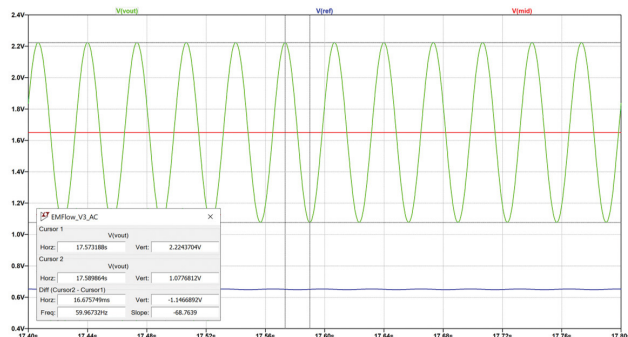


図5. 図4のプロットの拡大図

ここで表2をご覧ください。これは、設計上の目標値とトランジェント解析の結果を比較したものです。まず、目標値（予測値）について説明します。 V_{OUT} の最大値と最小値は、 $V_{OUT} = V_{MID} \pm V_{SIGNAL} \times 101$ という式から得られます。この場合、それぞれ2.256Vと1.044Vという予測値が得られます。 V_{REF} の予測値は $V_{MID} - V_{OFFSET}$ に等しく、0.65Vとなります。 V_{MID} については、電源電圧の中央値（この場合は1.65V）になります。

表2. 設計上の目標値とシミュレーション結果
(トランジェント解析) の比較

パラメータ	目標値	シミュレーション結果
V_{OUT_MAX}	2.256V	2.224V
V_{OUT_MIN}	1.044V	1.077V
V_{MID}	1.65V	1.65V
V_{REF}	0.65V	≈ 0.65V

続いて、トランジェント解析によって得られた結果を見てみましょう。予測値と比較すると、出力電圧については非常に近い値が得られています。しかし、シミュレーション結果をよく見ると、セトリングが完了して出力が最終値に到達するまでに17秒かかっています。その原因は、積分回路で使用しているコンデンサの値が大きいことと、設定したDCオフセットの値が大きいことです。このセトリング時間は、シミュレーションが0秒に開始し、コンデンサが充電されて最終的な値に達するまでに要する時間に対応しています。

図6に、もう1つのシミュレーション結果を示しました。これは、図3の回路の周波数特性を表しています。DCオフセットは1V、入力信号は30Hzにおいて±6mVです。図6のカーソル1と同2は、それぞれハイパス・フィルタとローパス・フィルタの振幅が-3dBになるポイントに配置されています。表3に、設計上の目標値とシミュレーション結果についてまとめました。

表3. 設計上の目標値とシミュレーション結果
(AC解析) の比較

パラメータ	目標値	シミュレーション結果
ハイパス・フィルタの $f_{3dBADA4505}$	10.71Hz	10.70Hz
ローパス・フィルタの $f_{3dBAD8237}$	1980Hz	2138Hz
20log(Gain)	40.08dB	40.08dB

続いて、図7のシミュレーション結果をご覧ください。これは、図3の回路の周波数に対する電圧ノイズ密度（入力換算）を示したものです。出力ノイズをトータルのゲイン（101）で割ることによって取得しました。バンドパス・フィルタについては、トータルのノイズを計算する際、積分の対象とする周波数範囲を選択する必要があります。

上限周波数については、上で設定したセンサーの最高周波数の値（220Hz）を使用します。下限周波数としては、上で設定したセンサーの最低周波数の値（20Hz）を使用しています。この例の結果は、20Hzから220Hzまでの積分によって得られたノイズの値になります。

ノイズの実測値は、バンドパス・フィルタのカットオフ周波数の影響で、もっと高い値になります。LTspiceのシミュレーションでは、後処理用のフィルタの利用を想定しています。すなわち、20Hzと220Hzに急峻なロールオフ特性を備えるブリック・ウォール・フィルタが適用されています。

次に、LTspiceのコマンド・ラインを「.noise V(V_{OUT}) V1 dec 100 20 220」と設定します。そして、<ctrl>キーを押しながら波形の名前（V(ONoise)/101）を左クリックします。次式を使用すると、rmsノイズを簡単にピークtoピーク・ノイズに変換することができます。

$$\text{Noise p-p} = 6.6 \times \text{Noise rms}$$

$$\text{Noise p-p} = 6.6 \times 1.3469 \mu\text{V rms} = 8.88954 \mu\text{V p-p}$$

AD8237のノイズとADA4505のノイズを簡単に確認すると、AD8237が支配的なノイズ源であることがわかりました。

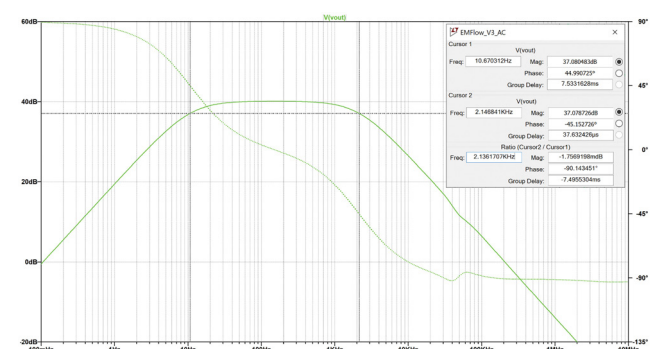


図6. AC解析の結果

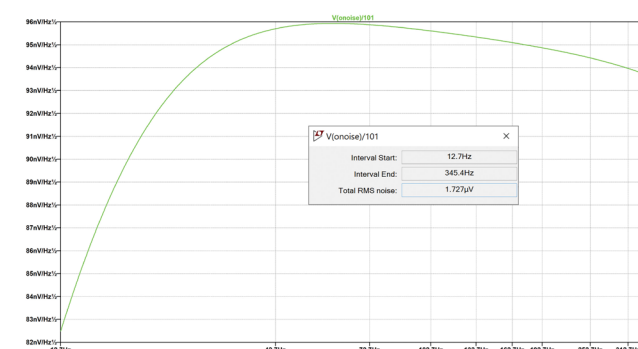


図7. 等価ノイズ帯域幅にわたって積分することで算出したトータルのノイズ

実測結果

設計の善し悪しを評価するためには、実際に回路を構成して各種のパラメータを測定してみることが必須です。AD8237とADA4505については、評価用ボードが提供されています。そのため、実際に回路を構成し、容易にテストを実施することができます。各部品のハンダ付けは、評価用ボードの回路図を確認しながら行うとよいでしょう。両評価用ボードを同時に使用する場合、AD8237のボードのパターンをカットして、抵抗 R_G に電圧 V_{MID} を接続する必要があるかもしれません。

理解しやすくするために、各部品の値は、シミュレーションと同様に、設計手順のセクションで示した値に設定しました。電磁流量計や生体電位の測定用のセンサーを想定した評価を行うために、電圧校正器や任意波形発生器など、様々な測定器を使用しました。

この評価では、入力信号として、DCオフセット V_{OFFSET} を1V、コモンモード電圧を1.65V、入力信号 V_{SIGNAL} を±6mV（30Hzにおける値）に設定しました。図8に示した実測結果を見ると、出力電圧 V_{OUT} （黄色の線）は、少しずれてはいるものの目標値に近い値になっています。表4に、設計上の目標値と測定結果についてまとめました。

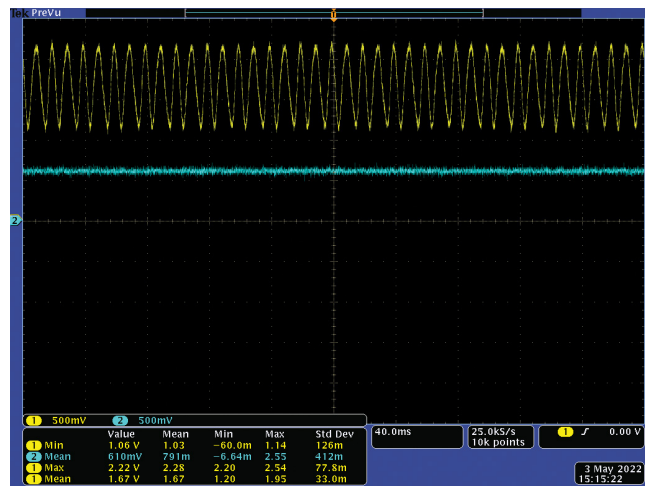


図8. オシロスコープのスクリーンショット。
黄色の線は V_{OUT} 、青色の線は V_{REF} に対応しています。

表4. 設計上の目標値と実測値の比較

パラメータ	目標値	実測値
V_{OFFSET}	1V	1.01V
V_{SIGNAL}	6mV（ピーク）	5.2mV（ピーク）
V_{OUT_MIN}	1.044V	1.13V
V_{OUT_MAX}	2.256V	2.19V
V_{REF}	0.65V	0.64V

設計上の目標値と実測結果の差は、様々な原因で発生している可能性があります。例えば、使用した抵抗では5%の許容誤差が生じているかもしれません。その影響により、 V_{MID} の値がずれた可能性があります。また、測定環境の整備には限界があります。そのようなことが原因となって、 V_{OFFSET} と V_{SIGNAL} に見られるような小さなずれが生じることがあり得ます。

使用したオペアンプの仕様

表5に、計装アンプであるAD8237の主な仕様を示しました。表6は通常のオペアンプであるADA4505の仕様についてまとめたものです。

まとめ

現場に配備されているトランスミッタの電磁流量をセンサーで測定する際や、生体電位を測定するために電極からの信号を取得する際には、1つの問題に直面します。それは、対象とする信号が、それよりもはるかに大きなDCオフセットに重畳しているということです。そうしたセンサーから情報を容易に抽出できるようにするための解決策は、ACカップリング型の測定用シグナル・チェーンを構築することです。その目的は、AC信号を増幅すると同時にDCオフセットを除去することにあります。計装アンプであるAD8237を使用すれば、帰還ループに積分回路を配置することで、1段構成の回路によってゲインを得つつ、AC信号をカップリングすることができます。入力段でDCオフセットを除去できるので、最大のゲインが適用された信号をシグナル・チェーンのまさに入力部で測定することが可能になります。それにより、測定用のソリューション全体として入力換算ノイズを最小限に抑えることができます。

表5. AD8237（計装アンプ）の主な仕様

品番	パッケージ (MSOP)の寸法	I_{BIAS} の最大値 (nA)	V_{OS} の最大値 (μV)	ゲインの 最小値/最大値 (代表値) (kHz)	0.1Hz~10Hz のノイズ(代表値) (μV p-p)	V_{NOISE} (代表値) (nV/√Hz)	アンプ1個あたりの I_Q (代表値) (μA)	+ V_S の 最小値/最大値 (V)
AD8237	3.20mm × 5.15mm	1	75	1/1000	1.5	68	115	1.8/5.5

表6. ADA4505（オペアンプ）の主な仕様

品番	パッケージ (WLCSP)の寸法	I_{BIAS} の最大値 (pA)	V_{OS} の最大値 (mV)	GB積 (代表値) (kHz)	0.1Hz~10Hzの ノイズ(代表値) (μV p-p)	V_{NOISE} (代表値) (nV/√Hz)	アンプ1個あたりの I_Q (代表値) (μA)	+ V_S の範囲の 最小値/最大値 (V)
ADA4505	1.42mm × 1.42mm	2	3	50	2.95	65	7	1.8/5

参考資料

LTspice

LTspiceは、回路図のキャプチャ機能や波形ビューワを備えるSPICE III対応の回路シミュレータです。スイッチング・レギュレータやリニア・レギュレータ、シグナル・チェーンといった回路のシミュレーションを容易に行えるようにするための機能拡張やモデルも備えています。

計装アンプ・ダイヤモンド・プロット・ツール

このツールは、ウェブ・アプリケーションとして提供されています。アナログ・デバイセズの計装アンプ製品を対象としています。各製品の各種構成について、出力電圧範囲と入力共通モード電圧の関係を表すグラフ（ダイヤモンド・プロット）を生成することができます。

付録

図9、図10は、それぞれ間接電流モードの計装アンプと、3つのオペアンプで構成した計装アンプの概念図です。間接電流モードの計装アンプでは、3つ（または2つ）のオペアンプで構成される計装アンプよりも高いゲインを得ることができます。3つのオペアンプで構成される計装アンプでは、ゲインを適用した後にオフセットをキャンセルすることになります。それに対し、間接電流モードのアーキテクチャでは、オフセットの補正がゲイン段の前で行われます。そのため、ゲインを高くすることができるのです。ここでは、各アーキテクチャの特徴について概観してみます。

図9に示したように、間接電流モードの計装アンプでは1段構成が基本になります。測定の対象となる入力電圧は、 G_{M1} のセルに印加されることになります。一方、 G_{M2} のセルは帰還ループ内に配置されています。この計装アンプが内蔵する積分器アンプAは、 V_{IN1} のコピーを強制的に V_{IN2} に設定する役割を担います。この積分器を使うことで、ゲイン段の前のリファレンス・ピンを駆動します。ゲインは、外付け抵抗 R_{FB} と R_G によって設定され、次式で表される値になります。

$$1 + \frac{R_{FB}}{R_G}$$

一方、図10に示した計装アンプは、3つのオペアンプを使用して構成されています。このタイプのアーキテクチャは、2段構成をベースとしています。まず、2つのオペアンプU1とU2、抵抗 R_{GAIN} 、抵抗R1、抵抗R2により、非反転型のアンプ回路を構成しています。この回路は入力段に相当します。この段の共通モード・ゲインは1です。差動ゲインは抵抗 R_{GAIN} によって設定され、次式によって決まります。

$$1 + \frac{2 \times R1}{R_{GAIN}}$$

また、オペアンプU3と抵抗R3により、差動アンプが構成されています。この差動アンプは、計装アンプ全体の出力段に相当します。共通モード・ゲインと同相ノイズ除去は1です。このアーキテクチャにおいて、リファレンスの入力ポイントは、1つ目のゲイン段の後段の2段目に存在します。

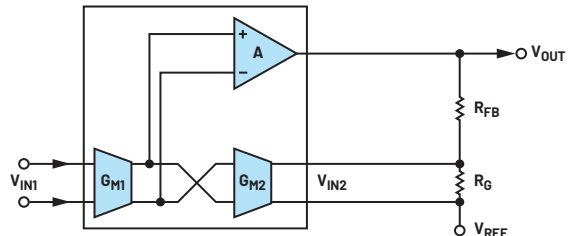


図9. 間接電流モードの計装アンプ (AD8237) のアーキテクチャ

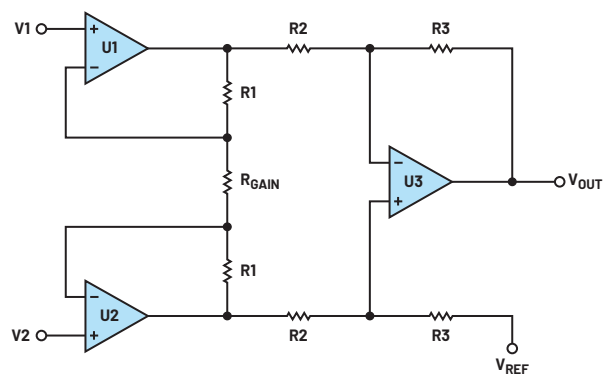


図10. 3つのオペアンプで構成した計装アンプのアーキテクチャ

謝辞

本稿の執筆に協力してくれたDavid Plourde (SCI [Scientific Instruments] グループ IC設計エンジニア)、Aine McCarthy (車載グループ 主任システム・アプリケーション・エンジニア)、Tim Green (SCIグループ シニア・アナログ・アプリケーション・エンジニア) に感謝します。



著者について

Marie-Eve Carrelは、アナログ・デバイセズのシステム・アプリケーション・エンジニアです。高精度シグナル・チェーン・アプリケーション・グループで、低消費電力のシグナル・チェーンを担当しています。2020年からアプリケーション・エンジニアリングのインターンとして当社で就業。修士号取得のためにフランスにいったん帰国した後、2022年に入社しました。リヨン化学物理電子専門学校（フランス）の工学部で電子工学の修士号を取得しています。

