

アナログ・デバイスズに寄せられた珍問／難問集 Issue 189

SAR ADCに絶縁を施す方法

著者：Wilfried Platzer、シニア・フィールド・アプリケーション・エンジニア

質問

逐次比較型A/Dコンバータ（SAR ADC）の性能を損なうことなく絶縁を施すには、どのようなことに注意すればよいですか？



回答

高性能な絶縁型ADCを使用する場合、まずはクロックの絶縁について慎重に検討を行う必要があります。その次に取り組むべきことは、電源の絶縁です。

従来、SAR ADCはサンプル・レートが比較的低く、高い分解能も必要ない用途で使用されていました。しかし、現在では高速／高分解能のSAR ADCも使われるようになっていきます。例えば、アナログ・デバイスズは、サンプル・レートが1MSPS、分解能が20ビットのSAR ADC「[LTC2378-20](#)」を提供しています。また、「[LTC2500-32](#)」のように、オーバーサンプリングを採用して32ビットの分解能を実現しているSAR ADCも存在します。そうしたADCを活用した高性能の回路を設計するには、シグナル・チェーンの全体にわたってノイズを非常に小さく抑える必要があります。しかも、アプリケーションによっては、シグナル・チェーンに絶縁を施さなければならないこともあるでしょう。その場合、ADCの性能に影響が及ばないよう慎重に設計を行わなければなりません。SAR ADCに絶縁を施す際には、以下に示す3種の絶縁を適用する必要があります。

- ▶ 絶縁型電源：ホット・サイドにおける給電に使用します。
- ▶ データの絶縁：データ・パスを絶縁します。
- ▶ クロックの絶縁：ADC用のクロック（サンプル・クロックまたは変換信号）を絶縁します。ホット・サイドでクロックを生成しない場合に必要です。

絶縁型電源——フライバック方式か？ それともプッシュプル方式か？

ここでは、センサー・アプリケーションを例にとります。その場合、絶縁型電源に求められる電力の供給能力は、通常は10W未満になります。絶縁型電源では、フライバック方式のDC/DCコンバータが広く使われています。図1に、そうしたフライバック・コンバータの回路例を簡略化して示しました。この構成であれば、わずかな外付け部品しか使用しなくて済むというメリットが得られます。フライバック・コンバータでは、パワー・スイッチを1つしか使用しません。この例の場合、「[LT8301](#)」が同スイッチを内蔵しています。但し、それによるスイッチング動作は、シグナル・チェーンの性能に影響を及ぼす主要なノイズ源になり得ます。フライバック・コンバータでは、EMI（電磁干渉）の放射という形で大きな不連続性が生じます。高い性能が求められるアナログ回路においては、それによって性能が制限される可能性があります。

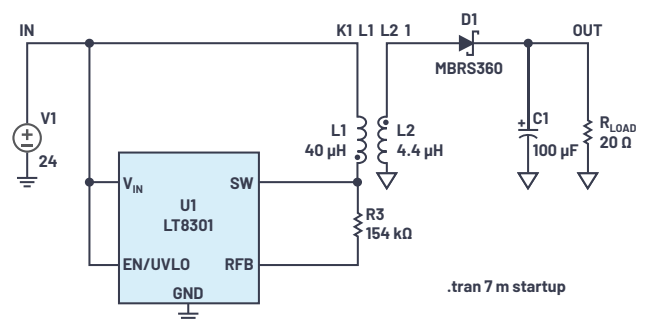


図1. 標準的なフライバック・コンバータの構成

図2に示したのは、図1の回路のトランスに流れる電流の波形です。1次巻線 (L1) と2次巻線 (L2) では、電流量が高い値からゼロへと短時間で大きく変化しています。I(L1)、I(L2)のグラフをよく見ると、電流スパイクが生じていることがわかります。フライバック・コンバータでは、L1に蓄えられた電流とエネルギーが、スイッチがオフしている間にL2に送出されます。その際にトランジェント（スイッチング・ノイズ）が生じます。このトランジェントを抑えるには、スナバ回路やフィルタを追加しなければなりません。また、フライバック・コンバータでは磁性部品はあまり使用されず、大きなインダクタンスを得るために大きなトランスが必要になります。このことも、フライバック・コンバータの短所の1つです。加えて、フライバック・コンバータではホット・ループが大きくなります。しかも、その制御は容易ではありません。なお、ホット・ループについては、[アプリケーション・ノートAN139](#)を参照してください。

フライバック・コンバータにはもう1つの課題があります。それは、スイッチング周波数の変化に関するものです。図3に、負荷の変化に伴って周波数が変化する様子を示しました。図3 (b)には、周波数が変化する前後の周期 t_1 、 t_2 を示してあります。これらには、 $t_1 < t_2$ という関係があります。つまり、負荷電流が高い値 I_1 から低い値 I_2 まで変化する際には、スイッチング周波数が低下しています。周波数が変化すると、予測が不可能な時間にレギュレータの内部でノイズが生成されます。また、スイッチング周波数に応じて異なる部品が使われることになり、プリント基板ごとにフィルタの調整が必要になります。そのため、フィルタを使ってノイズを除去するのは、より難しくなります。ここで、SAR ADCとして分解能が20ビットの製品を使用するケースを考えます。その場合、入力が5Vであるとする、1LSBは約 $5\mu\text{V}$ に相当します。つまり、EMIによって生じる電圧の変動は $5\mu\text{V}$ 未満に抑えなければなりません。結論として、高い精度が求められるシステムでは、絶縁型電源としてフライバック・コンバータを選択してはならないということです。

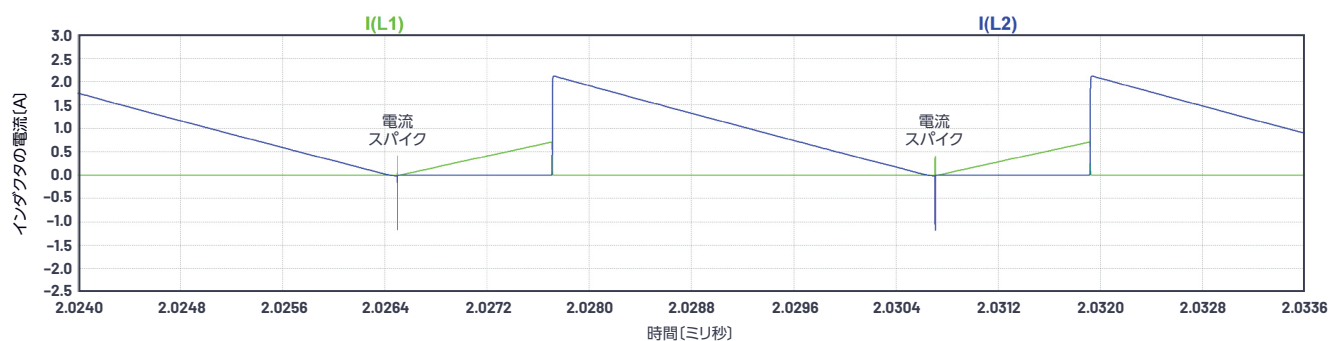


図2. 図1のL1、L2を流れる電流（その1）

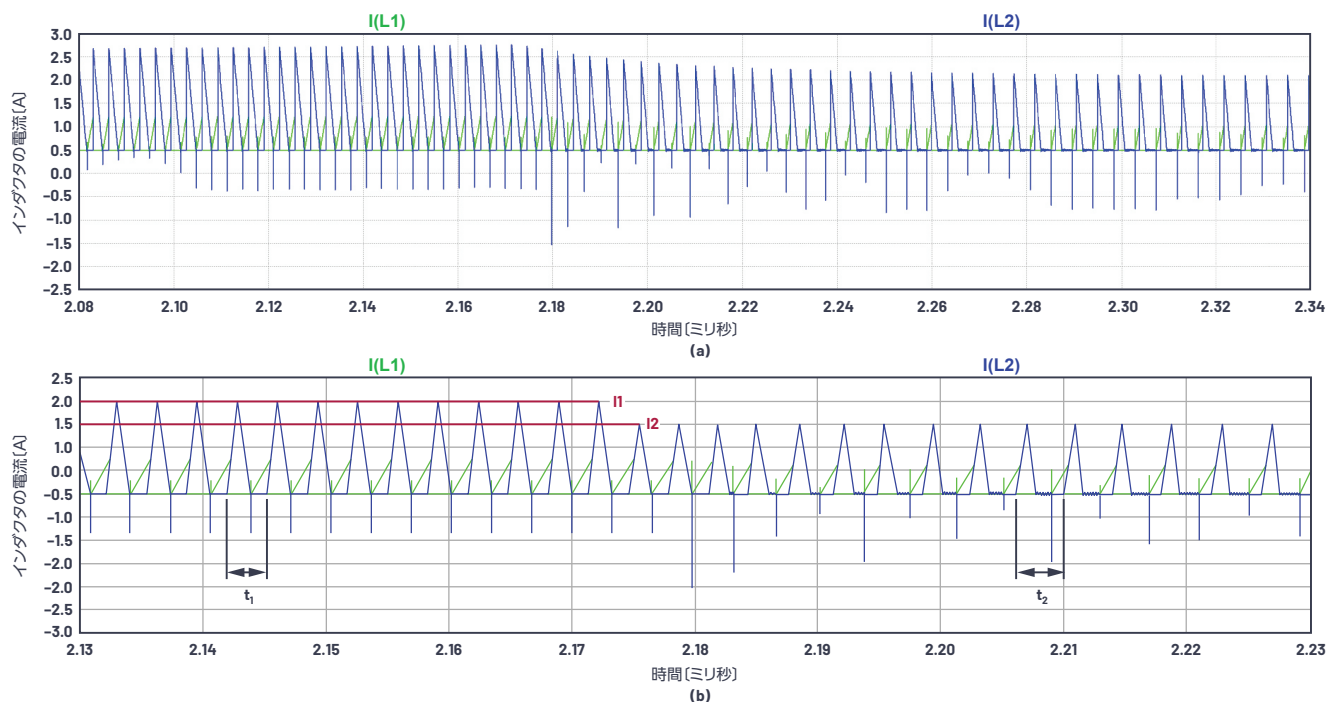
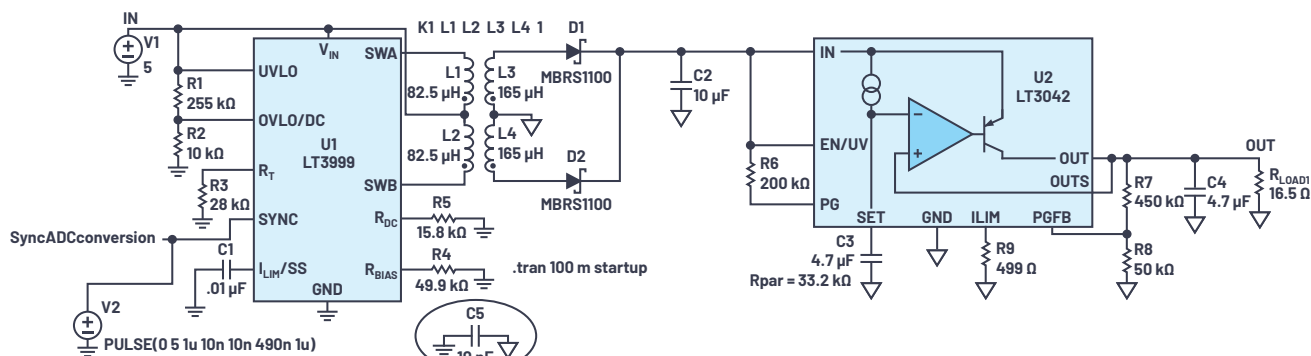


図3. 図1のL1、L2を流れる電流（その2）。
(a) はLT8301の周波数が変化したときの様子を表しています。
(b) は2.13ミリ秒～2.23ミリ秒の部分を拡大したものです。



1次側と2次側の間にコンデンサを配置してください。それにより、トランスの寄生容量が原因で生じる結合エネルギーの帰還パスを形成します。

図4. LT3999を使って構成した絶縁型電源。
超低ノイズのポスト・レギュレータ (LT3042) を組み合わせています。

絶縁型電源のアーキテクチャの中には、放射性EMIを上記の値よりも低いレベルに抑えられるものがあります。それは、プッシュプル・コンバータです。実際、放射性EMIについて言えば、プッシュプル・コンバータの方がフライバック・コンバータよりもはるかに優れています。[LT3999]のようなプッシュプル・コンバータは、ADCとの間でクロックによる同期をとることができます。それにより、高い性能を達成するのが容易になります。図4に、LT3999を使用して構成した絶縁型電源の回路例を示しました。この回路では、ADCのサンプリング・クロックで同期をとってLT3999を動作させます。また、1次側と2次側の間にはコンデンサを配置します。そのコンデンサによって、スイッチング・ノイズの帰還パスを実現します。その目的は、コモンモード・ノイズの影響を抑制することです。プリント基板の設計においては、実際にコンデンサ製品を実装してもよいですが、1次側と2次側のプレーンを重ねる手法を利用することも可能です。

図5に、図4の回路の電流波形を示しました。具体的には、トランスの1次側 (L1、L2)、2次側 (L3、L4) に流れる電流を表示しています。トランスがより有効に活用され、EMIが改善されていることがわかります。

図6には、図5のSyncADCconversionのノードに入力される信号を重ねて示しています。この外部クロック信号とインダクタに流れる電流の同期が確立されていることが確認できます。アキュジション・フェーズの終端は、SYNCピンにおける正のエッジと一致します。静止時間は約4マイクロ秒と長くなっています。そのため、ADCはその時間内に入力信号のサンプリングを完了することができ、絶縁型電源のトランジェントの影響が最小限に抑えられます。LTC2378-20のアキュジション時間は312ナノ秒なので、静止時間が1マイクロ秒未満である場合に理想的です。

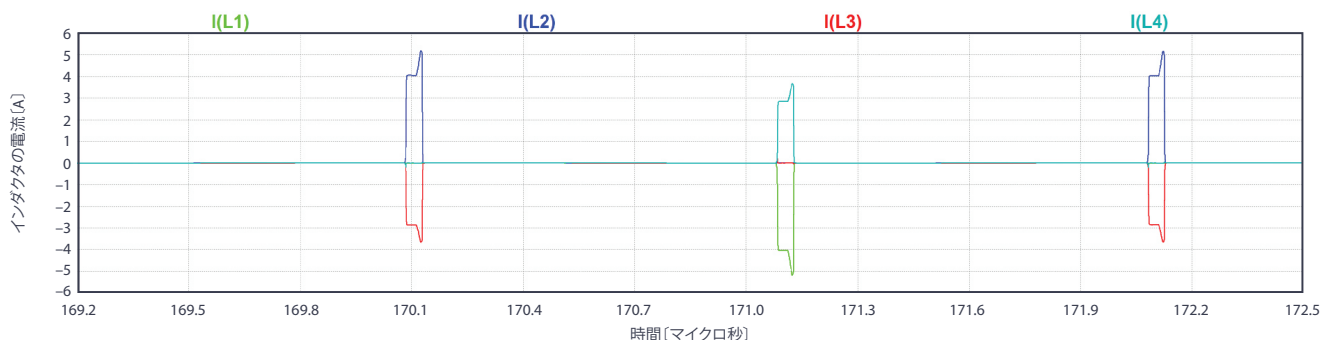


図5. 図4のL1～L4に流れる電流

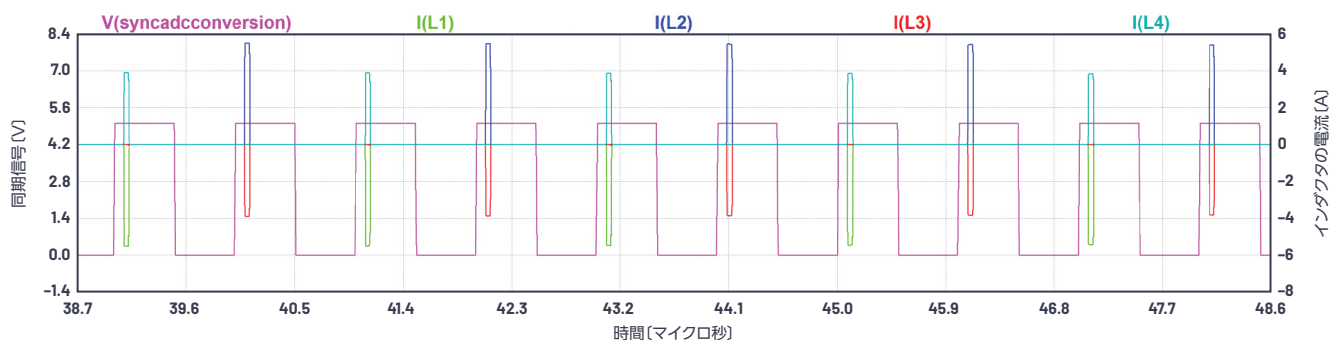


図6. 外部クロック信号とインダクタの電流の関係

データの絶縁

データの絶縁は、「ADuMx ファミリ」などのデジタル・アイソレータを使うことで実現できます。そうしたデジタル・アイソレータは、SPI (Serial Peripheral Interface)、I²C、CAN (Controller Area Network) といった多くの標準的なインターフェースに対応しています。例えば、「ADuM140」はSPIの絶縁に使用できます。同ICに、SDO、SCK、BusyといったSPIの信号を接続するだけで、データの絶縁を実現可能です。データの絶縁において、電気エネルギーは誘電性の絶縁バリアを介して1次側から2次側に伝送されます。電流の帰還パスを追加する必要がありますが、これについてもコンデンサによって対応可能です。そのコンデンサは、プリント基板のプレーンを重ねることによって形成できます。

クロックの絶縁

クロックの絶縁は極めて重要な作業です。LTC2378-20のような高性能のADCを使用すれば、104dBという優れたS/N比を達成できます。但し、そのような高い性能を得るには、ジッタが非常に小さいクロックが必要です。「ADuM14xシリーズ」のような標準的なアイソレータを使用すると、クロックにジッタが生じます。それによってADCの性能が制限されるので、この用途には適用できません。詳細については[デザイン・ノートDN1013](#)をご覧ください。

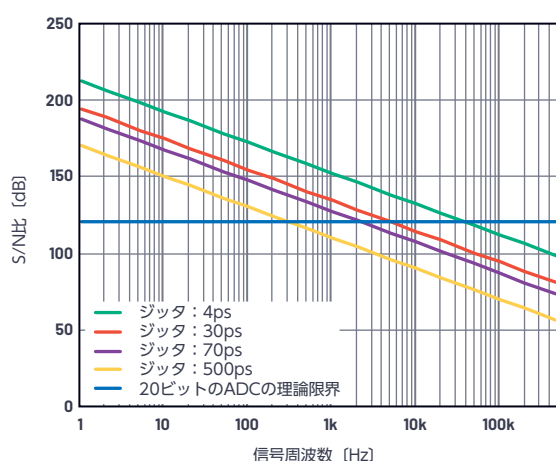


図7. クロック・ジッタとS/N比の関係

図7は、クロック・ジッタの値に対するS/N比の理論限界を示したものです。縦軸はS/N比、横軸は入力信号の周波数を表しています。LTC2378のような高性能のADCであっても、クロックに4ピコ秒のアパーチャ・クロック・ジッタが存在すると、200kHzの入力信号に対する理論限界が106dBまで低下します。

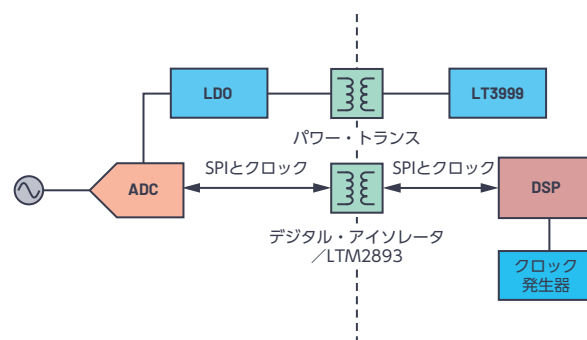


図8. 標準的なアイソレータによるクロックの絶縁方法。
最適化されたクロック用アイソレータを使う場合も
同様の構成になります。

図8に、クロックの絶縁を行うための標準的な構成を示しました。アイソレータとしては、以下に示すようなものを使用できます。

標準的なデジタル・アイソレータ：図8に示したのは、良好な性能の標準的なデジタル・アイソレータを使用する場合の例です。例えば、「ADuM250N」のジッタは70ピコ秒 (rms) です。このクロック・ジッタにより、100dBのS/N比を達成したい場合の信号のサンプル・レートは20kHzまでに制限されます。

最適化されたクロック用アイソレータ：例えば、「LTM2893」のジッタは30ピコ秒 (rms) です。100dBのS/N比を達成したい場合、信号のサンプル・レートを50kHzまで拡張できます。より広い帯域に対して最大限のS/N比が得られることになります。

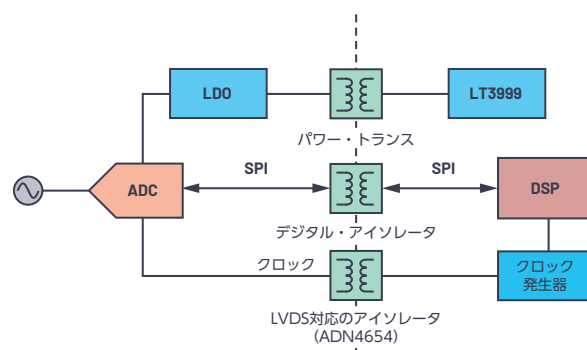


図9. LVDS対応のアイソレータによる
クロックの絶縁方法

より高い入力周波数を扱えるようにするには、LVDS (Low Voltage Differential Signaling) に対応するアイソレータを使用する必要があります (図9)。「ADN4654」のジッタは2.6ピコ秒であり、入力信号の周波数が100kHzの場合のS/N比は110dBに達します。ADCの性能を最大限に近いレベルで引き出すことができるということです。

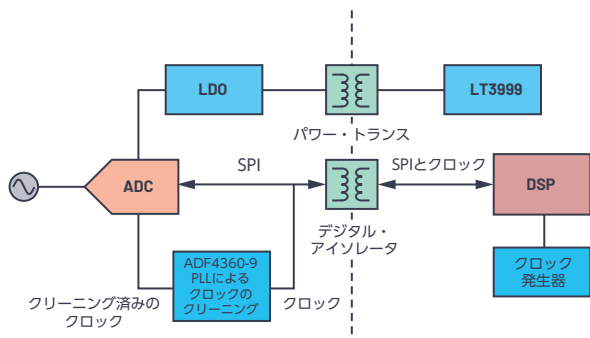


図10. PLLを追加したクロックの絶縁回路（その1）。PLLは、クロック・ジッタのクリーニング用に使用します。

図10に示したのは、クロックをクリーニングするためにフェーズ・ロック・ループ（PLL）を追加した回路です。「ADF4360-9」は、クロック・ジッタを低減するために使用しています。

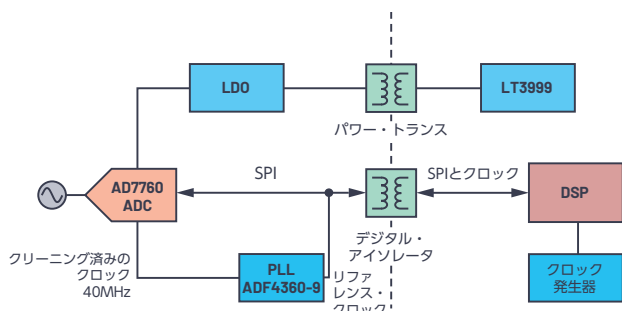


図11. PLLを追加したクロックの絶縁回路（その2）。PLLによってクロックの生成／クリーニングを行います。

図11に、PLLによってクロックの生成／クリーニングを行う回路の詳細を示しました。クロックのクリーニングにADF4360-9を使用し、その出力には2分周器を追加してもよいでしょう。「AD7760」は、1.1MHzに対して特性評価が行われています。

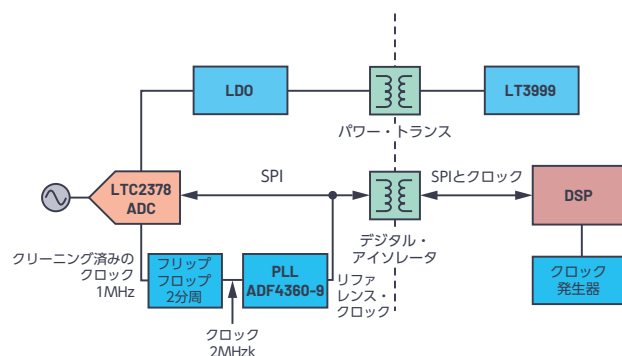


図12. PLLを追加したクロックの絶縁回路（その3）。LTC2378に対応するために、フリップフロップによってクロックを分周します。

ADF4360-9によって、LTC2378のようなサンプル・レートが1MSPSのSAR ADCを直接サポートすることはできません。その場合、低ジッタのフリップフロップを使用するとよいでしょう。それによってクロックを1/2に分周します（図12）。

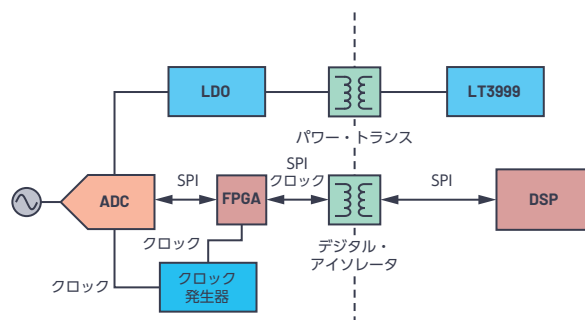


図13. 絶縁側（ホット・サイド）でローカルにクロックを生成する回路

必要なジッタ性能を備えたクロックを得るためのもう1つの方法は、ローカルでクロックを生成することです（図13）。この方法では、クロックを生成するためのアーキテクチャが更に複雑になります。回路に、非同期のクロック・ドメインが導入されるからです。例えば、絶縁型のADCを2つ使用する場合、クロックの絶対周波数はそれぞれに異なります。そのため、各クロックにマッチングするように再度サンプル・レートを変換する必要があります。サンプル・レートの変換については、[Engineer-to-Engineer ノート EE-268](#)を参照してください。

高性能の $\Sigma\Delta$ ADC用のクロックを生成する

上述したのと同じようなクロックの問題は、AD7760のような高性能のシグマ・デルタ（ $\Sigma\Delta$ ）型ADCでも発生します。その場合に重要になるクロック信号は、ジッタのないオーバーサンプリング・クロック（例えば40MHz）です。この場合、分周器を追加する必要はありません。

まとめ

高性能な絶縁型ADCを活用するには、慎重に絶縁設計を行う必要があります。様々な絶縁手法の中から適切なものを選択することで、100dBを超えるような高いS/N比を達成できるようにしなければなりません。クロック・ジッタは性能を著しく低下させるおそれがあります。そのため、クロックの絶縁には特に注意を払う必要があります。次に注意が必要なのは、電源の絶縁です。フライバック・コンバータのような単純な絶縁手法を採用すると、大きなトランジェント（EMI）が発生します。より良い性能を得るためには、プッシュプル・コンバータを使用すべきです。データの絶縁も重要な検討項目です。この用途に向けては、良好な性能を備え、システム性能に対する影響が少ない標準的な製品が提供されています。このような3つの絶縁に対処することで、高性能な絶縁型システムを設計することが可能になります。



著者について

Wilfried Platzter (wilfried.platzter@analog.com) は、アナログ・デバイセズのシニア・フィールド・アプリケーション・エンジニアです。2015年にLinear Technology (現在はアナログ・デバイセズに統合) に入社。現在は、スイスで地域サポートを担当しています。ドイツのカールスルーエでIT関連の技術 (主にRF技術) について学んだ後、1997年にITTに入社。その後、TDK-Micronasでフィールド・アプリケーション・エンジニアをはじめとする複数の役職を経て、ミックスド・シグナルICのコンセプト開発/システム・アーキテクチャ開発を担当しました。AUMAで電子回路の開発前段階を担当した経験も有しています。