

アナログ・デバイスズに寄せられた珍問／難問集 Issue 163

16ビットのSAR ADCを使用して 125dBのダイナミック・レンジを得る方法

著者：Thomas Tzscheetzsch

質問：

分解能が16ビットの逐次比較型A/Dコンバータ（SAR ADC）を使用して、125dBのダイナミック・レンジを得る方法はありませんか？

回答：

オーバーサンプリングと可変ゲインのアンプを組み合わせることで実現可能です。例えば、89dB + 18dB + 20dBといった形で125dB以上のダイナミック・レンジを得ることができます。

広いダイナミック・レンジを必要とするアプリケーションでは、シグマ・デルタ方式のADC（ $\Sigma\Delta$ ADC）がよく使われます。化学分析、ヘルスケア、体重管理といったアプリケーションがその例です。しかし、 $\Sigma\Delta$ ADCの多くは、高速の変換には適していません。そのため、高いサンプリング・レートが求められる用途では、SAR ADCがよく使用されます。

図1に示した回路は、広いダイナミック・レンジと高いサンプリング・レートの両方を得るためのアプローチの例です。この回路では、分解能が16ビットでサンプリング・レートが2.5MSPSのSAR ADC「AD7985」を使用しています。そして、同ICの上流には、ゲインを1または100に設定できるプログラマブルな計装アンプ「AD8253」を配置しています。更に、ノイズを低減するために、オーバーサンプリングとFPGAによるデジタル信号処理も組み合わせています。それにより、この回路では125dB以上の広いダイナミック・レンジを達成します。

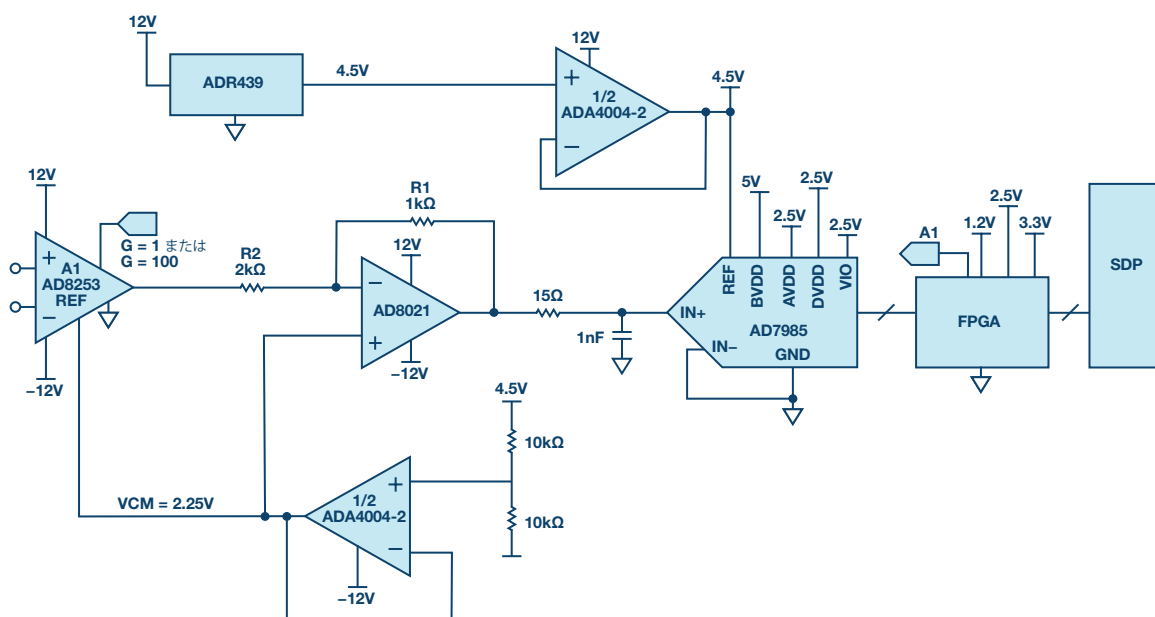


図1. SAR ADCをベースとする回路。
ゲインの自動調整機能を付加しています。

つまり、AD8253によって入力信号に応じてゲインの自動切り替えを行いつつ、ナイキスト周波数よりかなり高い周波数でオーバーサンプリングを行うということです。理論的には、サンプリング周波数を2倍にすることで、帯域内でのS/N比を約3dB改善することができます。更に、FPGAによってデジタル・フィルタ処理を行うことで、対象となる信号帯域の上側（高周波側）のノイズも除去します。ノイズ削減の原理を図2に示しました。

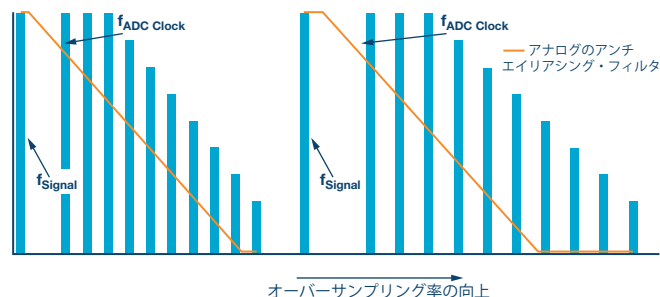


図2. オーバーサンプリングの効果。
オーバーサンプリング率を高くすることで、
ノイズを低減することができます。

入力側に配置した可変ゲインの計装アンプは、ダイナミック・レンジを最大限に高めるためのものです。微小な信号は、このアンプによって100倍に増幅します。以下、この回路のノイズについて考察します。

ここでは、ダイナミック・レンジに対する要件が126dB以上であると仮定します。その場合、振幅が3V（6Vp-p）の入力信号に対して、ノイズのレベルは最大で1μVrmsに抑えなければなりません。上述したように、AD7985は16ビット、2.5MSPSのSAR ADCです。このアプリケーションのサンプリング・レートは約8kSPSで、帯域幅は4kHzであるとしします。AD7985を（消費電力を11mWに抑えるために）600kSPSで動作させるとすると、72倍のオーバーサンプリングを実現できることになります。これらの条件から、最大ノイズ密度は15.8nV/√Hzとなります。この値は、適切な計装アンプを選択する上で重要な意味を持ちます。ADC自体のS/N比は標準値で89dBですが、72倍のオーバーサンプリングを適用することによって、S/N比は18dB向上します。したがって、目標である126dBを達成するには、あと20dBの改善が必要になります。この部分を担うのが可変ゲインの計装アンプです。AD8253のノイズ性能は、ゲインが100のとき11nV/√Hzとなります。計装アンプの次段で使われるADC用のドライバとしては、「AD8021」を使用しています。

このレベル調整用のアンプによって、更に2.1nV/√Hzのノイズが加わります。

図1の回路のアナログ・シグナル・チェーンでは、電圧リファレンスとして「ADR439」を使用しています（「REF194」でも構いません）。また、リファレンス用のバッファ、ならびにオフセット電圧を生成するためのドライバとして、「ADA4004-2」を採用しています。

回路の性能を向上する上では、アナログ信号パスで使用するICだけでなく、FPGA（または何らかのプロセッサ）が重要になります。その主な役割は、計装アンプのゲインを切り替える（1から100、100から1）ことです。この切り替えのためには、多くの閾値をプログラムしておき、ADCが飽和しないようにします。AD8253は、ゲインが100の場合、最大約20mVの入力電圧で動作するようにします。その場合、ADCへの入力は最大2.0Vになります。また、FPGAによってほぼ遅延を生じさせることなくAD8253のゲインを1に切り替えることで、オーバードライブを防ぎます（図3）。

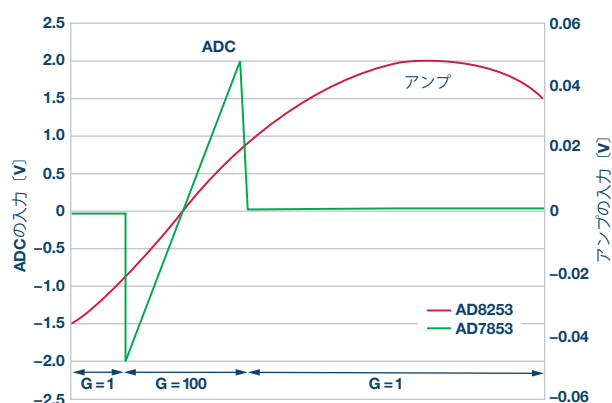


図3. ゲインの切り替えの例

この回路ではAD7985の代わりに、16ビット/1MSPSの「AD7980」や18ビット/1MSPSの「AD7982」、18ビット/2MSPSの「AD7986」などを使用することもできます。同様に、計装アンプとしても、ゲインが1、10、100、1000のAD8253の代わりに、ゲインが1、2、4、8の「AD8251」のような製品を使用することも可能です。仕様に応じてリファレンス電圧を変更することもできます。

図1の回路の詳細についてはanalog.com/jp/CN0260をご覧ください。

著者：

Thomas Tzscheetzsch (thomas.tzscheetzsch@analog.com) は、2010年にアナログ・デバイセズに入社しました。現在は、シニア・フィールド・アプリケーション・エンジニア（シニアFAE）として業務に従事しています。2010～2012年はドイツ中部地区の顧客を担当していましたが、それ以降は、より小規模な顧客層を対象とするキー・アカウント・チームに所属しています。2017年の組織再編後は、FAEマネージャとしてCE諸国のIHCクラスタにおいてFAEチームを統括しています。1992～1998年には、エレクトロニクスを専門とする技術者として、ある機械メーカーの部門長を務めていました。ゲッティンゲン応用科学大学で電気工学について学んだ後、マックス・プランク研究所のハードウェア設計技術者としてソーラー・システムの研究に従事しました。2004～2010年には、流通分野のFAEとしてアナログ・デバイセズの製品を扱っていました。



Thomas
Tzscheetzsch