

# Rarely Asked Questions

アナログ・デバイセズに寄せられた珍問／難問集より

## そのゲインの仕様は少し偏っていませんか？

**Q.** 私が使おうとしているADCに規定されている最小と最大ゲイン誤差の差がなぜこんなに大きいのか教えてくださいませんか？

**A.** 特定のアプリケーションで高速ADCを選定する際に、ゲインは通常、それほど重要な仕様ではありません。設計段階では、ノイズ、歪み、消費電力、価格の方がずっと注目されます。しかし、ADCとシグナル・チェーンの他のすべてのデバイスを特定した後、合成したシグナル・チェーンのゲイン変動を計算する機会を得た、一部の幸運なエンジニアが、これがシステムにどのように影響するか見つけ出せることを長年の研究で学びました。通常、ADCは全体的な変動に大きな影響を及ぼすことはありませんが、デバイスにも良し悪しがあります。

ゲイン誤差は、フルスケールの測定値と理論値の差として定義され、通常、フルスケールの%値で表します。私がこれまでに見た最悪のゲイン誤差の仕様は、 $\pm 10\%$  FSで、これは $\pm 1\text{dB}$ に相当します。一部のユーザーが懸念しているのは、一部のADCで規定されている最小および最大ゲイン誤差の差が一見偏って見えることで(私も同感ですが)、最小/最大の% FSの仕様が $-6/+2$ 、 $-1.5/+3.5$ 、さらに $-10/0$ とさえ規定されているデバイスもあります(もちろん、すべての部品が公称値を下回っています!)。これらは純粋なアナログ部品ではなく、A/Dコンバータ(ADC)なので、ユーザーは通常、仕様について当惑することはありません。従って、ほとんどの場合、ユーザーからの問い合わせは自分が正しく理由を理解しているか確認するためだけになっています。

では、なぜ大きな差があるのでしょうか？ ゲイン誤差には、リファレンス電圧の誤差、リファレンス・バッファのゲイン誤差、マルチチャンネルADCのチャンネル間の変動などの複数の要因が関係していますが、一番の理由は、実際の公称入力範囲が仕様に規定されている公称入力範囲と一致していないことです。ばかばかしく聞こえるかもしれませんが、これには十分



な理由があります。理由の1つは、ユーザーには想像もつかないものかもしれませんが、おそらく、他のデバイスと機能互換やピン互換にするために、しばしばADCの設計や特性評価を行う前に目標の入力範囲を設定してしまうことです。最小/最大ゲインの仕様が $-10/0\%$  FSのデバイスの場合がそうです。このADCは、最小/最大ゲイン範囲が $-4.2/+4.2\%$ で入力範囲が $2\text{V p-p}$ と規定された旧型の設計と機能互換になるように設計されました。

シグナル・チェーン内でのADCのゲイン変動が大きい場合は、公称入力範囲を再定義して分布の中心にすることをお勧めします。 $-10/0\%$  FSのデバイスの場合、公称入力範囲を5%低く( $1.9\text{V p-p}$ )に設定しなおしてください。こうすることでいくらかでも混乱が解消することを願っています。

参考文献

[Testing Data Converters](#)

[AN-835: 高速A/Dコンバータ\(ADC\)のテストと評価について](#)

[MS-2022: 信号のA/D変換を正しく行う7つのステップ](#)



筆者紹介:

David Buchananは、1987年にヴァージニア大学でBSEE(電気工学士)を取得しました。アナログ・デバイセズ、Adaptec、STMicroelectronics 社においてマーケティングとアプリケーション・エンジニアリングを担当。

さまざまな高性能アナログ半導体製品を扱いました。現在は、ノースカロライナ州グリーンズボロにあるアナログ・デバイセズの高速コンバータ製品ラインの上級アプリケーション・エンジニアです。

その他のRAQについては、

[www.analog.com/jp/raqs](http://www.analog.com/jp/raqs)

をご覧ください。

**ANALOG  
DEVICES**

[www.analog.com/jp](http://www.analog.com/jp)